

DOI:10.3969/j.issn.1003-5060.2026.07.004

基于两步式 TDC 的快速锁定全数字延迟锁相环的设计

王智源¹, 孟 煦^{1,2}

(1. 合肥工业大学 微电子学院, 安徽 合肥 230601; 2. 合肥工业大学 教育部 IC 设计网上合作研究中心, 安徽 合肥 230601)

摘 要: 延迟锁相环(delay-lock loop, DLL)如今在高速通信领域有广泛应用,其锁定时间是一个非常关键的指标。针对传统逐次比较型 DLL 锁定时间较长的问题,文章提出一种基于两步式时间数字转换器(time-to-digital converter, TDC)的快速锁定全数字 DLL(all-digital DLL, ADDLL)。利用两步式 TDC 可快速测量 DLL 输入信号和反馈信号在传输路径上的延迟,测量结束后将 TDC 产生的可用于调整 DLL 延迟线延迟的代码存入移位寄存器中;继而鉴相器开始进行微调工作,控制移位寄存器移位以调整延迟线延迟,直至输入信号与反馈信号同相。文章在 TSMC 55 nm CMOS 工艺下完成了 DLL 设计与仿真,结果表明,所设计的 DLL 可在 20 个时钟周期内完成锁定。

关键词: 延迟锁相环(DLL); 两步式; 时间数字转换器(TDC); 快速锁定; 全数字

中图分类号: TN791

文献标志码: A

文章编号: 1003-5060(2026)07-0889-09

Design of two-step TDC-based fast-lock all-digital DLL

WANG Zhiyuan¹, MENG Xu^{1,2}

(1. School of Microelectronics, Hefei University of Technology, Hefei 230601, China; 2. IC Design Web-cooperation Research Center of Ministry of Education, Hefei University of Technology, Hefei 230601, China)

Abstract: Delay-lock loop(DLL) is widely used in high speed communication, in which the lock time is one of the key indicators. To address the long lock time in traditional DLL based on successive-approximation method, this paper presents a two-step time-to-digital converter(TDC)-based fast-lock all-digital DLL(ADDLL). Two-step TDC can reduce measurement time about the transmission delay between the input signal and feedback signal, and load the codes from TDC to shift register after the measurement, which can adjust the delay on delay line of DLL. Then, the phase detector starts to make fine adjustment for the codes in shift register by shifting them, until the locking of DLL. The design and simulation of the proposed DLL were performed based on TSMC 55 nm CMOS process. As shown in the simulation results, the maximum lock time of the proposed DLL is within 20 clock cycles.

Key words: delay-lock loop(DLL); two-step; time-to-digital converter(TDC); fast-lock; all-digital

延迟锁相环(delay-lock loop, DLL)一直广泛应用于在时钟生成或多相位时钟生成领域^[1],传统的 DLL 主要用模拟电路实现,较为经典的 DLL 结构主要由鉴相器、电荷泵、压控延迟线构成^[2],其最突出的优势是时钟抖动抗性较好、锁定精度较高。随着近年来高速数字电路应用越发广泛,信号间同步已成为业界研究的重要课题^[3],因此 DLL 如今被广泛应用于处理器、存储器接口以及

各种通信芯片中^[4-5]。然而,随着工艺制程的不断提高,芯片工作电压逐步降低以及电子设备对于低功耗的迫切需求,传统的模拟 DLL 因面积较大且许多电路模块需工作在器件的有源区^[6],已不易在工作电压逐步降低的先进制程中集成。在此背景下,在高速通信领域应用中,模拟 DLL 逐渐被全数字 DLL(all-digital DLL, ADDLL)所取代。ADDLL 在噪声环境或工艺、电压及温度变化中

收稿日期:2024-04-16;修回日期:2024-05-06

基金项目:国家重点研发计划资助项目(2023YFB4403804)

作者简介:王智源(1991—),男,河北沧州人,合肥工业大学硕士生;

孟 煦(1989—),男,安徽合肥人,博士,合肥工业大学副教授,硕士生导师,通信作者,E-mail: xmen@hfut.edu.cn.

性能更为稳定,具备更宽的工作频率范围^[7],更重要的是,ADDLL 锁定时间更短,更符合高通信速率的应用场景。

早期的 ADDLL 主要是逐次比较型 DLL,即基于逐次比较模块(successive approximation register, SAR)逐次进行相位调节直至锁定,其锁定时间通常为几十个周期^[8-9],这一锁定速率对当前的许多应用场景而言有所欠缺。近年来,基于时间数字转换器(time-to-digital converter, TDC)的 ADDLL 的出现,进一步缩短了锁定时间^[10]。

本文提出一种可用于高速数字通信领域的基于两步式 TDC 的快速锁定 ADDLL 结构,设计目标频率为 2~5 GHz。这种结构的 DLL 中电路模块均可采用数字电路实现,具备易于在工艺间移植以及快速锁定的优点。首先在 FPGA 中完成数字电路设计以及综合后仿真,以验证核心电路模块的可行性;然后在 TSMC 55 nm CMOS 工艺中采用相同结构进行全定制设计与仿真。

1 DLL 系统结构

1.1 传统模拟 DLL 系统结构

传统的模拟 DLL 基本结构主要由鉴相器、电荷泵、环路滤波器以及由电压控制延迟的压控延迟线组成,其系统结构如图 1 所示。

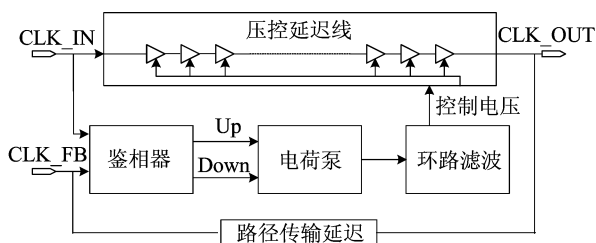


图 1 传统模拟 DLL 系统结构

模拟 DLL 在整个锁定过程中,通过鉴相器不断检测时钟信号与反馈信号之间的相位差,产生 Up、Down 信号并传递至电荷泵,由电荷泵输出控制电压,以调整压控延迟线的延迟,从而调节时钟信号与反馈信号之间的相位,直至二者锁定。其中,压控延迟线主要由反相器和电容器组成,通过控制反相器栅极电压,可改变延迟线的延迟。这种结构中的诸多模拟器件均需工作在有源区,且需要较大的功耗和面积,因此在先进工艺制程中越来越难以集成。

1.2 逐次比较型 DLL 系统结构

逐次比较型 DLL 基本结构主要由鉴相器、逐次比较器、移位寄存器以及由数字码控制延迟的

数控延迟线组成,其系统结构如图 2 所示。

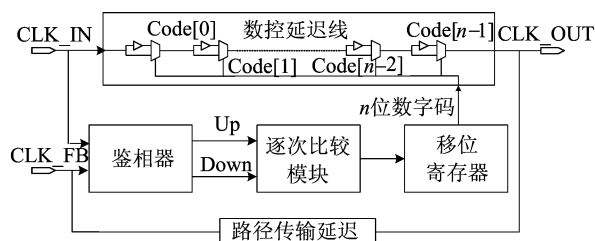


图 2 逐次比较型 DLL 系统结构

逐次比较型 DLL 的基本锁定流程与传统模拟 DLL 类似,区别在于调整延迟线的形式由电压变为数字码。其中数字码由逐次比较器生成,在移位寄存器中存储并根据系统需求移位。数控延迟线延迟通过数字码改变其传输路径上延迟单元的数量实现。

逐次比较型 DLL 主要由数字器件组成,使其能够兼容更多工艺制程。然而,受逐次比较算法的限制,这种结构在锁定时间上并没有显著改善,在现代高速通信领域的应用中仍存在不足。

1.3 基于 TDC 的快速锁定 DLL 系统结构

本文提出基于两步式 TDC 的快速锁定 DLL 系统,其基本结构由鉴相器、两步式 TDC、移位寄存器、移存控制模块及数控延迟线组成,其中两步式 TDC 分为粗量 TDC 和细量 TDC。该 DLL 系统结构如图 3 所示。

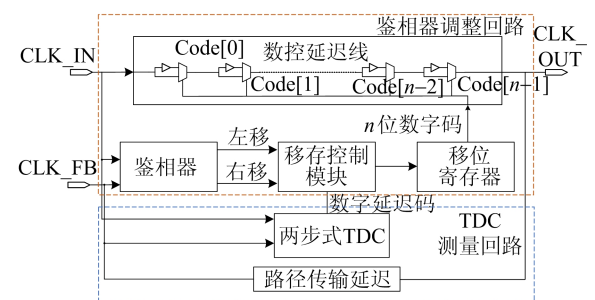


图 3 基于两步式 TDC 的 DLL 系统结构

这种 DLL 系统结构保留了逐次比较型 DLL 的优点,同样采用数字电路形式实现。其锁定流程可分为 2 个主要阶段:首先,由 TDC 对路径传输延迟引入的时钟信号与反馈信号之间的相位差进行测量;然后,TDC 退出工作,DLL 将 TDC 测量结果转换为数控延迟线的延迟,此时 DLL 已接近或进入锁定状态。后续与传统 DLL 类似,由鉴相器输出左移或右移信号调整移位寄存器,继而完成时钟信号与反馈信号的同步,保持相位锁定状态。而利用 TDC 测量时钟信号与反馈信号之间相位差来替代传统逐次比较方式的方法,可大

幅缩短 DLL 的锁定时间。

本文提出的新型结构 DLL 的锁定时序图如图 4 所示。

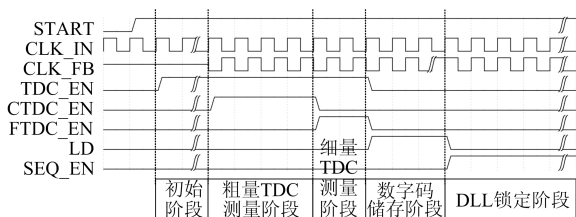


图 4 DLL 锁定时序图

整个锁定时序对 DLL 的 2 个主要工作阶段又进行了细化。START 信号置 1 后系统开始工作,首先进入初始阶段,此时 TDC_EN 置 1,此阶段中时钟信号 CLK_IN 经过电路内部及外部传输路径到达反馈信号端口 CLK_FB;系统检测到反馈信号后,开始进入粗量 TDC 测量阶段(CTDC_EN),在这一阶段,对时钟信号及反馈信号之间的相位差进行粗量化;经过 4 个时钟周期后,系统进入细量 TDC 测量阶段(FTDC_EN),对时钟信号与反馈信号之间的相位差进行细量化,这一阶段需要 2 个时钟周期。

TDC 完成测量后退出工作,TDC_EN 置 0,系统进入为期 3 个时钟周期的数字码存储阶段(LD),此阶段将 TDC 的测量结果存入移位寄存器中,移位寄存器再将数字码传送至数控延迟线。数字码存储完成并作用于数控延迟线之后,理想

情况下 DLL 会直接进入锁定阶段。

若 DLL 尚未锁定,则需要鉴相器、移存控制模块和移位寄存器继续协同对数字码进行移位调整,直至相位锁定,此阶段为 SEQ_EN。鉴相器、移存控制模块和移位寄存器会持续保持激活状态,若延迟线受工艺、电压以及温度变化等因素影响,导致时钟信号与反馈信号不同步,则会继续调整数字码,从而使时钟信号与反馈信号重新锁定。

由上可知,TDC 的引入只需数个时钟周期即可完成对时钟信号与反馈信号之间相位差的测量,相较于传统逐次比较的方法,可大幅缩短 DLL 的锁定流程。

2 DLL 核心电路设计

2.1 TDC 测量阶段信号流及电路设计

TDC 测量可细分为初始阶段、粗量化阶段及细量化阶段 3 个阶段。在这 3 个阶段中,主要工作电路为粗调延迟线、细调延迟线、粗量 TDC 及细量 TDC。

2.1.1 DLL 初始传输路径

时钟信号稳定后,主状态机会在 START 信号到来 1 个周期后进入初始阶段,此时 TDC 尚未开始测量,而是在等待时钟信号 CLK_IN 经过 DLL 内部延迟线的初始传输路径及外部电路固有传输路径传送至 DLL 反馈信号端口 CLK_FB,如图 5 所示。

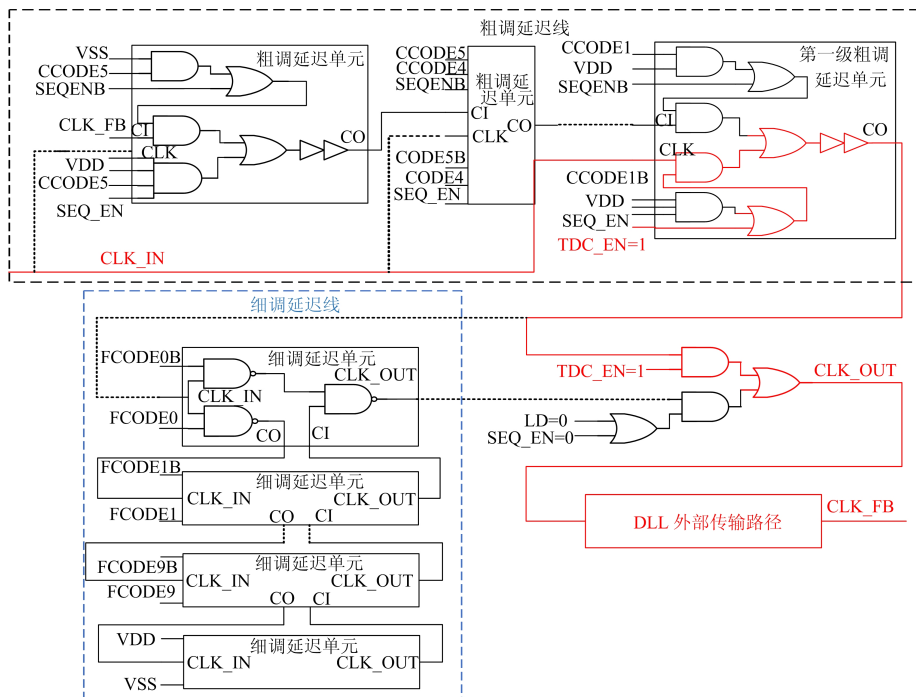


图 5 DLL 时钟信号初始传输路径

在此阶段,时钟信号只经过粗调延迟线的第一级延迟单元,该单元延迟为粗调延迟线的最小延迟。时钟信号经粗调延迟线后,未经过细调延迟线,而是由其外部选择器的另一支路传输至输出端口 CLK_OUT。其中:CCODE、FCODE 为延迟线数字码,在此阶段数字码无效;SEQENB 为 SEQ_EN 的反相信号;VDD 与 VSS 分别代表此端口接电源和接地。

由 DLL 初始传输路径可以看出,时钟信号从 DLL 输入端口到输出端口之间的初始路径为内部固有传输路径,这段路径引入的时钟信号与反馈信号之间的相位差可在后续 TDC 测量时被计算在内。而在 TDC 测量结束后,DLL 对延迟线进行任意调整时,此段延时不会发生改变。

2.1.2 TDC 整体结构

本文中 DLL 锁定由 TDC 和鉴相器两部分共同实现,对于 TDC 的测量精度无特殊要求,因此细量 TDC 和粗量 TDC 均采用结构较为简单的基于延迟链的 TDC 结构,且其测量结果易于译码转化为可用于控制数控延迟线的温度计码,如图 6 所示。因粗调延迟线及粗量 TDC 的延迟单元面积较大,而这两种延迟单元的延迟值应保持一致,因此选择了粗调延迟线与粗量 TDC 共用延迟单元的设计方案。其中在 TDC 测量阶段,除第一级粗调延迟单元外,其他粗调延迟单元作为粗量 TDC 的延迟单元使用。在 TDC 结束测量并退出工作后,粗调延迟单元全部接入粗调延迟线,为 CLK-IN 提供可控延迟^[11]。

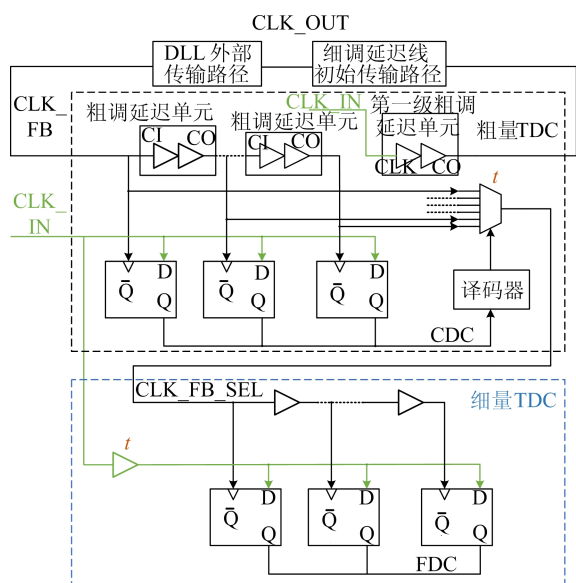


图 6 两步式 TDC 结构

从图 6 可以看出,在粗量化阶段,时钟信号经过电路固有传输路径到达反馈端口 CLK_FB 后,粗量 TDC 开始进行粗量化操作,得到粗量化结果 CDC。

获得 CDC 后对其进行译码,目的如下:一是将其转换成可对粗调延迟线进行控制的延迟码;二是通过 CDC 产生选择信号,选择信号可将反馈信号及其一系列延迟信号中的一路作为 TDC 中间信号 CLK_FB_SEL,传输至细量 TDC 进行细量化操作。

此后, DLL 进入细量化阶段。时钟信号在传输至细量 TDC 的采样电路之前, 先经过延迟时间为 t 的延迟电路, 其目的是为了抵消粗量 TDC 中因使用选择器选取 TDC 中间信号所引入的相位差。

细量 TDC 与粗量 TDC 采用相同的结构,区别在于细量 TDC 采用了延迟更小的延迟单元。在此阶段可获得时钟信号与反馈信号之间的细量化结果 FDC。

2.1.3 TDC 测量结果译码原理

本文中 DLL 采用温度计码对数控延迟线进行控制,其形式均为 0000...1111,其中延迟码中 1 的个数代表延迟线中需级联的延迟单元的个数。为满足上述延迟码形式,在 TDC 测量阶段测得 CDC 和 FDC 后,需对测量结果进行相应的译码处理。根据反馈信号相位是否领先于时钟信号, DLL 将产生 2 种译码结果。

第 1 种情况如图 7 所示,即反馈信号 CLK-FB 相位领先于时钟信号 CLK-IN。假设在此情况下,TDC 测得的结果形式为 1111...1000,则说明反馈信号的相位需推迟 3 个延迟单位,此时对应的译码结果为 0000...0111。

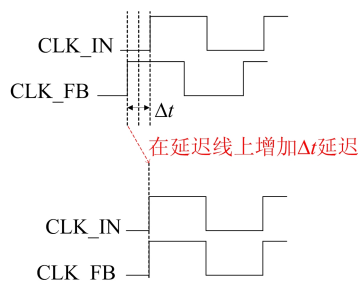


图 7 CLK_FB 相位领先 CLK_IN

第 2 种情况如图 8 所示,即反馈信号 CLK-FB 相位落后于时钟信号 CLK-IN。

假设 TDC 测得的结果形式为 0000...0111,

此情况下 TDC 无法测得的反馈信号相位落后于时钟信号的具体数值。但 TDC 测量结果能够反映反馈信号上升沿与时钟信号下降沿的相位关系:若将反馈信号相位推迟 3 个延迟单位,反馈信号上升沿将与时钟信号下降沿对齐,此时再将反馈信号取反,则可使反馈信号与时钟信号的相位对齐。在此情况下,译码结果为 0000...0111,同时 DLL 会将取反标志置 1,表示 DLL 输出信号将执行取反操作。

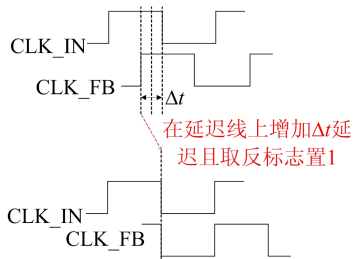


图 8 CLK-FB 相位落后 CLK-IN

2.2 数字码存储阶段信号流及电路设计

数字码存储阶段主要工作电路为移存控制模块及移位寄存器。此阶段 DLL 主要工作是将 TDC 测量阶段的 TDC 采集结果经译码后送至移位寄存器。其中,粗调移位寄存器和细调移位寄存器分别存储粗量 TDC 和细量 TDC 的测量结果。

移存控制模块主要有数字码存储及控制移位寄存器左移右移 2 个功能。其中:数字码存储操作在数字码存储阶段执行;控制移位寄存器左移右移操作在 DLL 锁定阶段执行。移存控制模块的基本结构如图 9 所示。

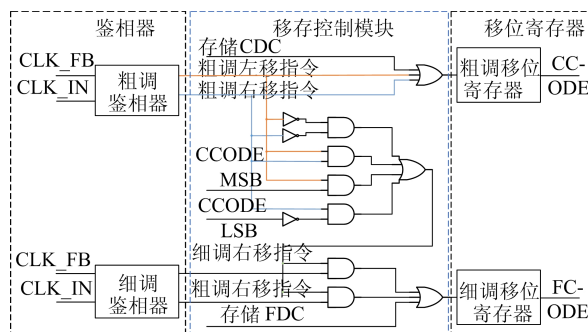


图 9 移存控制模块结构

在执行移位寄存器左移右移的操作中,对粗调移位寄存器的操作具有更高优先级^[12]。仅当粗调移位寄存器不操作或粗调移位寄存器量程已满而仍有移位需求时,可允许细调移位寄存器进

行移位操作,细调移位寄存器可进行移位操作的条件见表 1 所列。

表 1 中:CSR、CSL 分别代表鉴相器产生的粗调移位寄存器右移、左移指令,1 代表执行该操作,二者相等则代表粗调移位寄存器不执行操作;CCODE MSB=1 代表粗调延迟线已达最大延迟;CCODE LSB=0 代表粗调延迟线已达最小延迟。

表 1 细调移位寄存器可移位操作条件

细调移位寄存器操作	条件 1	条件 2	条件 3
细调移位	CSR=0	CSR=1	CSL=1
寄存器左移	CSL=0	CSL=1	CODE MSB=1
细调移位	CSR=0	CSR=1	CSR=1
寄存器右移	CSL=0	CSL=1	CODE LSB=0

2.3 DLL 锁定阶段信号流及电路设计

DLL 锁定阶段鉴相器开始进入激活状态,不断检测反馈信号与时钟信号相位关系,并配合移存控制模块控制移位寄存器进行左移或右移操作,以保持反馈信号与时钟信号相位锁定。

在 DLL 进入锁定阶段后,TDC 停止工作,此时粗调延迟线的所有延迟单元全部接入粗调延迟线,而不再接入粗量 TDC,粗调延迟线的延迟由粗调移位寄存器输出的粗调数字码进行调整。

在锁定阶段,CCODE 为 011111、FCODE 为 0000000001 时 DLL 的时钟信号传输路径如图 10 所示。

窗口型鉴相器的控制逻辑如图 11 所示。

左移控制信号的产生逻辑如下:利用反馈信号及其延迟信号分别对时钟信号进行采样,若采样结果均为 0,则说明反馈信号相位领先于时钟信号,此时需增加延迟线延迟,即需要对移位寄存器中的温度计码进行左移,从而向移位寄存器发出左移指令。

右移控制信号的产生逻辑:利用反馈信号分别对时钟信号及其延迟信号进行采样,若采样结果均为 1,则说明反馈信号相位落后于时钟信号,此时需减小延迟线延迟,即需要对移位寄存器中的温度计码进行右移,从而向移位寄存器发出右移指令^[13]。

除此之外,其他采样结果均不会产生左移或右移指令。

窗口型鉴相器的原理如图 12 所示。

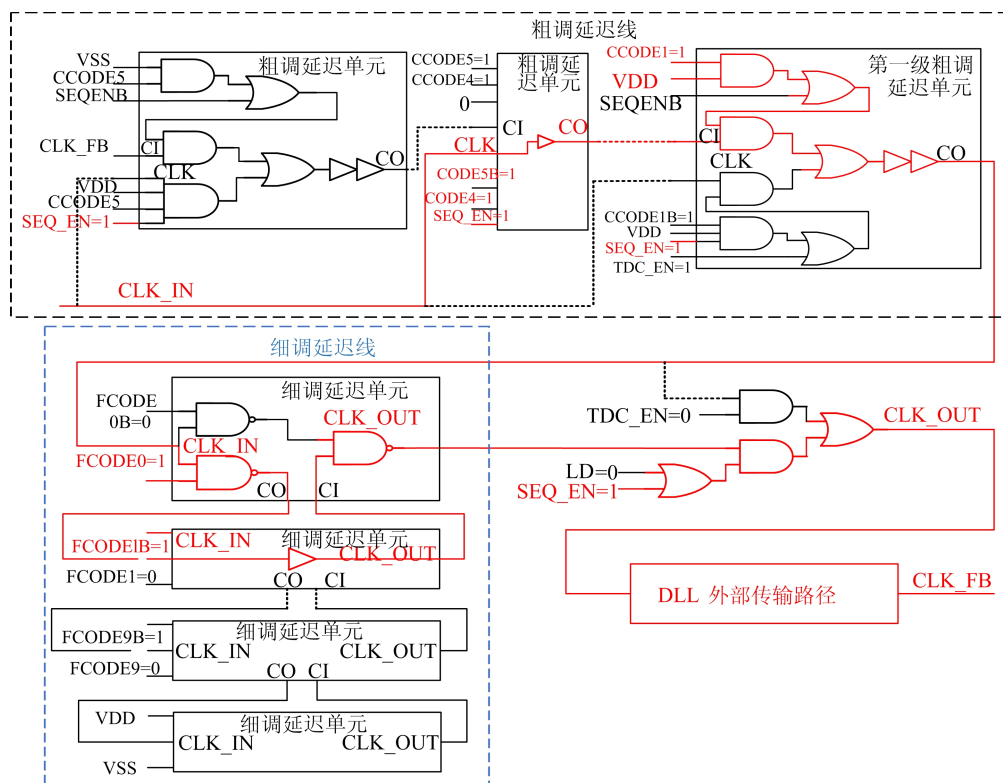


图 10 DLL 锁定阶段时钟信号传输路径

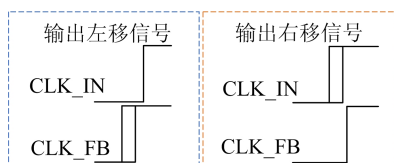


图 11 鉴相器控制逻辑图

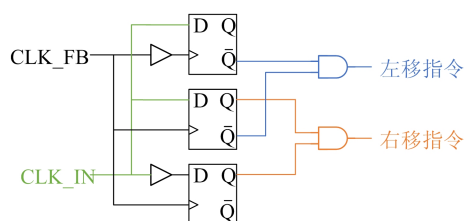


图 12 鉴相器电路原理

器件性能与目标工艺有较大差距,因此在 FPGA 中的仿真着重验证电路的可行性。

30 MHz 频率下 FPGA 综合后仿真结果如图 13 所示。

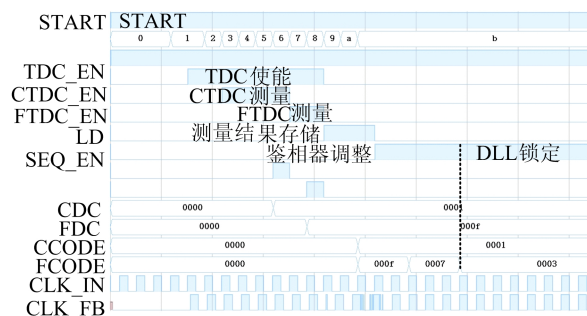


图 13 30 MHz 下 FPGA 综合后仿真结果

3 仿真结果分析

为验证本文设计的基于两步式 TDC 的快速锁定 ADDLL 的可行性,利用其数字电路特性,首先在 XILINX 公司的 XC7Z030FBV484-3 型 FPGA 中进行 RTL 电路设计以及综合后仿真。经 FPGA 仿真验证电路可行后,在 TSMC 55 nm CMOS 工艺下完成设计与仿真,电源电压为 1.2 V。

3.1 FPGA 综合后仿真结果分析

在基于 FPGA 的数字电路设计中,除延迟线采用 Xilinx FPGA 中的 Carry4 资源外,其余核心电路与上文所述电路结构及原理相同。FPGA 中

在 START 信号置 1 且时钟信号 CLK_IN 稳定后,TDC_EN 置 1,此后需等待 CLK_IN 信号经过 ADDLL 内部最小延迟和 ADDLL 外部固有延迟传输至反馈信号 CLK_FB 端口。ADDLL 检测到 CLK_FB 的第 1 个上升沿后,在下一个时钟周期开始粗量化 TDC 测量。随后,ADDLL 依次经历 2 个时钟周期的粗量化 TDC 测量阶段、1 个时钟周期的细量化 TDC 测量阶段以及 3 个时钟周期的数字码存储阶段。

在数字码存储结束且数字码 CCODE 及

FCODE 作用在数控延迟线上后, ADDLL 已接近锁定;鉴相器对移位寄存器中的 FCODE 进行 2 次右移调整后, ADDLL 最终完成锁定。整个锁定流程耗时约 14 个时钟周期。

3.2 延迟线仿真

本文中 DLL 设计目标频率为 2~5 GHz, 延迟单元精度 15 ps。为满足精度要求, 选取细调延迟线的单位延迟为 15 ps, 细调延迟线由 10 级延迟单元组成。根据本文 TDC 的测量原理, 粗调延迟线和细调延迟线的总延迟需大于 1/2 时钟周期。当运行在最低频率 2 GHz 时, 总延迟应大于 250 ps, 本文选取粗调延迟线的单位延迟约为 65 ps, 粗调延迟线共有 6 级延迟单元, 其中有效延迟单元为 5 级, 总延迟约为 325 ps, 可满足最低使用频率要求。

粗调延迟单元和细调延迟单元经过 500 次采样的蒙特卡洛仿真结果分别如图 14、图 15 所示。从图 14、图 15 可以看出, 粗调延迟单元延迟的平均值为 67.17 ps, 标准差为 0.88 ps; 细调延迟单元延迟的平均值为 12.16 ps, 标准差为 0.35 ps。各延迟单元延迟均满足设计需求。

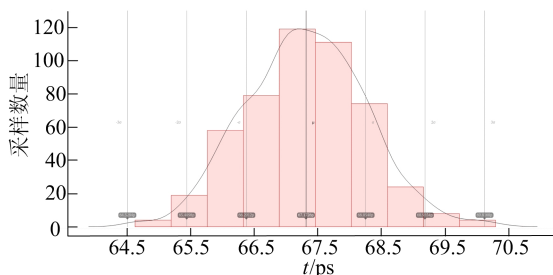


图 14 粗调延迟单元延迟的蒙特卡洛仿真结果

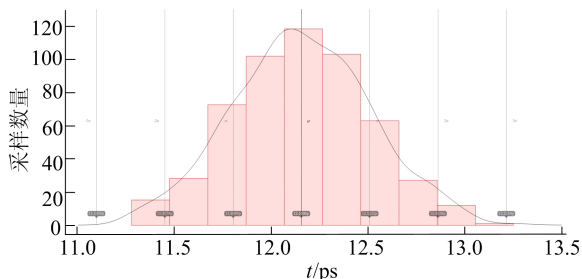


图 15 细调延迟单元延迟的蒙特卡洛仿真结果

3.3 TDC 仿真结果分析

以 2 GHz 频率下的仿真为例分析 TDC 测量结果, 如图 16 所示, 其中, 时钟信号 CLK_IN 与反馈信号 CLK_FB 之间的延迟为 238.49 ps。

TDC 针对 CLK_IN 与 CLK_FB 之间延迟的测量结果如图 17 所示。

在粗量化阶段, 粗量 TDC 的测量结果 CDC 为 001111。由上文可知, 粗调延迟线中第一级延迟单元在 DLL 工作期间始终连接在信号传输路径上, 因此在 DLL 内部将 CDC[0] 的测量结果始终设置为 1, 粗量 TDC 的有效测量值为 CDC[5:1]。按上文粗调延迟单元延迟的蒙特卡洛仿真结果平均值换算对应的延迟约为 201.51 ps。

在细量化阶段, 细量 TDC 的测量结果 FDC 为 0000000111。细量 TDC 测量结果 FDC[9:0] 均为有效值, 按测量值换算延迟约为 36.48 ps。

综合两步式 TDC 的测量结果, 其测得的 CLK_IN 与 CLK_FB 之间延迟约为 237.99 ps, 误差约为 0.50 ps。

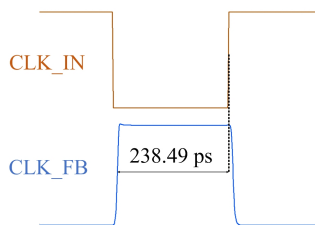


图 16 CLK_IN 与 CLK_FB 相位差

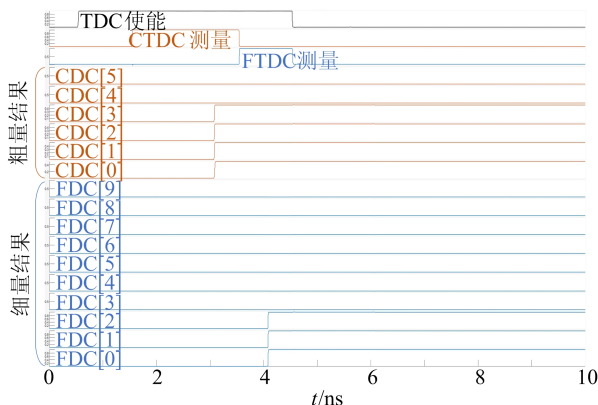


图 17 两步式 TDC 测量结果

3.4 DLL 锁定流程仿真结果分析

2 GHz 频率下 DLL 锁定流程的仿真结果如图 18 所示。TDC 完成测量后, DLL 进入数字码存储阶段, 将 TDC 测量结果存入移位寄存器中, 随后移位寄存器在其工作时钟的采样边沿分别将粗调数字码和细调数字码传至粗调延迟线和细调延迟线。在本例结果中, 数字码控制延迟线延迟生效后, 反馈信号 CLK_FB 推迟了 237.48 ps, 此后 CLK_FB 与 CLK_IN 之间的延迟在窗口型鉴相器检测窗口范围内, DLL 进入锁定状态。以反馈信号 CLK_FB 稳定后 DLL 进入粗量化阶段为起始, 至 DLL 锁定, 共耗时 10 个时钟周期。

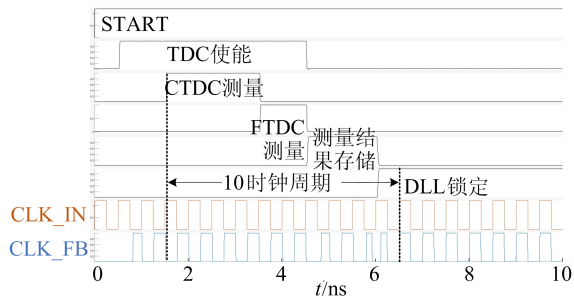


图 18 2 GHz DLL 锁定流程仿真结果

5 GHz 频率下 DLL 锁定流程的仿真结果如图 19 所示。

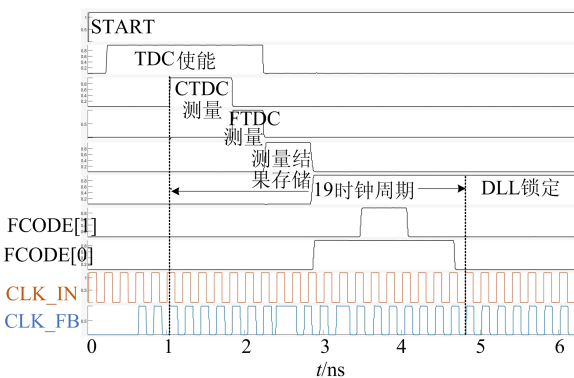


图 19 5 GHz DLL 锁定流程仿真结果

本例中,在 DLL 完成 TDC 测量结果存储时,由于反馈信号 CLK_FB 第一时间未进入稳定状态,导致 TDC 测量结果未完全体现在 CLK_FB

与 CLK_IN 之间的延迟上,此时鉴相器进入工作状态并产生误判,对细调延迟线数字码 FCODE [1:0]进行了调整。待反馈信号 CLK_FB 稳定后,鉴相器识别到 CLK_FB 与 CLK_IN 之间的真实相位差,逐步调整细调延迟线的数字码,直至 CLK_FB 与 CLK_IN 之间的延迟进入鉴相器检测窗口范围内,使 DLL 进入锁定状态。DLL 锁定用时为 19 个时钟周期。

3.5 锁定周期对比

传统的 SAR 结构在 DLL 中已逐渐被淘汰。文献[8]提出了一种可变控制位 SAR 与传统 SAR 相结合的 SAR 控制器结构,在不同延迟及时钟周期下,可变控制位 SAR 可灵活自适应调整位数,从而缩短比较进程;文献[9]提出了一种缩小 SAR 比较范围的快速锁定结构,可有效缩短 SAR 的比较进程;文献[14]基于 SAR 结构的 DLL 优化了延迟线结构,在目标频率范围内其 SAR 的位数固定设置为 8 位,锁定时间为固定的 32 个时钟周期。与以上几种改良后的基于 SAR 结构的 DLL 相比,本设计中的 DLL 在锁定时间上仍有明显优势。

文献[15]采用基于 TDC 结构的 DLL,可实现快速锁定,但延迟线中采用了较多电容,可移植性以及抗工艺、电压及温度变化的特性与本文相比略差。本文与其他文献的锁定时间对比见表 2 所列。

表 2 本文与相关文献结果对比

参数	文献[8]	文献[9]	文献[14]	文献[15]	本文
工艺节点/nm	180	130	130	65	55
工作电压/V	1.6	1.2	1.2	1.0	1.2
工作频率/MHz	66~550	30~1 000	500~1 500	800~3 500	2 000~5 000
锁定时间/时钟周期	46~68	≤42	32	≤22	<20

4 结 论

本文提出一种基于两步式 TDC 的快速锁定 ADDLL 结构,并在 FPGA 中完成了 DLL 的数字电路设计及综合后仿真,以验证该 ADDLL 结构的可行性;经 FPGA 仿真验证后,进一步在 TSMC 55 nm CMOS 工艺下完成了电路设计与仿真。仿真结果表明,该 DLL 结构在 FPGA 中及目标工艺中均可在 20 个时钟周期内完成快速锁定。此外,该 ADDLL 各部分电路均由数字电路实现,因此具有较强的工艺间可移植性。

[参 考 文 献]

- [1] Hsiao K J, Lee T C. An 8 GHz to 10 GHz distributed DLL for multiphase clock generation[J]. IEEE Solid-State Circuits, 2009, 44(9): 2478-2487.
- [2] Gao W, Gao D Y, Brasse D, et al. Precise multiphase clock generation using low-jitter delay-locked loop techniques for positron emission tomography imaging[J]. IEEE Transactions on Nuclear Science, 2010, 57(3): 1063-1070.
- [3] Hoyos S, Tsang C W, Vanderhaegen J, et al. A 15 MHz to 600 MHz, 20 mW, 0.38 mm² split-control, fast coarse locking digital DLL in 0.13 μ m CMOS[J]. IEEE Transactions

- on Very Large Scale Integration (VLSI) Systems, 2012, 20(3):564-568.
- [4] Hsieh M H, Chen L H, Liu S I. A 6.7 MHz to 1.24 GHz 0.031 8 mm² fast-locking all-digital DLL using phase-tracking delay unit in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2016, 51(2):412-427.
- [5] Chang H H, Sun C H, Liu S I. A low-jitter and precise multiphase delay-locked loop using shifted averaging VDCL [C]//IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2003:434-435.
- [6] Yang R J, Liu S I. A 2.5 GHz all-digital delay-locked Loop in 0.13 μ m CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2007, 42(11):2338-2347.
- [7] Yang R J, Liu S I. A 40-550 MHz harmonic-free all-digital delay-locked loop using a variable SAR algorithm [J]. IEEE Journal of Solid-State Circuits, 2007, 42(2):361-373.
- [8] Chen W C, Yang R J, Yao C Y, et al. A wide-range all-digital delay-locked loop using fast-lock variable SAR algorithm [C]//IEEE International Symposium on Intelligent Signal Processing and Communication Systems. [S. l.]: IEEE, 2012:338-342.
- [9] Wang L, Liu L B, Chen H Y. An implementation of fast-locking and wide-range 11 bit reversible SAR DLL[J]. IEEE Transactions on Circuits and Systems II, 2010, 57(6):421-425.
- [10] Zhang D D, Yang H G, Zhu W, et al. A multiphase DLL with a novel fast-locking fine-code time-to-digital converter [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23(11):2680-2684.
- [11] Park D J, Kim J S. A 7 GHz fast-lock 2-step TDC-based all-digital DLL for post-DDR4 SDRAMs[C]//IEEE International Symposium on Circuits and Systems (ISCAS). [S. l.]: IEEE, 2018:1-4.
- [12] Ye B. A wide-range all digital DLL for multiphase clock generation [J]. Microelectronics Journal, 2010, 41:411-416.
- [13] Bhoraskar P, Chiu Y. A 6.1 mW dual-loop digital DLL with 4.6 ps RMS jitter using window-based phase detector [C]//IEEE Asian Solid-State Circuits Conference. [S. l.]: IEEE, 2007:79-82.
- [14] Quchani M E, Maymandi-Nejad M. Design of a low-power linear SAR-based all-digital delay-locked Loop[C]//2019 27th Iranian Conference on Electrical Engineering (ICEE). [S. l.]: IEEE, 2019:118-124.
- [15] Kim T, Kim J S. A 0.8-3.5 GHz shared TDC-based fast-lock all digital DLL with a built-in DCC[C]//IEEE International Symposium Circuits and Systems (ISCAS). [S. l.]: IEEE, 2021:1-4.

(责任编辑 胡亚敏)

(上接第 888 页)

- [8] 包蕾, 韦保林, 王德民, 等. 应用于能量收集的自启动 DC-DC 升压转换器[J]. 微电子学, 2018, 48(5):585-589.
- [9] 方贤朋, 孙业钦, 王兴华. 一种低功耗高效率 DC-DC 转换器的设计实现[J]. 微电子学与计算机, 2019, 36(12):75-77, 83.
- [10] Chen X, Gong E, Zhang H, et al. A 1 μ W-to-158 μ W output power pseudo open-loop boost DC-DC with 86.7% peak efficiency using frequency-programmable oscillator and hybrid zero current detection[J]. IEEE International Symposium on Circuits and Systems (ISCAS). [S. l.]: IEEE, 2020:1-4.
- [11] Park J, Park Y, Kim H, et al. A design of a 92.4% efficiency triple mode control DC-DC buck converter with low power retention mode and adaptive zero current detector for IoT/wearable applications[J]. IEEE Transactions on Power Electronics, 2017, 32(9):6946-6960.
- [12] 易磊. 一种高效率升压型 DC-DC 转换器设计[D]. 南京: 南京邮电大学, 2022:21-24.
- [13] 严尔梅, 韦远武, 魏韬, 等. 一种适用于同步整流开关电源的过零检测电路[J]. 电子技术应用, 2013, 39(8):47-49, 53.
- [14] 黄莹, 夏晓娟. 同步整流 Boost 变换器中过零检测电路的设计[J]. 南京邮电大学学报(自然科学版), 2019, 39(1):68-73.
- [15] Su Y, Luo Y, Chen Y, et al. Current-mode synthetic control technique for high-efficiency DC-DC boost converters over a wide load range[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2014, 22(18):1666-1678.
- [16] Tang C, Chen K, Wey C, et al. Ultra-low voltage ripple in DC-DC boost converter by the pumping capacitor and wire inductance technique [C]//IEEE Asian Solid-State Circuits Conference (A-SSCC). [S. l.]: IEEE, 2016:301-304.
- [17] Texas Instruments. TPS61099 Datasheet [EB/OL]. <https://www.ti.com/sitesearch/cn/docs/universalsearch.tsp?searchTerm=tps61099&nr=269#q=tps61099&t=everything&linkId=1>.

(责任编辑 胡亚敏)