

DOI:10.3969/j.issn.1003-5060.2026.07.003

一种低压启动的高效率 Boost 型 DC-DC 转换器

闫亭亭^{1,2}, 尹勇生^{1,2}, 向鸿宇^{1,2}, 杨增辉^{1,2}, 刘雪剑^{1,2}, 邓红辉^{1,2}

(1. 合肥工业大学 微电子学院, 安徽 合肥 230601; 2. 合肥工业大学 教育部 IC 设计网上合作研究中心, 安徽 合肥 230601)

摘 要:文章基于 TSMC 180 nm CMOS 工艺设计了一种低压启动且高效率的 Boost 型 DC-DC 转换器。该转换器主要包括环形振荡器、低压启动电路、误差比较器、过零检测电路、限流电路、驱动电路以及脉冲频率调制(pulse frequency modulation, PFM)控制逻辑等模块, 采用 PFM 控制模式, 以实现轻载下的高效率; 利用本体二极管的能量转移特性, 实现 Boost 转换器的低压启动; 并设计了一种新颖的过零检测电路, 使 Boost 转换器具有更高的效率。在 Cadence Spectre 平台上的仿真验证结果表明, 该 Boost 转换器的启动电压低至 0.8 V, 在全负载范围内峰值效率达 96.5%, 负载调整率为 0.007%, 线性调整率为 0.540%。

关键词:低压启动; 高效率; PFM 控制模式; Boost 转换器

中图分类号: TN432

文献标志码: A

文章编号: 1003-5060(2026)07-0882-08

A high efficiency boost DC-DC converter with low voltage start-up

YAN Tingting^{1,2}, YIN Yongsheng^{1,2}, XIANG Hongyu^{1,2},

YANG Zenghui^{1,2}, LIU Xuejian^{1,2}, DENG Honghui^{1,2}

(1. School of Microelectronics, Hefei University of Technology, Hefei 230601, China; 2. IC Design Web-cooperation Research Center of Ministry of Education, Hefei University of Technology, Hefei 230601, China)

Abstract: In this paper, a high efficiency boost DC-DC converter with low voltage start-up is designed based on TSMC 180 nm CMOS process. The converter mainly consists of modules such as ring oscillator, low voltage start-up circuit, error comparator, zero current detector circuit, current limiting circuit, drive circuit and pulse frequency modulation(PFM) control logic. The circuit adopts PFM mode to achieve high efficiency under light load. Through the energy transfer characteristics of the body diode, the boost converter can start at low voltage, and a zero current detector circuit is designed to make the boost converter more efficient. The simulation results on Cadence Spectre platform show that the start-up voltage of the boost converter is as low as 0.8 V, the peak efficiency is 96.5% in the full load range, the load adjustment rate is 0.007%, and the linear adjustment rate is 0.540%.

Key words: low voltage start-up; high efficiency; pulse frequency modulation(PFM) control mode; boost converter

0 引 言

近年来, 智能手机、平板电脑和数码相机等由电池供电的便携式设备的需求大幅增加。小体

积、低压启动、高效率和高续航等性能指标逐渐成为这类电子产品的发展趋势。一方面, 低压启动的电源可以让设备在电池电量低时继续工作, 从而提高续航能力; 另一方面, 提高转换效率也可大

收稿日期: 2024-04-14; 修回日期: 2024-05-07

基金项目: 安徽省重点研究与开发计划资助项目(202104g01020008)

作者简介: 闫亭亭(1999—), 女, 山东菏泽人, 合肥工业大学硕士生;

尹勇生(1973—), 男, 内蒙古锡林浩特人, 博士, 合肥工业大学研究员, 硕士生导师;

邓红辉(1973—), 女, 湖南武冈人, 博士, 合肥工业大学副教授, 硕士生导师, 通信作者, E-mail: denghonghui@hfut.edu.cn.

大延长供电电池的续航时间和寿命。因为电池供电的便携式设备大多处于待机模式或睡眠模式,所以提高轻负载下的效率成为关键,故本文选择脉冲频率调制(pulse frequency modulation, PFM)控制模式,以减小开关损耗,提高轻载效率的要求。本文基于低压启动和高效率,设计一款 PFM 控制模式的 Boost 型 DC-DC 转换器。

围绕应用于便携式设备的 DC-DC 转换器,在低输入电压启动方面,文献[1]研究了一种辅助振荡器,使转换器能在低输入电压下启动;文献[2]和文献[3]构建了低工作电压模块,采用部分低阈值的 CMOS 器件,实现低压启动;文献[4]和文献[5]分别设计了电荷泵和倍压电路,将低电压抬升至电路所需的工作电压;文献[6]研究出一种内部电压源电路,使转换器实现低压启动。文献[1-6]实现的最低启动电压为 0.7~1.2 V,但它们所采用的低压启动方法都需要加入额外启动电路或辅助电路,从而增加了功耗和版图面积。目前也有研究实现了非常低的启动电压,如文献[7-8]设计的应用于能量收集的 Boost 转换器,启动电压分别低至 0.1 V 和 0.3 V,但实现的最大电压不高于 1.8 V,而大多数便携式设备使用的锂电池单节电池的输出电压在 2.5~4.2 V 范围内,因此这种设计不适用于便携式设备。在提高轻载效率方面,文献[9]设计了动态偏置技术与死区时间控制技术,通过此技术减小电路交叠功耗,进而降低电路整体功耗,提高电路转换效率,但其峰值效率在重载下提升效果较好,而在轻载和极轻载下效率提升效果不佳;文献[10]设计出一种频率可编程振荡器和混合零电流检测技术,频率可编程振荡器能够输出 9 位二进制频率范围,结合所提出的混合零电流检测技术,在超轻载下大大提升了系统效率,但该结构较为复杂,同时增加了成本;文献[11]设计了一种用于可穿戴设备的转换器,具有自适应零电流检测器(adaptive zero current detector, AZCD)和扩频时钟产生功能, AZCD 降低了高速比较器的运算负荷,避免了轻载下的反向电流;文献[12]设计了一种休眠模式电路,同时提出抗振铃电路,实现宽负载范围内的高效率,但系统采用脉冲宽度和脉冲频率的混合调制模式,架构较为复杂,响应速度也较慢。

本文从低启动电压和高效率两方面考虑,提出了一款新颖的 Boost 型 DC-DC 转换器。该转换器无需额外启动电路,利用整流 PMOS 管本体二极管的能量转移特性控制振荡器工作,实现低

压启动;同时提出了一种新型的过零检测电路,能够更精准、更高效地检测零电流,从而提高系统的转换效率。

1 系统架构

本文所设计的 Boost 型 DC-DC 转换器整体电路框图如图 1 所示,主要模块包括功率级(MN、MP)、误差比较器(Comp)、振荡器(OSC)、过零检测电路(zero current detector, ZCD)、电压基准(V_{REF})、限流电路(Current Limit)、驱动电路(Driver)及逻辑控制等。其中: V_{IN} 、 V_{OUT} 、LX、GND、CE 为外部引脚;系统内部所有模块供电电压均为 V_{OUT} 。

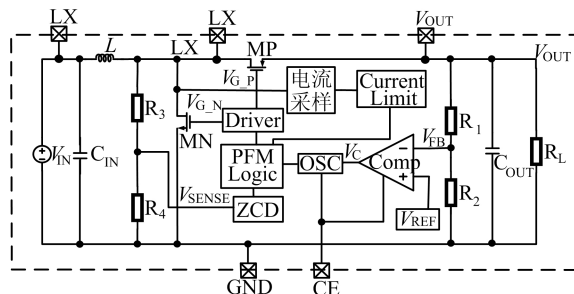


图 1 PFM 控制模式 Boost 转换器原理图

图 1 中:MN 为开关功率管;MP 为同步整流管。当系统开始上电时,输出电压从 0 缓慢升高,耗尽型基准逐渐开始工作,由于输出电压较低,反馈电压 V_{FB} 低于基准电压 V_{REF} ,误差比较器输出 V_C 为高电平,给振荡器一个启动信号;振荡器在达到启动电压后,产生一定频率的信号 CLK,通过逻辑和驱动电路,控制开关管和同步管的导通与关断,使输出电压继续升高;当输出电压升高至设定值时,反馈电压 V_{FB} 高于基准电压 V_{REF} ,误差比较器输出信号 V_C 为低电平,此时振荡器被锁定,输出 CLK 一直为低电平,控制驱动电路,使 MN 导通,MP 关断,电感电流上升,电感储能,电容放电,输出电压下降;当 V_{FB} 降至低于 V_{REF} ,输出电压又开始升高,重复上述过程,输出端不断充电,最终稳定。

本文所采用的 PFM 调制模式是通过输出电压的反馈电压来调节振荡器输出信号的时钟频率。假设负载电流变大导致输出电压 V_{OUT} 降低,使得 V_{FB} 低于 V_{REF} ,输出 V_C 为高电平,振荡器输出一定频率的时钟信号,经驱动电路后使 MN 功率管导通时间增大,电感存储能量增加,在功率管关断时向输出端提供的能量增多,从而使输出电

压 V_{OUT} 升高;反之,当负载变轻时,输出电压 V_{OUT} 升高,使得 V_{FB} 大于 V_{REF} , V_C 输出为低电平,振荡器被锁定,频率降为 0。这种调制模式可根据负载大小调节工作频率,使振荡器在需要时工作,不需要时锁定。从本质上讲,这种调制模式属于跳周期(pulse skip modulation, PSM)调制模式,是 PFM 调制模式的一种。

在 MN 管导通阶段,电感电流线性上升,限流保护模块开始工作,当检测到电感电流超过限定值时,关断 MN 开关管,开启 MP 管对输出电容充电,以降低电感电流,防止电感电流过大损坏功率管和电感。在 MP 管导通时,电感电流线性下降,过零检测模块开始工作,当电感电流下降至接近 0 时,及时关断 MP 管,开启 MN 管,使输出电容放电、电感电流升高,避免电流出现倒灌,降低系统转换效率。

2 子电路设计

2.1 低压启动电路

低压启动电路原理图如图 2 所示。相较于其他文献中添加辅助电路的启动方法,本文所使用的低压启动方法结构简单、功耗低、版图面积小,非常适用于便携式设备。本文所设计的 Boost 转换器可在低至 0.8 V 的输入电压下启动,并稳定输出 3.0 V。

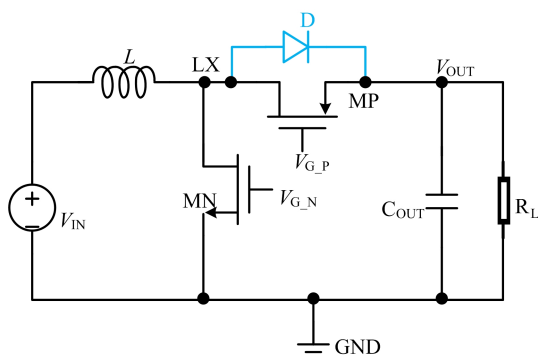


图 2 低压启动原理图

本文所采用的低压启动方法仅通过 MP 管的体二极管即可实现,原理如下:同步整流管 MP 两端分别连接输出端 V_{OUT} 和 LX 端,MP 的衬底与 V_{OUT} 端相连,在源漏之间存在一个体二极管,形成了一条可将电感中能量传输到输出负载上的通路,在输入电压较低、系统处于启动阶段时,驱动电路不工作, V_{G_P} 为高电平,同步整流管 MP 关断,能量通过本体二极管传输到负载,对输出电容

充电,从而使输出电压从 0 开始上升。由于系统模块均由输出电压供电,当输出电压抬升至接近振荡器与门 AND1 中 NMOS 管的阈值电压时,振荡器模块开始工作,产生时钟信号 CLK,提供给驱动电路。当 V_{G_P} 为低电平时,MP 管导通,工作在深线性区,等效为一个较小的导通电阻,其源漏之间的压降很小,不足以使二极管导通,此时体二极管处于截止状态。通过控制 MN 管和 MP 管的导通与关断,使输出电压达到稳定。

2.2 振荡器电路

本文采用环形振荡器,具有功耗低、结构简单、启动电压低的优点,电路如图 3 所示。

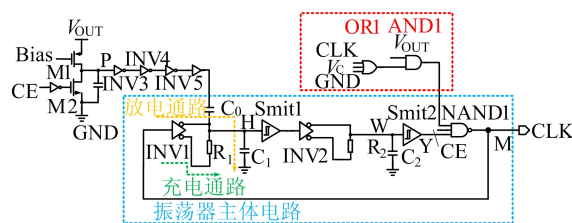


图 3 环形振荡器电路图

环形振荡器基本原理是将奇数个反相器首尾相连组成一个环形回路,利用反相器的传输延迟输出时钟信号。在反相器后面接入了 RC 单元,一方面可以增大反相器的传输延迟时间,另一方面,在设计之初,通过设计电阻 R 和电容 C 的数值即可得到目标输出频率。

信号 CE 为整体系统的使能信号,高电平有效,为系统中多个模块提供使能,控制电路启动; Bias 为偏置信号,为振荡器模块提供偏置电压; V_C 为误差比较器的输出信号,通过逻辑电路控制振荡器的关断和开启; CLK 为振荡器输出信号;功率管信号 V_G 与 CLK 同向。

当使能信号 CE 为低电平时,各模块关闭不工作, V_{OUT} 为低电平,因此振荡器中各节点电位信号也均为低电平。当使能信号为高电平时,系统开始上电。在系统启动阶段,输出电压 V_{OUT} 较低,信号 V_C 为高电平,或门 OR1 输出为高电平。当 V_{OUT} 未达到与门 AND1 中 NMOS 管的阈值电压时,振荡器环路内所有节点处于浮空态。

当输出电压 V_{OUT} 升高至接近与门 AND1 中 NMOS 管的阈值电压时,AND1 输出高电平。此时 P 点为高电平, H 点为低电平, W 点和 Y 点为高电平,使得 M 点为低电平;经过反相器 IN1, H 点变为高电平, W 点和 Y 点为低电平,使得 M 点为高电平,此为振荡器的一个工作周期。振荡

器输出经过驱动电路,控制功率管的导通与关断,使输出电压 V_{OUT} 上升。当 V_{OUT} 上升至分压 V_{FB} 高于 V_{REF} 时,误差比较器输出信号 V_C 为低电平并送至振荡器,或门 OR1 输出低电平,与门 AND1 输出低电平,将 M 点锁定为高电平。经过驱动电路,同步管 MP 关断,电容对负载供电,输出电压 V_{OUT} 下降,直至比较器检测到 V_{FB} 等于 V_{REF} 时, V_C 重新变为高电平,振荡器开启。重复上述过程,输出电压 V_{OUT} 达到稳态。

当负载突然由重载跳变为轻载时, V_{OUT} 升高, V_{FB} 也随之升高, 使得 V_C 变为低电平。当 CLK 完成上一周期后, 与门 AND1 输出低电平, 振荡器被锁定, M 点锁定为高电平, 进入跳周期模式。直到 V_{OUT} 降至使 V_{FB} 低于 V_{REF} , V_C 重新变为高电平, 振荡器再次开始工作。其中, CLK 输出反馈到或门 OR1, 可以保证当 V_C 跳低时振荡器不会立即关断, 而是完成当前周期后再关断。

环形振荡器的主体电路包括 2 个反相器 INV1 和 INV2、RC 充放电电路、2 个同向施密特触发器 Smit1 和 Smit2 以及 1 个三输入与非门。其中,反相器有 2 个输出端,上端连接反相器中的 PMOS 管,下端连接反相器中的 NMOS 管。施密特触发器起整形作用,保证输出波形呈矩形波,并增加电路的抗干扰能力。电容器 C1、C2 和电阻器 R1、R2 与 INV1、INV2 的 PMOS 管相连,当 CLK 为低电平时,它们构成充电通路。电容器 C1、C2 和电阻器 R1、R2 与 INV1、INV2 的 NMOS 管相连,当 CLK 为高电平时,构成放电通路。这种结构只与反相器的一端相连,而不是与输出电容直接相连,可以实现不同电平所经过的路径延时不同,改变 R 和 C 的值即可调节振荡器占空比和频率。假设反相器放电传输延迟时间为 t_{d1} ,充电传输延迟时间为 t_{d2} ,施密特触发器传输延迟时间为 t_s ,与非门传输延迟时间为 t_m ,则 CLK 信号的高电平时间 T_{on} 、低电平时间 T_{off} 分别为:

$$T_{\text{on}} = t_{\text{d1}} + t_{\text{d2}} + 2t_{\text{s}} + t_{\text{m}} + R_2 C_2 \quad (1)$$

$$T_{\text{off}} = t_{\text{d2}} + t_{\text{d1}} + 2t_{\text{s}} + t_{\text{m}} + R_1 C_1 \quad (2)$$

整理可得,周期 T 、占空比 D 分别为:

$$T = T_{\text{on}} + T_{\text{off}} = 2t_{d2} + 2t_{d1} + 4t_s + 2t_m + R_1 C_1 + R_2 C_2 \quad (3)$$

$$D = \frac{T_{\text{on}}}{T} =$$

$$\frac{t_{d1} + t_{d2} + 2t_s + t_m + R_2 C_2}{2t_{d2} + 2t_{d1} + 4t_s + 2t_m + R_1 C_1 + R_2 C_2} \quad (4)$$

2.3 过零检测电路

在同步 DC-DC 转换器中,整流管 MP 是双向导通的,过零检测电路用来及时阻断电感的反向电流,避免电流出现倒灌而降低系统转换效率。本文设计过零检测电路的目的是防止电流倒灌以实现高转换效率,电路图如图 4 所示。

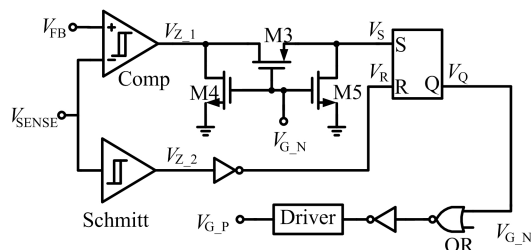


图 4 过零检测电路(ZCD)原理图

本文所设计的过零检测电路由迟滞比较器、同向施密特触发器、SR 锁存器、MOS 晶体管以及逻辑门电路组成。信号 V_{G_N} 和 V_{G_P} 分别是功率开关管 MN 和同步管 MP 的栅极信号, V_{FB} 和 V_{SENSE} 分别是输出电压和 LX 端的采样信号。传统过零检测电路一般采用比较器实现, 但比较器较慢的响应时间会延迟同步整流管的关断, 导致反向电流产生^[13-14]。也有方法设计校准器, 通过电阻串来实现最佳的零电流开关点, 但增大了芯片面积^[15]。本文所采用的方法克服了上述问题, 可以更准确地检测整流管 MP 两端电位的变化, 不会过早或过晚关断 MP, 使转换器实现更高的效率。

当信号 V_{G_N} 为高电平时,功率管 MN 导通,电感电流线性上升,LX 点电位被拉低, V_{SENSE} 点电位低于施密特触发器的下阈值,因此输出 V_{Z_2} 为低电平; V_R 电位为高电平;开关管 M4、M5 导通, V_S 为低电平,因此 V_Q 为置 0 状态,此时 V_{G_N} 为高电平, V_Q 为低电平,经过或非门 OR 后,对 V_{G_P} 没有影响,即过零检测电路不起作用。当信号 V_{G_N} 为低电平时,功率管 MN 关断、MP 导通,电感电流下降,输出电压 V_{OUT} 上升;当 V_{OUT} 电压将要大于但还未大于 LX 点电压时, V_{FB} 小于 V_{SENSE} ,输出 V_{Z_1} 为低电平;由于 M3 导通, V_S 为低电平,此时 V_{SENSE} 电压大于施密特触发器的上阈值, V_{Z_2} 为高电平, V_R 为低电平,因此 V_Q 保持状态,不会过早关断功率管 MP(避免其体二极管反复导通和关断引起损耗),从而提高过零检测电路的准确性。当 V_{OUT} 上升至大于 LX 点电压时, V_{FB} 大于 V_{SENSE} , V_S 为高电平,此时 V_R 依然为低电平,将锁存器输出电压 V_O

置 1, 经过逻辑和驱动电路, 输出 V_{G_P} 为高电平, 关断同步管 MP, 并开启开关管 MN, 电感电流开始抬升, 防止电流倒灌。

过零检测电路中施密特触发器的电路如图 5 所示。

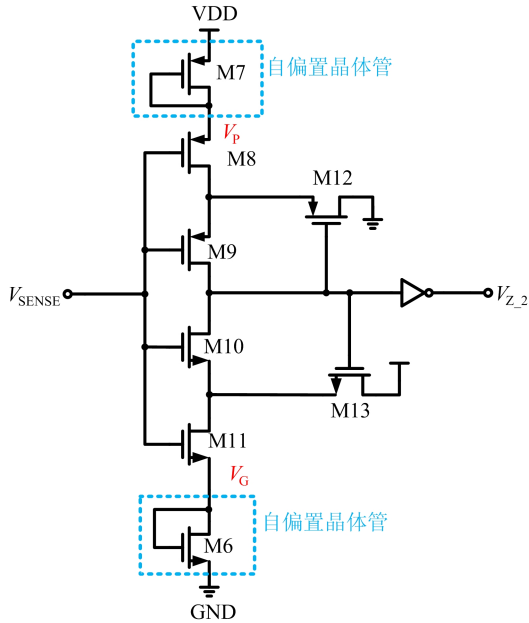


图 5 施密特触发器电路图

在传统施密特触发器上添加了 M6、M7 两个自偏置晶体管。在待机模式下, 这两个自偏置晶体管均关断, 并在 VDD 和 GND 之间提供非常高的阻抗, 因此可以减小漏电流, 降低漏电功耗。

过零检测中迟滞比较器电路如图 6 所示。通过在比较器中引入滞后, 使其具有不同的上升阈值电压和下降阈值电压, 只有当输入信号超过相应阈值时, 输出才会改变状态, 从而减少电路中的误差和抖动。 V_{FB} 和 V_{SENSE} 分别为同相输入和反相输入, $V_{\Delta+}$ 和 $V_{\Delta-}$ 分别为上升滞后电压和下降滞后电压, V_{Z_1} 为比较器输出。

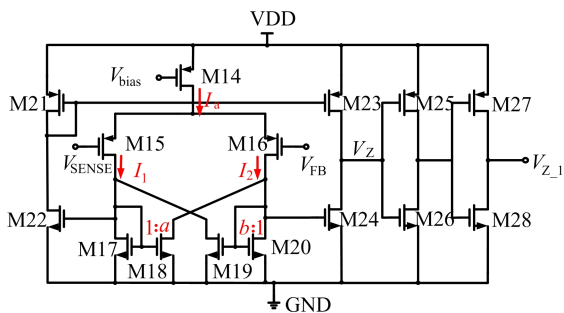


图 6 过零检测迟滞比较器电路图

NMOS 晶体管 M18 和 M19 引入了迟滞电压, 当 V_{FB} 远高于 V_{SENSE} 时, M17 和 M18 导通, M19 和 M20 关断, V_{Z_1} 输出为高电平。当 V_{FB} 逐渐降低, 直至等于 $V_{SENSE} - V_{\Delta-}$ 时, M19 和 M20 导通, M17 和 M18 关断, 输出由高电平变为低电平。

迟滞比较器的功能可用公式表示为:

$$\begin{aligned} V_{Z_1} &= 1, & V_{FB} > V_{SENSE} + V_{\Delta+}, \\ V_{Z_1} &= 0, & V_{FB} < V_{SENSE} - V_{\Delta-} \end{aligned} \quad (5)$$

其中, 比较器的下限阈值电压为:

$$\begin{aligned} V_{\Delta-} &= |V_{FB} - V_{SENSE}| = |V_{GS16} - V_{GS15}| = \\ &= \sqrt{\frac{2}{\mu C_{ox}(W/L)_{15,16}}} |\sqrt{I_2} - \sqrt{I_1}| = \\ &= \sqrt{\frac{2I_a}{\mu C_{ox}(W/L)_{15,16}}} \frac{\sqrt{b}-1}{\sqrt{b}+1} \end{aligned} \quad (6)$$

同理, 可推出上限阈值电压为:

$$V_{\Delta+} = \sqrt{\frac{2I_a}{\mu C_{ox}(W/L)_{15,16}}} \frac{\sqrt{a}-1}{\sqrt{a}+1} \quad (7)$$

3 仿真结果与版图设计

3.1 仿真结果

本文采用 TSMC 0.18 μm CMOS 工艺设计 Boost 转换器, 并在 Cadence Spectre 平台上进行仿真验证。

所设计的 Boost 转换器在 $V_{IN}=0.8\text{ V}$ 、负载电流为 1 mA 条件下的输出电压仿真结果如图 7 所示。从图 7 可以看出, 电路可在 0.8 V 低压下启动, 输出电压大约在 1.24 ms 时开始升高, 2.05 ms 时稳定输出 3.0 V 电压。

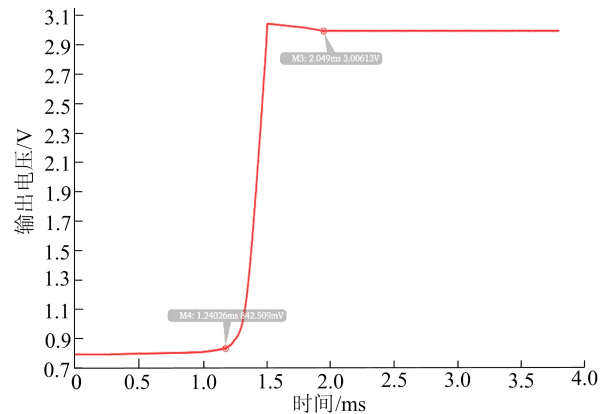


图 7 0.8 V 输入下输出电压仿真结果

Boost 转换器在 $V_{IN}=1.8\text{ V}$ 、 $V_{OUT}=3.0\text{ V}$ 、负载为 10 mA 时的输出电压仿真结果如图 8 所示。从图 8 可以看出, 输出电压大约在 150 μs 时稳定输出 3.0 V, 纹波为 34 mV。

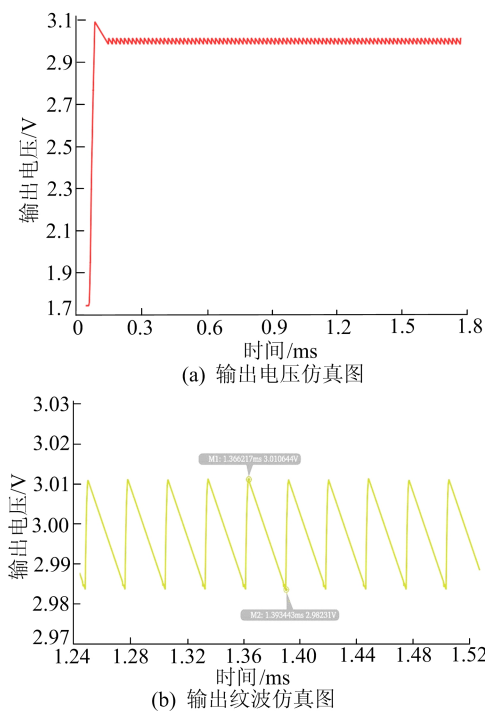


图8 10 mA 负载下输出电压仿真结果

Boost 转换器在 $V_{IN}=1.8\text{ V}$ 、 $V_{OUT}=3.0\text{ V}$ 、不同负载条件下的效率仿真结果如图9所示。从图9可以看出:当负载为 10 mA 时,转换效率为 91.3%;当负载为 50 mA 时,系统达峰值效率,为 96.5%。

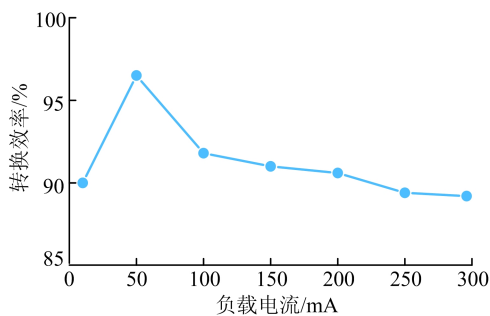


图9 不同负载下的效率仿真结果

Boost 转换器在 $V_{OUT}=3.0\text{ V}$ 、负载为 10 mA、不同输入电压下的效率仿真结果如图10所示。

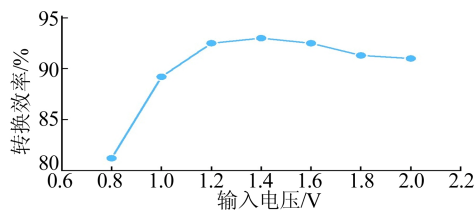


图10 不同输入电压下的效率仿真结果

从图10可以看出:在输入电压为 1.0 V 时,转换效率为 89.2%;在输入电压为 1.4 V 时,系

统峰值效率为 93.0%。

Boost 转换器在 $V_{IN}=1.8\text{ V}$ 、负载电流从 10 mA 跳变到 50 mA 时输出电压、驱动输出和电感电流的仿真结果如图11所示。由图11仿真结果可知,当负载发生变化时,输出电压变化约 8.7 mV,系统通过调节脉冲频率达到稳定。

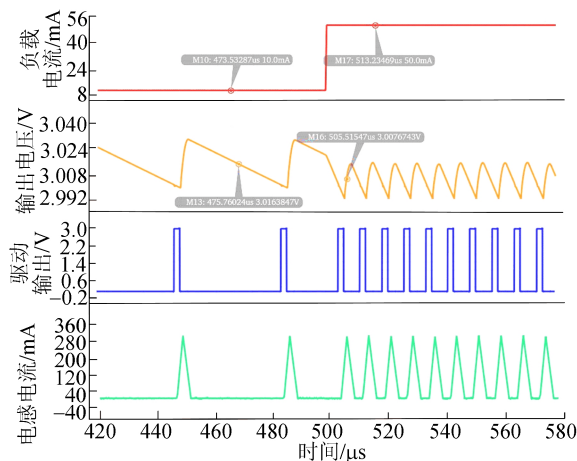


图11 负载调整率仿真结果

根据负载调整率 S 公式可得:

$$S = \frac{\Delta V_{OUT}}{\Delta I_{LOAD} V_{OUT}} \times 100\% = 0.007\% \quad (8)$$

Boost 转换器在负载为 100 mA、输入电压从 1.0 V 跳变到 1.8 V 时输出电压、驱动输出和电感电流的仿真结果如图12所示。由图12仿真结果可知,当输入电压从 1.0 V 跳变到 1.8 V 时,输出电压变化约 13 mV,系统通过调节脉冲频率使输出电压达到稳定。

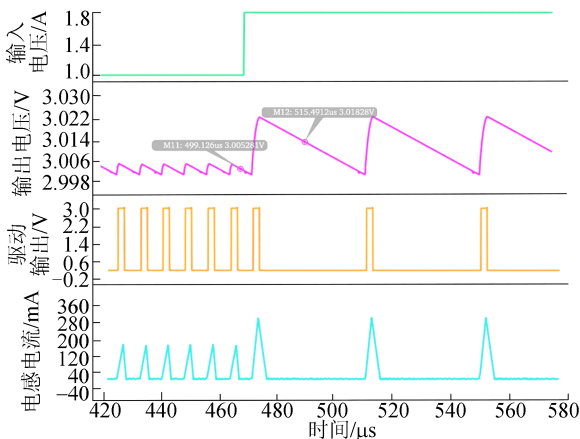


图12 线性调整率仿真结果

根据线性调整率公式可得:

$$S_L = \frac{\Delta V_{OUT}}{\Delta V_{IN} V_{OUT}} \times 100\% = 0.540\% \quad (9)$$

本文与其他文献的 Boost 型 DC-DC 转换器的性能参数对比见表 1 所列。

从表 1 可以看出,相较于其他文献中低压启动及高效率的 Boost 型 DC-DC 转换器,本文所设计的升压转换器可以实现 0.8 V 低压启动,且峰值效率达 96.5%,具有启动电压低、转换效率高的优点。

表 1 本文与同类型升压转换器电路参数对比

参数	本文	文献[2]	文献[16]	文献[17]
工艺参数/nm	180	350	180	
输入电压/V	0.8~2.0	1.0~15.0	1.8~5.0	0.7~5.5
输出电压/V	3.0	2.0~40.0	12.8	1.8~5.5
峰值效率/%	96.5	86.9	96.0	93.0
带载能力/mA	300	100	300	300

3.2 版图设计

本文所设计的 Boost 转换器的完整版图如图 13 所示,版图面积为 $798 \mu\text{m} \times 681 \mu\text{m}$ 。芯片共有 V_{IN} 、 V_{OUT} 、CE、LX、GND 5 个外部引脚; V_{IN} 为输入电压引脚; V_{OUT} 为输出电压引脚;CE 为使能端引脚;LX 为电感端引脚;GND 为地引脚。整体电路版图主要包括电压基准电路(V_{REF})、参考电流源电路(I_{BIAS})、振荡器电路(OSC)、误差比较器(EA)、限流保护电路(OCP)、过零检测电路(ZCD)和驱动电路(Driver)等模块,各模块布局如图中白色框线标注所示。

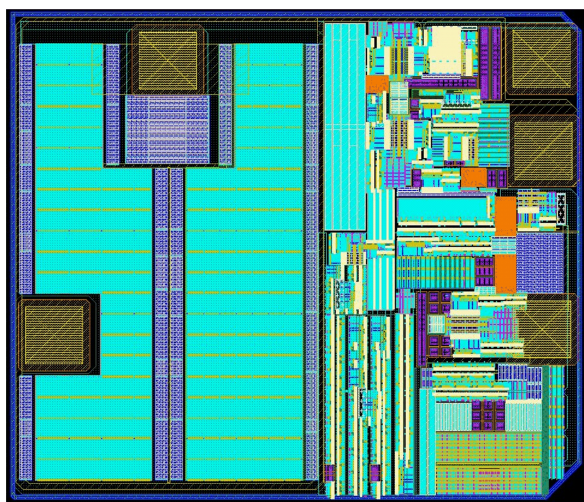


图 13 本文 Boost 转换器整体电路版图

在本文所设计的 Boost 转换器中,首先对各模块内部进行版图布局,其中比较器和电阻采用

中心对称设计,以减小梯度效应,增强匹配度;然后根据模块间的连接关系,遵循版图面积越小、布线效果越佳的原则,确定整体版图布局,由于功率管尺寸较大,设计时先确定了 PAD 引脚和功率管的位置;为避免产生干扰,将 Driver 中的数字模块与其他模拟模块分离开来,尽量做到不会交叉混合;在整体版图设计完成后,考虑各层金属密度和 poly 层密度,在空余区域密铺密度补偿方块,使密度均匀,以提升芯片良率。

4 结 论

本文设计了一种低启动电压、高效率的 Boost 型 DC-DC 转换器。该转换器利用 PMOS 管的本体二极管和低阈值环形振荡器实现低压启动,同时提出了一种新颖的过零检测电路,有效阻止电感电流发生倒灌,从而提高系统效率。仿真结果表明:Boost 型 DC-DC 转换器在输入电压为 0.8 V 时可稳定输出 3.0 V,实现了低压启动;在 $V_{\text{IN}}=1.8 \text{ V}$ 、 $V_{\text{OUT}}=3.0 \text{ V}$ 、负载电流为 50 mA 时,转换器的峰值效率达 96.5%,负载调整率为 0.007%,线性调整率为 0.540%,展现出较高的效率和较快的响应速度。

[参 考 文 献]

- [1] 杨浩. 超低压 BOOST 升压电路设计[D]. 天津:天津理工大学,2022:15-25.
- [2] 毛征明. 采用 COFT 控制的低启动电压 Boost 开关变换器芯片设计[D]. 成都:电子科技大学,2020:17-22.
- [3] 谢健星. 基于迟滞电流模式控制的低压启动升压型 DC-DC 转换器的设计[D]. 武汉:华中科技大学,2021:20-23.
- [4] 赵博. 一款极低功耗 Boost 型 DC-DC 转换器控制芯片的设计[D]. 武汉:华中科技大学,2021:16-25.
- [5] Kordetoodeshki E, Hassanzadeh A. An ultra-low power, low voltage DC-DC converter circuit for energy harvesting applications[J]. AEU International Journal of Electronics & Communications, 2019, 98: 8-18.
- [6] Lu Z, Fan S, Ma W, et al. A 0.3 V-4 V input voltage range, 0.7 V cold start boost converter with 1 v internal voltage supply generator by using 0.18 μm CMOS process for energy harvesting application[C]//IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA). [S. l.]: IEEE, 2022: 174-175.
- [7] 韦雪明, 覃毅青, 林思宇, 等. 应用于弱能量收集的低功耗 DC-DC 升压转换器[J]. 微电子学, 2019, 49(5): 653-658.

(下转第 897 页)

- on Very Large Scale Integration (VLSI) Systems, 2012, 20(3):564-568.
- [4] Hsieh M H, Chen L H, Liu S I. A 6.7 MHz to 1.24 GHz 0.031 8 mm² fast-locking all-digital DLL using phase-tracking delay unit in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2016, 51(2):412-427.
- [5] Chang H H, Sun C H, Liu S I. A low-jitter and precise multiphase delay-locked loop using shifted averaging VDCL [C]//IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2003:434-435.
- [6] Yang R J, Liu S I. A 2.5 GHz all-digital delay-locked Loop in 0.13 μ m CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2007, 42(11):2338-2347.
- [7] Yang R J, Liu S I. A 40-550 MHz harmonic-free all-digital delay-locked loop using a variable SAR algorithm [J]. IEEE Journal of Solid-State Circuits, 2007, 42(2):361-373.
- [8] Chen W C, Yang R J, Yao C Y, et al. A wide-range all-digital delay-locked loop using fast-lock variable SAR algorithm [C]//IEEE International Symposium on Intelligent Signal Processing and Communication Systems. [S. l.]: IEEE, 2012:338-342.
- [9] Wang L, Liu L B, Chen H Y. An implementation of fast-locking and wide-range 11 bit reversible SAR DLL[J]. IEEE Transactions on Circuits and Systems II, 2010, 57(6):421-425.
- [10] Zhang D D, Yang H G, Zhu W, et al. A multiphase DLL with a novel fast-locking fine-code time-to-digital converter [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23(11):2680-2684.
- [11] Park D J, Kim J S. A 7 GHz fast-lock 2-step TDC-based all-digital DLL for post-DDR4 SDRAMs[C]//IEEE International Symposium on Circuits and Systems (ISCAS). [S. l.]: IEEE, 2018:1-4.
- [12] Ye B. A wide-range all digital DLL for multiphase clock generation [J]. Microelectronics Journal, 2010, 41:411-416.
- [13] Bhoraskar P, Chiu Y. A 6.1 mW dual-loop digital DLL with 4.6 ps RMS jitter using window-based phase detector [C]//IEEE Asian Solid-State Circuits Conference. [S. l.]: IEEE, 2007:79-82.
- [14] Quchani M E, Maymandi-Nejad M. Design of a low-power linear SAR-based all-digital delay-locked Loop[C]//2019 27th Iranian Conference on Electrical Engineering (ICEE). [S. l.]: IEEE, 2019:118-124.
- [15] Kim T, Kim J S. A 0.8-3.5 GHz shared TDC-based fast-lock all digital DLL with a built-in DCC[C]//IEEE International Symposium Circuits and Systems (ISCAS). [S. l.]: IEEE, 2021:1-4.

(责任编辑 胡亚敏)

(上接第 888 页)

- [8] 包蕾, 韦保林, 王德民, 等. 应用于能量收集的自启动 DC-DC 升压转换器[J]. 微电子学, 2018, 48(5):585-589.
- [9] 方贤朋, 孙业钦, 王兴华. 一种低功耗高效率 DC-DC 转换器的设计实现[J]. 微电子学与计算机, 2019, 36(12):75-77, 83.
- [10] Chen X, Gong E, Zhang H, et al. A 1 μ W-to-158 μ W output power pseudo open-loop boost DC-DC with 86.7% peak efficiency using frequency-programmable oscillator and hybrid zero current detection[J]. IEEE International Symposium on Circuits and Systems (ISCAS). [S. l.]: IEEE, 2020:1-4.
- [11] Park J, Park Y, Kim H, et al. A design of a 92.4% efficiency triple mode control DC-DC buck converter with low power retention mode and adaptive zero current detector for IoT/wearable applications[J]. IEEE Transactions on Power Electronics, 2017, 32(9):6946-6960.
- [12] 易磊. 一种高效率升压型 DC-DC 转换器设计[D]. 南京: 南京邮电大学, 2022:21-24.
- [13] 严尔梅, 韦远武, 魏韬, 等. 一种适用于同步整流开关电源的过零检测电路[J]. 电子技术应用, 2013, 39(8):47-49, 53.
- [14] 黄莹, 夏晓娟. 同步整流 Boost 变换器中过零检测电路的设计[J]. 南京邮电大学学报(自然科学版), 2019, 39(1):68-73.
- [15] Su Y, Luo Y, Chen Y, et al. Current-mode synthetic control technique for high-efficiency DC-DC boost converters over a wide load range[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2014, 22(18):1666-1678.
- [16] Tang C, Chen K, Wey C, et al. Ultra-low voltage ripple in DC-DC boost converter by the pumping capacitor and wire inductance technique [C]//IEEE Asian Solid-State Circuits Conference (A-SSCC). [S. l.]: IEEE, 2016:301-304.
- [17] Texas Instruments. TPS61099 Datasheet [EB/OL]. <https://www.ti.com/sitesearch/cn/docs/universalsearch.tsp?searchTerm=tps61099&nr=269#q=tps61099&t=everything&linkId=1>.

(责任编辑 胡亚敏)