

DOI:10.3969/j.issn.1003-5060.2026.05.009

极低温环境下器件及电路特性分析

李 墨, 张 章, 陈美意, 蒲向荣

(合肥工业大学 微电子学院, 安徽 合肥 230601)

摘 要:极低温电子器件及电路在现代高科技产业中的重要性日益凸显。文章基于 BSIM4 模型,在 110 nm 工艺节点下对互补金属氧化物半导体(complementary metal-oxide-semiconductor,CMOS)器件及电路在 4 K 极低温环境下的特性进行分析研究。在器件层面:分析金属-氧化物-半导体场效应晶体管(metal-oxide-semiconductor field-effect transistor,MOSFET)在极低温下的特性变化,并与 300 K 室温环境下的器件性能进行对比,发现器件的亚阈值斜率增大 2~3 倍,阈值电压升高 50~100 mV,电流提升 1~2 倍;同时结合理论,对极低温下 MOS 器件出现的翘曲效应等现象进行分析。在电路层面:利用 CMOS 器件构建简单电路,观察数字、模拟电路在极低温环境下的行为变化;载流子迁移率的提高使电路增益等性能得到改善,但同时阈值电压的升高会导致静态工作点偏移,进而影响电路性能。文章研究结果为专用极低温定制电路的设计提供了一定的理论和实验依据。

关键词:极低温;场效应管;翘曲效应;阈值电压;载流子迁移率;亚阈值斜率

中图分类号:TN386.1;O513

文献标志码:A

文章编号:1003-5060(2026)05-0637-05

Characterization of devices and circuits under cryogenic temperature environment

LI Mo, ZHANG Zhang, CHEN Meiyi, PU Xiangrong

(School of Microelectronics, Hefei University of Technology, Hefei 230601, China)

Abstract:Cryogenic electronic devices and circuits are becoming more and more important in modern high-tech industries. This paper uses the BSIM4 model to study the characteristics of complementary metal-oxide-semiconductor(CMOS) devices and circuits in a 4 K cryogenic temperature environment under the 110 nm process node. At the device level, the characteristics of metal-oxide-semiconductor field-effect transistor(MOSFET) devices under cryogenic temperature environment are analyzed, and compared with the characteristics of devices under a 300 K room temperature environment. The sub-threshold slope of the device is increased by 2-3 times, the threshold voltage is increased by 50-100 mV, and the current is increased by 1-2 times. Based on relevant theories, the phenomena such as kink effect of MOS devices under cryogenic temperature are analyzed. At the circuit level, the simple circuits are built using CMOS devices, and the changes of digital and analog circuits under cryogenic temperature are observed. The increase in carrier mobility improves performance such as circuit gain, but at the same time, the static operating point of the circuit is changed due to the increase in threshold voltage, which affects the performance of the circuit. This study provides theoretical and experimental basis for the design of dedicated cryogenic custom circuits.

Key words:cryogenic temperature; metal-oxide-semiconductor field-effect transistor(MOSFET); kink effect; threshold voltage; carrier mobility; subthreshold slope

收稿日期:2024-04-11;修回日期:2024-05-06

基金项目:模拟集成电路国家重点实验室开放课题资助项目(JCKY2022210C001)

作者简介:李 墨(1999—),男,河北邯郸人,合肥工业大学硕士生;

张 章(1982—),男,安徽淮南人,博士,合肥工业大学教授,博士生导师,通信作者,E-mail:zhangzhang@hfut.edu.cn.

近年来,太空探索技术、超导体技术以及量子计算等领域的飞速发展对现有技术提出了更高要求,而现有技术难以完全满足各种极端环境下的应用需求,因此,设计适用于极低温环境的器件和系统成为了一种新的选择。与此同时,低温制冷技术的持续进步也为极低温器件及电路领域的发展奠定了坚实基础。

在航天及太空探索领域,工作环境温差极大,最低温度可能降至零下一百到零下两百摄氏度^[1]。对于执行行星探测任务和深空探测的航天器来说,能在极低温环境下稳定运行的电力管理和控制系统至关重要。目前,深空探测器通常携带放射性同位素加热装置,将工作环境维持在约 20 °C,以确保电路的高效可靠运行。然而,这种加热装置不仅增加了航天器的体积、重量和复杂度,还提高了成本。如果能够实现电路系统在极低温环境下的正常工作,将能够显著节省空间、减轻重量,并简化系统设计。

在超导技术领域,随着超导技术的日益成熟,许多曾经的设想如今已成为现实,如超导核磁共振成像(magnetic resonance imaging, MRI)和超导储能系统(superconducting magnetic energy storage, SMES)等。这些应用的关键在于超导材料需要在极低温环境下才能发挥效能,也意味着相关的电子电路需要在同样极低温的环境中运行。为了确保电子电路在极低温下的性能和稳定性,需要针对这种极端温度环境专门设计电路系统。

在量子计算领域,量子芯片需要在极低温度的环境下工作,而数据的读取及控制系统却在室温环境下运行。虽然这在可控量子比特数目较少时是一个方便且可行的方法,但随着可控量子比特数目的不断增加,传输线路也随之增多,这不仅带来了更多的串扰与噪声,还给系统的设计带来了更大的挑战。因此,极低温环境下的数据处理与控制系统变得越来越重要。

自 20 世纪 60 年代起,国外便开始了对极低温环境下器件特性的研究^[2]。随后,研究逐步扩展至对不同工艺节点的器件在不同温区下的特性分析及建模工作。目前已完成了从 180 nm 到 28 nm 工艺节点下的器件在 77 K 及 4 K 温区下的相关研究^[3-4]。

美国国家宇航局在 21 世纪初对极低温环境下的器件^[5]及电路性能^[1]展开了研究。早在 20 世纪末, MRI 技术的成功应用便已标志着超导技术在医疗诊断领域取得重要突破,这一技术的

实现推动了将功率变换电路及控制系统置于极低温环境下工作的研究与应用^[6]。随着超导和低温电子技术的进步, SMES 的概念成为了现实。SMES 利用超导材料的无电阻特性,在极低温环境下存储电能,从而实现了能量存储过程中的极低损耗^[7]。2017 年,文献[8]提出了将量子芯片及其读取可控制系统全部置于极低温环境中工作的方案。2020 年,文献[9]成功地将量子器件及其读取和控制电路整合在统一芯片内。

国内的相关研究起步较晚,但近年来,随着航空、超导及量子等领域的快速发展,在极低温器件表征方面也取得了显著进展。例如:已有研究对 180 nm 工艺节点下的器件进行了表征及建模^[10];利用低温器件模型,实现了可在极低温环境下工作的 SAR ADC 及振荡器电路^[11-12];设计了适用于量子芯片的压控振荡器电路^[13]。

为了确保电路在极低温环境中依然能够稳健运行,需要对器件及电路在极低温下的表现及特性有深入的了解。本文基于 BSIM4 模型,在 110 nm 工艺节点下对纯互补金属氧化物半导体(complementary metal-oxide-semiconductor, CMOS)电路和 MOS 器件在极低温和室温下的表现进行对比并分析,以期对相关领域的研究和发展提供有益的参考。

1 极低温下 MOS 器件特性分析

在极低温环境下,器件的特性与室温下存在很大的差异,其中在极低温下出现的“kink”效应、阈值电压升高等变化给电路设计提出了新的要求;同时也有好的影响,如载流子迁移率提高、亚阈值摆幅降低等。

极低温环境下器件表现出的一个显著特性是“kink”效应,即当漏源电压 V_{ds} 足够大时,漏极电流 I_{ds} 会出现额外的增大,这是由于在极低温下,衬底中的载流子发生冻析。随着 V_{ds} 逐渐增大,源区因碰撞电离产生的电荷无法通过衬底及时释放,从而在源极与衬底之间形成正向偏置,抬高了衬底电势,进而导致器件的阈值电压下降,最终使得 I_{ds} 获得额外的提升。

在极低温下的阈值电压升高对器件的静态工作点会产生很大影响,进而降低电路性能。阈值电压主要受平带电压、栅极压降和表面电势的影响,而在极低温下,表面电势的影响占据主导。本征载流子浓度以及费米电势与温度的表达式为:

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2k_0 T}\right) \approx 4.82 \times 10^{15} \times \left(\frac{m_n^* m_p^*}{m_0^2}\right)^{\frac{3}{4}} T^{\frac{3}{2}} \exp\left(-\frac{E_g}{2k_0 T}\right) \quad (1)$$

$$\varphi_{f_{n,p}} = \pm \frac{k_0 T}{q} \ln\left(\frac{N_B}{n_i}\right) \quad (2)$$

随着温度降低至极低温,本征载流子浓度急剧减小,费米势随之增大,导致阈值电压升高。

N型金属-氧化物-半导体(negative channel-metal-oxide-semiconductor, NMOS)管和P型金属-氧化物-半导体(positive channel-metal-oxide-semiconductor, PMOS)管在极低温和室温下的转移特性曲线如图1所示。图1中:实线为 $T=4\text{ K}$ 极低温下的转移特性曲线;虚线为 $T=300\text{ K}$ 室温下的转移特性曲线。

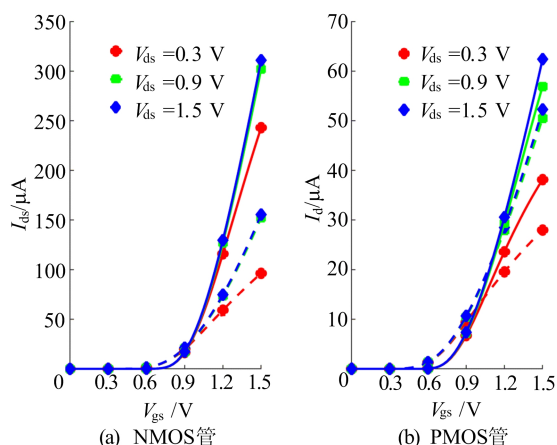


图1 NMOS管和PMOS管在极低温和室温下的转移特性曲线

极低温下的阈值电压相较于室温下的阈值电压明显增大。从 300 K 到 4 K , NMOS 的阈值电压增加了约 70 mV , PMOS 的阈值电压增加了约 110 mV 。

随着阈值电压的增大,加之先进工艺所要求的低电源电压环境,为了确保电路在极低温下仍能工作在正确的静态工作点,不可避免地需要在其他性能上做出妥协,例如在电路的稳定性等方面进行权衡。

将漏极电流绘制在对数坐标中,能够更直观地反映出亚阈值摆幅的变化。从图1可以看出,在极低温下亚阈值区的摆幅明显低于在室温下。在 4 K 时, NMOS 的亚阈值斜率约为 300 K 时的 2.3 倍, PMOS 的亚阈值斜率约为 300 K 时的 2.8 倍。极低温下亚阈值斜率提高,反映在电路中表现为开关速度的提升,从而有助于提高数字电路的速度。

载流子迁移率受多种物理机制影响,主要包括声子散射、库伦散射和表面散射。

1) 声子散射(晶格振动散射)。在一定温度下,晶体内的原子在各自平衡位置附近做微振动,这种振动会产生声子,载流子在运动过程中与这些声子相互作用而发生散射。温度越高,晶格振动越剧烈,声子散射的概率就越大,从而迁移率越低。

2) 库伦散射。由于电离杂质的存在,载流子在运动过程中会受到电荷的库伦作用而发生散射。在极低温下,由于热振动减弱,声子散射也随之减少,迁移率提高。

3) 表面散射。当载流子在半导体表面附近(如反型层中)运动时,会受到表面(界面粗糙度与表面缺陷)的散射作用。

在极低温环境下,当栅压较小时,载流子分布集中在衬底表面,此时载流子迁移率主要受表面散射作用。随着栅压逐渐增大,载流子分布离开衬底表面,此时,库伦散射起主要作用。

NMOS管和PMOS管在极低温和室温下的输出特性曲线如图2所示。

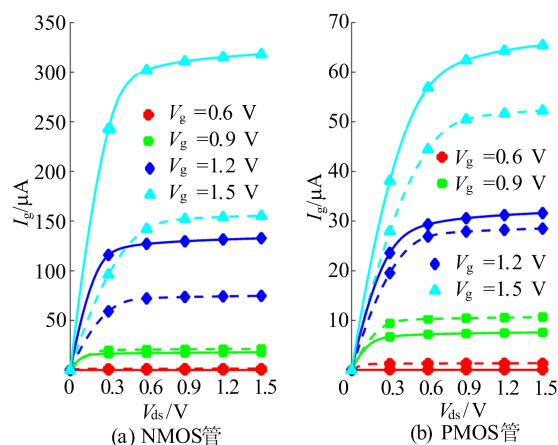


图2 NMOS管和PMOS管在极低温和室温下的输出特性曲线

图2中:实线为 $T=4\text{ K}$ 极低温下的输出特性曲线;虚线为 $T=300\text{ K}$ 室温下的输出特性曲线。

从图2可以看出,饱和电流和跨导受载流子迁移率影响,随着温度的降低而增大。在 4 K 下管子处于饱和状态且偏置电压相同的条件下, NMOS 管的漏极电流约为 300 K 时的 1.8 倍, PMOS 管的漏极电流约为 300 K 时的 1.1 倍。

2 极低温下电路分析及对比

2.1 极低温下数字电路分析及对比

在设计数字电路时,为保证其能够在极低温

环境下的正常工作,需对极低温环境下的 CMOS 电路有充足的了解,以确保数字电路在极低温环境下的性能。

反相器是数字电路最基本的单元之一。以反相器为例,分析数字电路在极低温环境下的性能变化。反相器在极低温和室温下的电压传递曲线如图 3 所示。反相器的参数变化情况见表 1 所列。

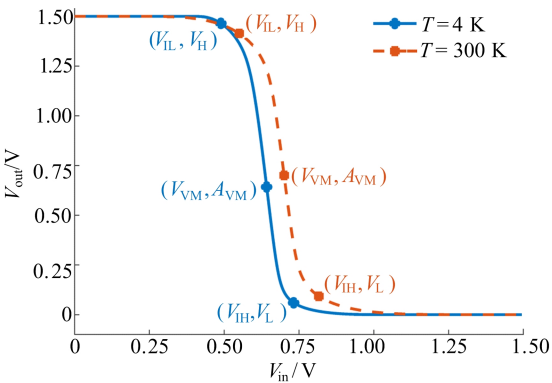


图 3 反相器在极低温和室温下的电压传递曲线

表 1 极低温和室温下反相器的参数变化

参数	数值	
	室温(300 K)	极低温(4 K)
V_{IH}/mV	816.1	732.3
V_{IL}/mV	550.1	489.1
V_H/V	1.414	1.465
V_L/mV	93.13	60.00
A_{VM}/mV	700.20	642.00
I_{NI}	0.822 6	0.837 9

图 3 和表 1 中: V_{IH} 、 V_{IL} 分别为输入高电平和输入低电平; V_H 为输出高电平(输入电压等于 V_{IL} 时的输出电压); V_L 为输出低电平(输入电压等于 V_{IH} 时的输出电压); A_{VM} 为输入输出电压相等时的电压大小; I_{NI} 为噪声抗扰度(noise immunity)。

$$I_{NI} = \frac{(V_H - V_L) - (V_{IH} - V_{IL})}{V_{DD}} \quad (3)$$

综上所述,由于在极低温环境下的阈值电压升高, V_{IH} 和 V_{IL} 都有所减小,但 V_{IH} 的减小速度大于 V_{IL} 的减小速度,最终 $V_{IH} - V_{IL}$ 降低,反向器的噪声抗扰度增强。

对于反相器,当 $A_{VM} = V_{DD}/2$ 时,性能较好。但在极低温环境下,由于阈值电压的变化, A_{VM} 明显偏离了 $V_{DD}/2$ 点。在设计低温环境下的数字电路时,虽然电路的速度等性能得到了提升,但同时也需综合考虑阈值电压的影响。直接使用常温

数字电路无法带来最大的增益。

2.2 极低温下模拟电路分析及对比

在模拟电路中,双极结型晶体管(bipolar junction transistor,BJT)因工作频率高、噪声低的特性,常被用于运算放大器设计。但随着环境温度的降低,BJT 的发射极带隙也随之变窄,导致在极低温环境下其电流增益急剧下降^[14-15]。这一缺点使得 BJT 在极低温环境中应用受限。为了确保电路在极低温环境下的正常运行,需使用 CMOS 设计电路。

以纯 CMOS 运算放大器为例,在极低温环境下,电路有很多参数性能得到了改善,例如极低温下载流子迁移率增大,使运放的带宽及增益都得到了改善,如图 4 所示。同时在极低温环境下,由于阈值电压的升高,降低了器件的饱和电压,导致电路的稳定性下降,如图 5 所示。

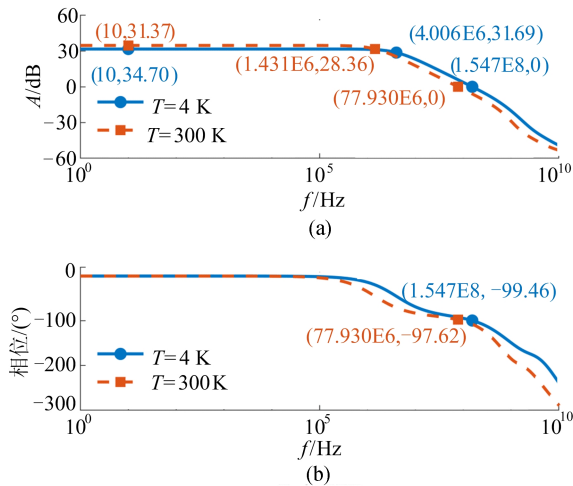


图 4 极低温和室温环境下输出增益及相位随频率的变换

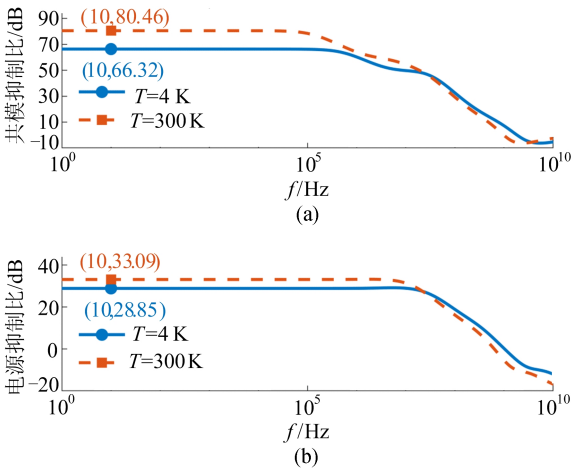


图 5 在极低温和室温下运放共模抑制比和电源抑制比随频率的变化

在极低温和室温环境下,运放性能的比较见表2所列。从表2可以看出,从室温到极低温,运放的带宽有了充足的增长,而低频增益却没有如上文所述一样增大,反而有所降低。这是由于在极低温环境下,阈值电压等参数的变化使运放的静态工作点发生变化,导致其增益下降;同时,器件的阈值电压增大,留给其他电压的裕度降低,导致运放的共模抑制比及电源抑制比都有所降低。

表2 极低温和室温环境下运放性能的比较

参数	数值	
	室温(300 K)	极低温(4 K)
-3 dB 带宽/MHz	1.431	4.006
单位增益带宽/MHz	77.93	154.70
相位裕度/(°)	82.33	80.48
低频增益/dB	34.70	31.37
共模抑制比/dB	80.46	66.32
电源抑制比/dB	33.09	28.85

随着工艺不断进步,电源电压持续降低。在极低温环境下,阈值电压的增大会给模拟电路的设计带来诸多困难。为消除阈值电压变化带来的影响,需要对电路进行更精细的设计,往往需增加结构复杂度并牺牲其他性能。值得庆幸的是,载流子迁移率增大等变化也提供了更大的设计空间。

3 结 论

在极低温环境下,MOSFET 器件的性能与室温时相比存在诸多差异,既有有利的方面,也有不利的影响。例如:载流子迁移率的增大可提升运放的增益和带宽,亚阈值摆幅的降低则显著提高了数字电路的速度;与此同时,阈值电压的增大也给电路设计带来了新的挑战。因此,在设计用于极低温环境的器件时,需要进行全面的分析与权衡。

[参 考 文 献]

- [1] HAMMOUD A, PATTERSON R L, GERBER S, et al. Electronic components and circuits for extreme temperature environments[C]//2003 10th IEEE International Conference on Electronics, Circuits and Systems, Sharjah, United Arab Emirates; IEEE, 2003: 44-47.
- [2] GREEN R R. MOSFET operation at 4.2 K[J]. Review of

Scientific Instruments, 1968, 39(10): 1495-1497.

- [3] BECKERS A, JAZAERI F, ENZ C. Cryogenic MOS transistor model[J]. IEEE Transactions on Electron Devices, 2018, 65(9): 3617-3625.
- [4] BECKERS A, JAZAERI F, BOHUSLAVSKYI H, et al. Design-oriented modeling of 28 nm FDSOI CMOS technology down to 4.2 K for quantum computing[C]//2018 Joint International EUROSOFI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOFI-ULIS). Granada; IEEE, 2018: 1-4.
- [5] CHEN T, NAJAFIZADEH L, ZHU C, et al. CMOS device reliability for emerging cryogenic space electronics applications[C]//2005 International Semiconductor Device Research Symposium, Bethesda; IEEE, 2005: 328-329.
- [6] VAN HETEREN J G, FENZI N, JAMES T W, et al. Thin film high temperature superconductor RF coil and cryogenic preamplifier for low field MRI[C]//1993 IEEE Conference Record Nuclear Science Symposium and Medical Imaging Conference, San Francisco; IEEE, 1993: 1708-1712.
- [7] FIREDMAN A, SHAKED N, PEREL E, et al. HT-SMES operating at liquid nitrogen temperatures for electric power quality improvement demonstrating[J]. IEEE Transactions on Applied Superconductivity, 2003, 13(2): 1875-1878.
- [8] CHARBON E, SEBASTIANO F, BABAIE M, et al. 15. 5 Cryo-CMOS circuits and systems for scalable quantum computing[C]//2017 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco; IEEE, 2017: 264-265.
- [9] GUEVEL L L, BILLIOT G, JEHL X, et al. 19. 2 A 110 mK 295 W 28 nm FDSOI CMOS quantum integrated circuit with a 2.8 GHz excitation and nA current sensing of an on-chip double quantum dot[C]//2020 IEEE International Solid-State Circuits Conference- (ISSCC). San Francisco; IEEE, 2020: 306-308.
- [10] 路腾腾. 极低温下电子元器件建模及应用研究[D]. 合肥: 中国科学技术大学, 2020.
- [11] ZHAO H L, ZHAO Y Q, ZHANG Z S. A cryogenic SAR ADC for infrared readout circuits[J]. Journal of Semiconductors, 2011, 32(11): 115015.
- [12] 锥超. 极低温 CMOS 器件建模与环形振荡器研究[D]. 合肥: 中国科学技术大学, 2019.
- [13] 张耕南阳. 经典量子界面的低温 CMOS 压控振荡器研究与设计[D]. 成都: 电子科技大学, 2023.
- [14] 解冰清, 毕津顺, 李博, 等. 极端低温下硅基器件和电路特性研究进展[J]. 微电子学, 2015, 45(6): 789-795.
- [15] CHEN S, LUO C, ZHANG Y, et al. Current gain enhancement for silicon-on-insulator lateral bipolar junction transistors operating at liquid-helium temperature[J]. IEEE Electron Device Letters, 2020, 41(6): 800-803.

(责任编辑 胡亚敏)