

DOI:10.3969/j.issn.1003-5060.2026.05.010

一种应用于 DRAM 时钟电路的占空比校准器

张嘉鹏¹, 孟 煦^{1,2}

(1. 合肥工业大学 微电子学院, 安徽 合肥 230601; 2. 合肥工业大学 教育部 IC 设计网上合作研究中心, 安徽 合肥 230601)

摘 要:文章设计了一种适用于动态随机存取存储器(dynamic random access memory, DRAM)时钟电路的占空比校准器,可校准外部时钟输入和内部时钟传播时产生的占空比失真,保证输出时钟的占空比接近 50%。该设计针对 DRAM 工作频率范围过宽、传统的占空比校准器难以完全覆盖的问题,采用时钟频率检测电路,并在高频和低频时钟下对占空比校准器分别配置不同的检测精度和调节步长,实现对宽工作频率范围的支持;并基于 19 nm 存储工艺,在 1.1 V 电压下进行仿真验证。仿真结果表明:该占空比校准器的工作频率范围为 400 MHz 至 2 GHz,占空比校准范围为 40.0%~60.0%,校准精度为 50.0%±1.0%;在 2 GHz 频率下,系统功耗为 1.7 mW,输出时钟峰峰值抖动为 5.1 ps。

关键词:动态随机存取存储器(DRAM);宽工作频率范围;占空比校准器(DCC);频率检测电路

中图分类号:TN432

文献标志码:A

文章编号:1003-5060(2026)05-0642-07

A duty cycle corrector for DRAM clock circuit

ZHANG Jiapeng¹, MENG Xu^{1,2}

(1. School of Microelectronics, Hefei University of Technology, Hefei 230601, China; 2. IC Design Web-cooperation Research Center of Ministry of Education, Hefei University of Technology, Hefei 230601, China)

Abstract: A duty cycle corrector(DCC) for clock circuits in dynamic random access memory(DRAM) is designed, which can calibrate the duty cycle distortion generated by external input clock and internal clock propagation, and ensure the duty cycle of output clock is close to 50%. To solve the problem that the operating frequency range of DRAM is too wide and the traditional DCC is difficult to completely cover, the clock frequency detection circuit is used in this design, and the DCC is configured with different detection accuracy and adjustment step size under high frequency and low frequency clocks, so as to realize the support for wide operating frequency range. The design is based on 19 nm memory technology and verified by post-simulation under 1.1 V supply voltage. Simulation results show that the operating frequency range of the DCC is 400 MHz to 2 GHz, the duty cycle calibration range is 40.0%-60.0%, the calibration accuracy is 50.0%±1.0%. When working at 2 GHz, the power consumption is 1.7 mW, and the output clock peak-to-peak jitter is 5.1 ps.

Key words: dynamic random access memory(DRAM); wide operating frequency range; duty cycle corrector(DCC); frequency detection circuit

动态随机存取存储器(dynamic random access memory, DRAM)作为计算机内存芯片,使用双倍数据速率传输技术(double data rate,

DDR)提高数据带宽,在输出时钟的上升沿和下降沿同时进行数据传输。因此,DRAM 时钟的占空比影响数据采样的建立/保持时间,当占空比为

收稿日期:2024-04-12;修回日期:2024-06-11

基金项目:国家重点研发计划资助项目(2023YFB4403804)

作者简介:张嘉鹏(1992—),男,山东威海人,合肥工业大学硕士生;

孟 煦(1989—),男,安徽合肥人,博士,合肥工业大学副教授,硕士生导师,通信作者,E-mail:xmen@hfut.edu.cn.

50%时,最有利于降低数据误码率。

DRAM 的输入时钟在物理层传输时会遇到噪声、串扰、衰减等干扰,使其占空比偏离 50%。此外,环境温度不同、制造工艺偏差、逻辑门 P/N 比例不匹配等因素导致 DRAM 时钟传播时会产生逐渐积累的占空比失真。因此,DRAM 时钟电路需要占空比校准器(duty cycle corrector, DCC)校准输出时钟的占空比失真^[1]。

传统的占空比校准器通常分为模拟 DCC 和数字 DCC 2 种。模拟 DCC 使用电荷泵作为检测器,电荷泵输出电压作为偏置电压,调节伪反相器输出时钟的上升沿、下降沿摆率实现占空比调节^[2-3]。数字 DCC 由半周期边沿合成器实现,其原理是将时钟上升沿延迟半个周期后与原边沿合成,重新生成具有 50%占空比的时钟信号。半周期延时由延迟锁相环或时间数字转换器实现,需要使用较多的数字延时单元和逻辑电路^[4-6]。

目前市面主流的 DDR4 DRAM 的时钟频率范围为 400 MHz 至 1.6 GHz,该应用场景下,对占空比、输出时钟抖动及功耗有较高的要求。传统结构的占空比校准器难以同时满足 DRAM 时钟电路宽范围、高精度、低抖动和低功耗的性能需求。在千兆赫兹的高频时钟范围内,由于电荷泵的电流失配效应加剧,模拟 DCC 的检测精度受到严重影响,同时使输出时钟的抖动增加。在数百兆赫兹的低频时钟范围内,数字 DCC 的额外延时单元和逻辑电路使版图面积和系统功耗增大。

本文设计一种数模混合结构的占空比校准器,由占空比检测器和占空比调整器构成。采用基于低通滤波器的时间积分电路和高增益的预放大比较器电路,实现高频下占空比的高精度检测;采用基于数字编码控制的时钟边沿摆率调整电路,实现低抖动和低功耗的占空比调整。通过时钟频率检测电路配置高频和低频工作模式下占空比的检测精度和调节步长,实现对宽频率范围的支持。

1 占空比校准器的原理与实现

1.1 占空比检测器

本文实现的占空比检测器的基本结构如图 1 所示,该电路由单端转差分电路、低通滤波器和预放大比较器构成。

单端转差分电路负责将输入时钟转换为差分时钟,假设输入时钟的占空比为 α ,则同相输出时钟 CKP 的高电平占空比同为 α ,反相输出时钟

CKN 的高电平占空比为 $(1-\alpha)$,理想情况下应该满足:

$$\alpha = (1-\alpha) = 50\% \quad (1)$$

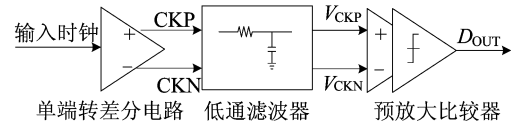


图1 占空比检测器基本结构

本文使用的单端转差分电路如图 2 所示。图 2 中, $\times 1$ 、 $\times 2$ 、 $\times 3$ 分别代表反相器单元的 W_P/W_N 尺寸为 1 倍、2 倍、3 倍。

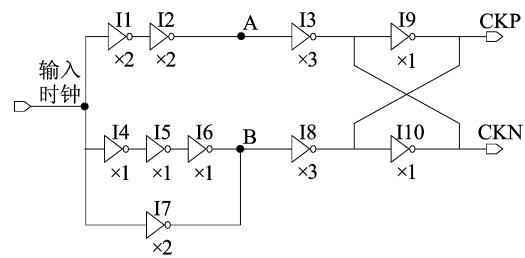


图2 单端转差分电路

常见的单端转差分电路使用传输门匹配反相器的传输延时并保持时钟相位不变,但传输门的驱动能力较弱,会影响时钟占空比信息。本文采用 I4、I5、I6、I7 进行相位插值,可保证 B 点占空比信息和时钟相位受影响程度与 A 点近似,避免额外占空比失真的引入。I9、I10 通过交叉耦合的方式抑制共模干扰,提高时钟质量。

输入时钟占空比失真时,差分时钟的占空比一路高于 50%,另一路低于 50%,使时钟的平均电平出现差异。为获得该差异电平,本文利用低通滤波器的时间积分特性,将位于阻带区域的输入时钟转换为直流电平。

低通滤波器电容的初始电压设置为 V_{REF} ,时钟 CKP 和 CKN 的高电平 V_{DD} 为电容充电,低电平 V_{SS} 为电容放电,则低通滤波器的输出电平 V_{CKP} 、 V_{CKN} 可以表示为:

$$V_{CKP} = V_{REF} + \frac{1}{RC} \int_0^{\alpha t} (V_{DD} - V_{REF}) dt + \frac{1}{RC} \int_0^{(1-\alpha)t} (V_{SS} - V_{REF}) dt \quad (2)$$

$$V_{CKN} = V_{REF} + \frac{1}{RC} \int_0^{(1-\alpha)t} (V_{DD} - V_{REF}) dt + \frac{1}{RC} \int_0^{\alpha t} (V_{SS} - V_{REF}) dt \quad (3)$$

通常低电平 $V_{SS} = 0$,令时钟周期为 T ,低通

滤波器工作周期数为 N , 则有 $t = NT$, 代入式(2)、式(3)中, 计算出两路低通滤波器输出直流电平 V_{CKP} 、 V_{CKN} 之差 ΔV 为:

$$\Delta V = V_{CKP} - V_{CKN} = \frac{2NT}{RC}(\alpha - 50\%)V_{DD} \quad (4)$$

由式(4)可知, ΔV 值的大小、正负由 α 与 50% 的差异程度决定, 因此, 低通滤波器能实现从占空比信息到电压信息的转换。但随着时钟周期 T 的减小, ΔV 也会随之减小, 说明在高频时钟下对占空比失真进行高精度分辨更难。虽然减少 RC 值能够提高 ΔV 的大小, 但会使滤波器的截止频率降低, 从而影响低频情况下的纹波滤除能力^[7]。

为解决上述问题, 本文提出低通滤波器, 其电路如图 3 所示。该低通滤波器采用的二阶低通滤波器结构, 具有更强的纹波滤除能力, 还可根据时钟频率检测的结果, 即图 3 中 FD 信号, 在高频时减少并联电容, 获得更大的 ΔV 值, 有利于后级电路对差异电平的比较。

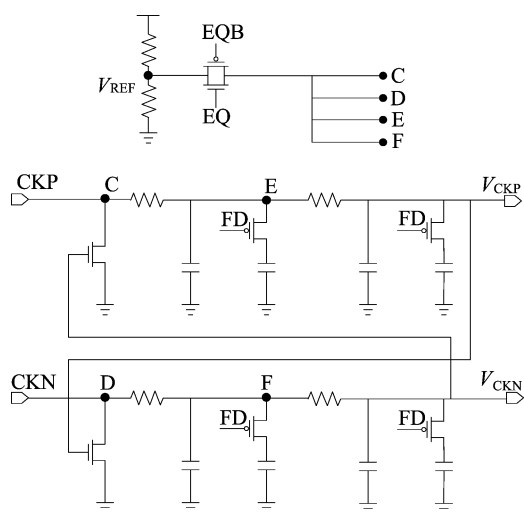


图 3 低通滤波器电路

图 3 中, V_{REF} 为电阻分压得到的参考电平, 设置为 $V_{DD}/2$, 每间隔一定的时钟周期后由均衡信号 EQ、EQB 打开。将电路中的节点 C、D、E、F 电压设置为 V_{REF} , 为后级电路提供共模电压。此外, 本文将输出电平交叉反馈回输入端, 控制额外的放电支路, 可增加两路输出电平的差异度。

在时钟占空比信息转换为模拟电压信息的基础上, 本文采用预放大比较器电路, 比较 V_{CKP} 、 V_{CKN} 电压差。根据 ΔV 的正负, 得到可用于数字电路的全摆幅电平输出 D_{OUT} , 实现对时钟占空比的检测。由于比较器存在失调、亚阈值等非理想

效应, 当 ΔV 过小时, 比较器可能得到错误的结果, 因此本文在比较器的输入级加入预放大器, 将前级输出的直流电平进行增益, 可提高占空比检测的分辨率。比较器电路使用基于正反馈的互锁型动态比较器。预放大比较器电路如图 4 所示。

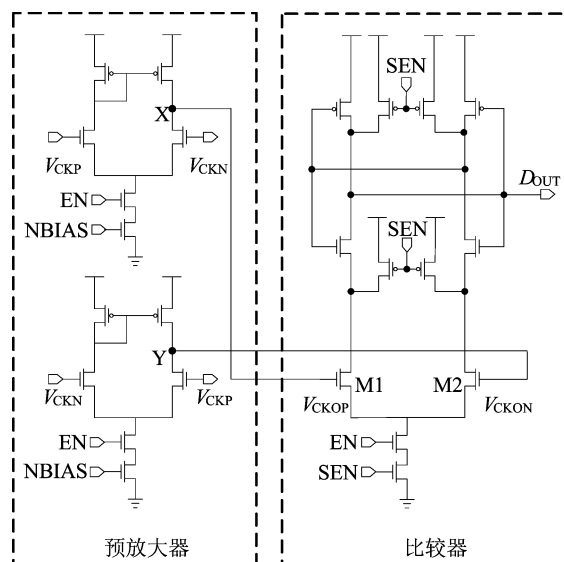


图 4 预放大比较器电路

图 4 中: EN 信号为占空比检测电路的使能控制, 电路工作时为高电平; 预放大电路采用差分镜像输入, 由节点 X、节点 Y 输出预放大后的电平 V_{CKOP} 、 V_{CKON} ; NBIAS 为放大器偏置电压; 比较控制信号 SEN 为低电平时, 比较器内部节点同时被充电至高电平, 当 SEN 为高电平时, 比较器根据 M1、M2 的开启程度得出比较结果 D_{OUT} , 即

$$D_{OUT} = \begin{cases} V_{SS}, & \alpha > 50\%; \\ V_{DD}, & \alpha \leq 50\% \end{cases} \quad (5)$$

该高、低电平的比较结果 D_{OUT} 由差异电平 ΔV 的正负决定, 代表着输入时钟占空比与 50% 的关系, 用于控制占空比调整的方向。

1.2 占空比调整器

本文提出的占空比调整器的基本结构如图 5 所示, 由采样编码电路和占空比调整电路构成。

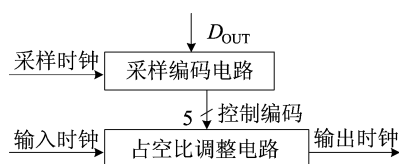


图 5 占空比调整器基本结构

采样编码电路对占空比检测器的输出 D_{OUT} 进行采样, 确认占空比调节电路的调整方向和调

整步长。5 位控制编码中,最高位为方向位,其余为控制位,方向位表示占空比的调节方向,控制位表示占空比的调节大小,仅当控制位为 0000 时,方向位翻转。每次编码改变均为单比特变换,可避免时钟抖动的产生。32 位数字调节编码提供了更好的调节线性度和精度。

控制编码的生成逻辑示意图如图 6 所示。 D_{OUT} 的采样结果与方向位进行同或,控制二进制计数器进位或退位,相同则计数器加 1,占空比的调节总量也随之增大,相反则计数器减 1,当控制位为 0000 时,重新设置方向位。

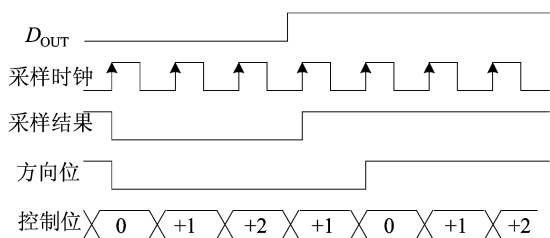


图 6 控制编码生成逻辑示意图

通过采样编码电路,将占空比信息 α 与 50% 的偏离方向、偏离程度转换为二进制编码后,即可用于控制占空比调整电路。占空比调整电路示意图如图 7 所示。

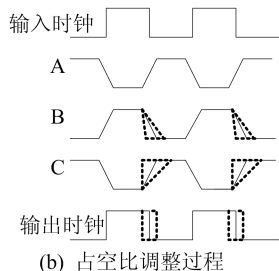
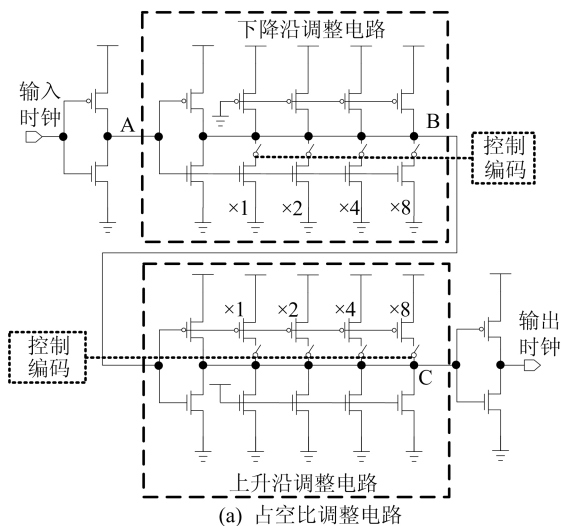


图 7 占空比调整电路和占空比调整过程

图 7a 中, $\times 1$ 、 $\times 2$ 、 $\times 4$ 、 $\times 8$ 分别代表标准单元宽长比(W/L)的 1 倍、2 倍、4 倍、8 倍。宽长比越大,对占空比的调节能力就越强。图 7b 展示了占空比调节过程,当输入时钟经过一级反相器后,进入下降沿调整电路,控制编码通过在节点 A 接入不同尺寸的 NMOS 管,获得不同的电平下拉能力,对下降时间进行调节。同理,上升沿调整电路则根据接入的不同尺寸的 PMOS 管获得可调节的上拉能力,调整节点 B 的上升时间。最终由一个尺寸较大的反相器作为输出缓冲级,为输出时钟整形并获得较好的上升、下降沿。这种调整上升、下降沿摆率的方法调整范围有限,需要多级调整电路进行级联。

1.3 占空比校准器的实现

本文提出的适用于 DRAM 时钟电路的占空比校准方案如图 8 所示。

占空比校准器由占空比检测器、占空比调整器、频率检测电路构成。

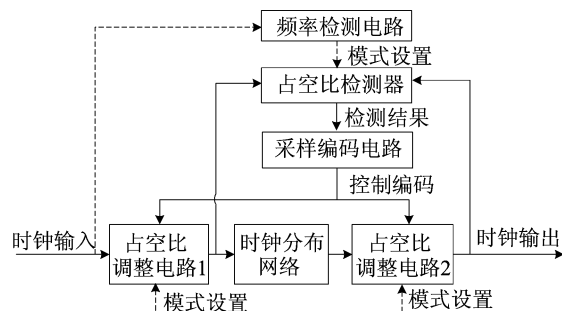


图 8 DRAM 时钟电路占空比校准方案

DRAM 时钟电路的占空比失真主要来自外部时钟输入和内部时钟传播,图 8 中时钟分布网络指 DRAM 内部时钟的传播路径,会产生不断积累的占空比失真。本文采用双路闭环负反馈控制,在时钟分布网络的起始和结束都进行占空比的检测和调整。

为实现对 DRAM 宽输入频率的支持,本文的占空比校准器中还通过频率检测电路,以 1.2 GHz 为分界线,为占空比检测器和占空比调整器设置高频、低频工作模式。高频模式下,减小占空比检测器中低通滤波器的 C 值,使 ΔV 的值更大,增加占空比检测的精度。低频模式下,串联额外的占空比调整电路,整体增加占空比调节范围,使占空比检测和调整电路在不同的频率范围内实现最优性能。

1.3.1 频率检测电路

频率检测电路的具体实现方式如图 9 所示。

从图 9 可以看出,输入时钟进入频率检测电路后,由脉冲生成电路在每个时钟上升沿生成一个具有固定脉宽的低电平充电脉冲。设时钟周期为 T_{period} ,低电平脉冲宽度为 T_{pulse} ,在充电电流 I_1 恒定的情况下, T_{pulse} 占 T_{period} 的占空比决定电荷泵电路的充电能力,时钟频率越高,该占空比越大,电荷泵的充电能力越强。 T_{pulse} 通过逻辑延时单元实现,电流源 I_1 由偏置电路实现。

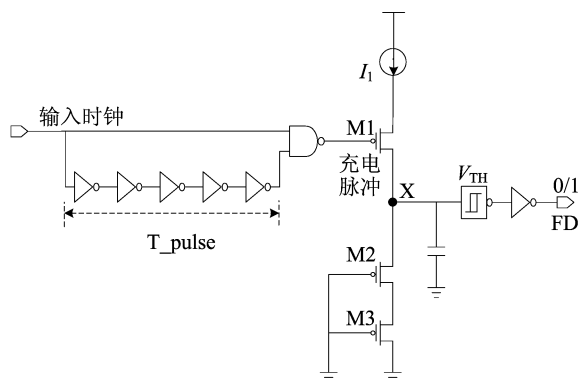


图 9 频率检测电路

图 9 中的 PMOS 晶体管 M2、M3 采用倒比管尺寸,对节点 X 进行持续的放电,当节点 X 电压升高,晶体管 M2、M3 进入饱和区后,电荷泵放电电流可近似为固定值。在充、放电能力平衡下,节点 X 的电压趋于稳定。

节点 X 同时作为施密特触发器的输入,并与施密特触发器的低到高翻转阈值电压 V_{TH} 进行比较,当节点 X 电压更高时,施密特触发器翻转,FD 输出为 1,检测到输入时钟处于高频范围内。反之,若节点 X 电压小于阈值电压,FD 输出为 0,检测到输入时钟处于低频范围内。FD 信号将作为模式设置信号,送入占空比检测器和占空比调整器中使用。

1.3.2 占空比校准控制逻辑

占空比校准控制逻辑主要由数字逻辑电路实现,负责占空比检测器的使能控制、低通滤波器的均衡控制以及比较器电路的比较控制,使占空比检测器在“均衡”“积分放大”“比较”这 3 个状态中循环。每次“比较”之后,控制逻辑还会生成采样编码器所需的采样时钟。占空比校准控制逻辑的时序图如图 10 所示。

检测逻辑控制电路基于时钟周期,输出 EQ 信号和 SEN 信号,配置电路工作状态。EQ 信号为高时,低通滤波器中双路电平被均衡为 V_{REF} ,EQ 信号为低时,差分时钟进入低通滤波器和预

放大电路,积分放大后在比较器电路输入端得到用于比较的直流电平,此时 SEN 信号置高,比较器工作并输出 D_{OUT} 结果,完成本次比较,EQ 重新置高。 D_{OUT} 在采样编码器电路中被锁存时钟采样,送入二进制计数器中。二进制计数器输出控制编码,由占空比调整电路完成对时钟占空比的调节。

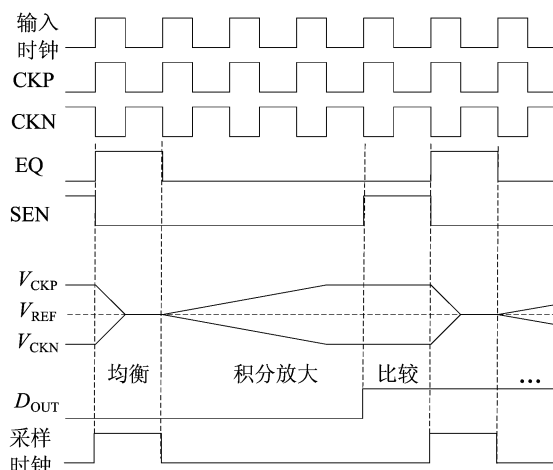


图 10 占空比校准控制逻辑时序图

2 仿真结果与分析

本设计采用 19 nm 存储工艺,在 1.1 V 电源电压下,对占空比校准器进行前仿真验证。400 MHz 至 2 GHz 范围内频率检测电路仿真结果如图 11 所示。

从图 11 可以观察到,在不同的时钟频率下节点 X 的电压与施密特触发器阈值电压 V_{TH} 的关系,实现了 1.2 GHz 为高频与低频检测的分界点的设计目标。

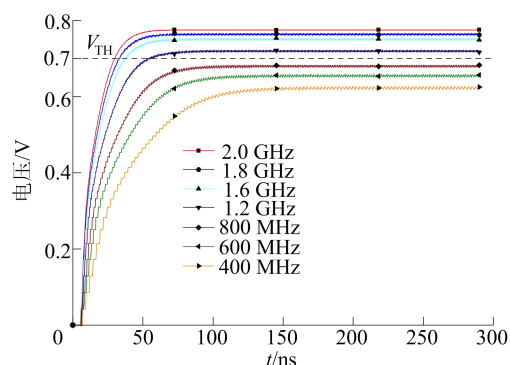
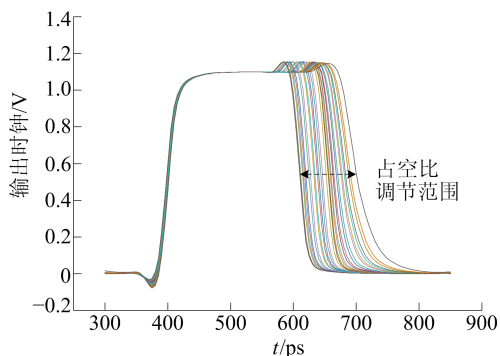


图 11 频率检测电路节点 X 的电压仿真结果

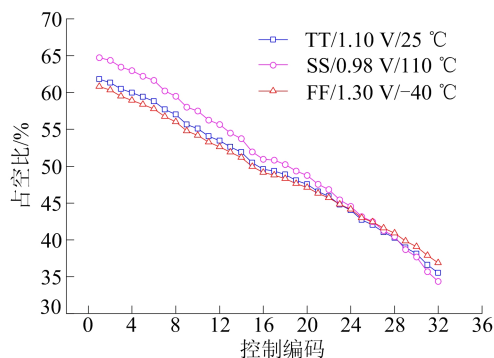
占空比调整电路仿真结果如图 12 所示。

图 12a 所示为 2 GHz 频率、TT 工艺角下,单级占空比调整电路调节范围约为 100 ps,最小步

长约3 ps。图 12b 所示为 2 GHz 频率时,在不同 PVT 下,对单级占空比调整电路的线性度仿真结果,可以观察到调整范围在 SS 工艺角下最大,为 35.0%~65.0%,并且在 TT 和 FF 工艺角下均满足 40.0%~60.0%的设计目标,且线性度较好。



(a) 占空比调整电路调整范围



(b) 占空比调整电路在不同PVT下的线性度

图 12 占空比调整电路仿真结果

2 GHz 频率下,输入时钟占空比为 51.0% 时,预放大电路的输入输出波形如图 13 所示。

由图 13 可知,预放大电路将 RC 滤波电路 10 mV 的输出电平差异放大了 10~20 倍,为后级比较器电路提供了更高的比较精度。

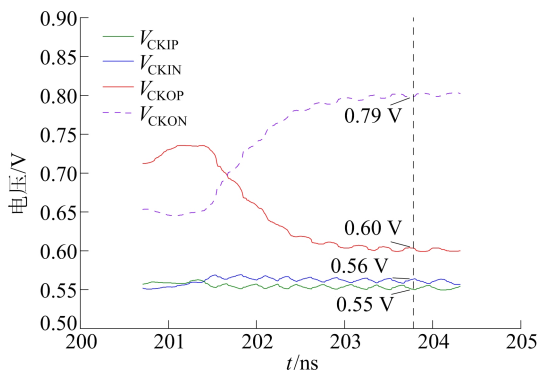
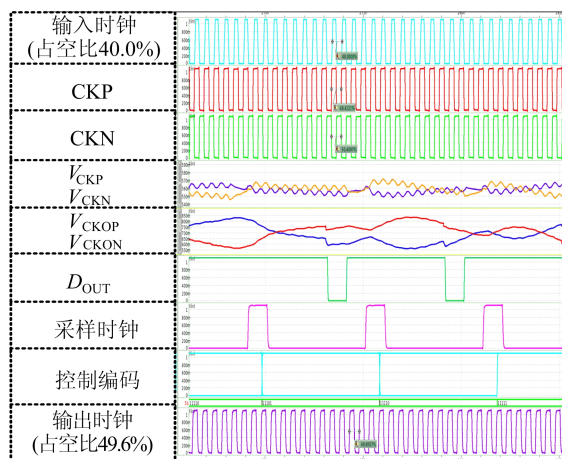
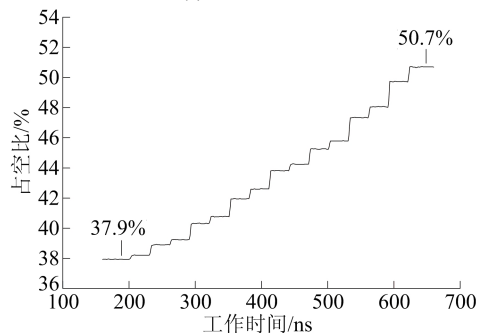


图 13 预放大电路的输入输出仿真波形

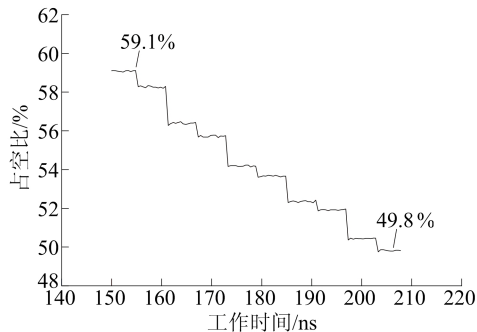
占空比校准器校准结果如图 14 所示。



(a) 占空比校准器整体仿真



(b) 时钟频率为400 MHz、占空比为40.0%时的占空比调整过程



(c) 时钟频率为2 GHz、占空比为60.0%时的占空比调整过程

图 14 占空比校准器校准结果

图 14a 所示为输入时钟为 2 GHz 时,占空比校准电路的整体仿真结果,最终输出时钟占空比调整至 49.6%。

图 14b 所示为输入时钟频率为 400 MHz、占空比为 40.0% 时的占空比调整过程。

图 14c 所示为时钟频率为 2 GHz、占空比为 60.0% 时的占空比调整过程。

结果表明,该占空比校准器实现的输入时钟范围为 400 MHz 至 2 GHz,占空比校准范围为 40.0%~60.0%,占空比校准结果为 50.0%±1.0%。此外,通过仿真得出,在 2 GHz 工作频率下,占空比校准器整体功耗为 1.7 mW,输出时钟

的峰值抖动为 5.1 ps。

本文实现的占空比较准器与部分文献的占空比较准器性能对比见表 1 所列。

通过表 1 数据对比可知:本文实现的占空比较准器所支持的宽频率范围从数百兆赫兹覆盖至千兆赫兹,适用于 DRAM 时钟电路的工作频率

范围;并且在工作频率范围内,具有较好的占空比较准精度,引入的时钟抖动小,电路功耗低,满足高精度、低抖动、低功耗的性能要求;受占空比调整电路结构的限制,占空比较准范围小于其他文献成果。

表 1 本文实现的占空比较准器与部分文献的占空比较准器性能对比

性能	文献[8]	文献[9]	文献[10]	本文
输入时钟范围/MHz	1 000~3 000	800~3 500	50~1 600	400~2 000
占空比较准范围/%	10.0~90.0	30.0~60.0	20.0~80.0	40.0~60.0
占空比较准精度/%	±0.8	±0.7	±0.9	±1.0
时钟峰峰值抖动/ps	19.8	5.4	14.8	5.1
系统最高功耗/mW	2.1	8.0	2.1	1.7

3 结 论

占空比较准器作为保证 DRAM 时钟质量的重要一环,需要满足宽输入频率范围、高精度、低功耗、低抖动等各项设计要求。本文提出的占空比较准器通过对各模块电路的结构设计以及高、低频率下设置不同的工作模式,成功满足上述设计要求,可集成到 DRAM 时钟电路中,保证了输出时钟占空比接近 50%,提高了时钟质量,降低了数据误码率。

[参 考 文 献]

- [1] LIN F. All digital duty-cycle correction circuit design and its applications in high-performance DRAM[C]//2011 IEEE Workshop on Microelectronics and Electron Devices. [S. l.]:IEEE,2011:1-4.
- [2] 青旭东,王永禄,秦少宏,等. 一种新型超高速高精度时钟占空比较准电路[J]. 微电子学,2018,48(2):241-245.
- [3] 陈嘉豪,李浩明,王腾佳,等. 一种集成占空比较准的低杂散参考时钟倍频器[J]. 哈尔滨工业大学学报,2021,53(6):86-93.
- [4] LIM J H,BAE J H,JANG J,et al. A delay locked loop with a feedback edge combiner of duty-cycle corrector with a 20%-80% input duty cycle for SDRAMs[J]. IEEE Trans-

actions on Circuits and Systems II: Express Briefs, 2016, 63(2):141-145.

- [5] CHUNG C C,SHENG D,LI C J. A wide-range low-cost all-digital duty-cycle corrector[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23 (11): 2487-2496.
- [6] JEONG C H,ADBULLAH A,MIN Y J,et al. All-digital duty-cycle corrector with a wide duty correction range for DRAM applications[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems,2016,24(1):363-367.
- [7] 邓红辉,储松,赵鹏程. 一种高速高精度时钟占空比稳定电路[J]. 微电子学,2017,47(5): 652-657.
- [8] CHAE J H,KO H,PARK J,et al. A quadrature clock corrector for DRAM interfaces, with a duty-cycle and quadrature phase detector based on a relaxation oscillator[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems,2019,27(4):978-982.
- [9] KIM T,KIM J. A 0.8-3.5 GHz shared TDC-based fast-lock all-digital DLL with a built-in DCC[C]//IEEE International Symposium on Circuits and Systems (ISCAS). [S. l.]: IEEE,2021:1-4.
- [10] KIM J J,YUN J,CHAE J H,et al. A 50-1600 MHz wide-range digital duty-cycle corrector with counter-based half-cycle delay line[J]. IEEE Access,2023,11(1):30555-30561.

(责任编辑 胡亚敏)