

DOI:10.3969/j.issn.1003-5060.2026.02.006

一种基于预计算单元的高吞吐量 BP 译码器

郭文杰, 杜高明, 曹子桓, 王晓蕾, 李桢旻

(合肥工业大学 微电子学院, 安徽 合肥 230601)

摘要:针对现有全流水极化码置信传播译码器存在的资源消耗过大和最长关键路径较长的问题,文章设计一种基于预计算的全流水置信传播译码器架构,该架构在不同的流水线阶段采用不同的预计算单元,在减少硬件资源的同时不影响译码器的译码性能。通过采用新型运算单元进行逻辑运算,有效缩短了关键路径,提高了译码器工作频率;由于无需提前终止迭代,取消了部分流水线阶段的运算,实现了降低流水线阶段数的同时也未影响译码器的译码性能。在 TSMC 28 nm 工艺下的综合结果表明,所设计的译码器在码长为 512 的情况下,面积大小为 2.98 mm²,工作频率为 3 333 MHz,资源效率为 572.6 (Gbit/s)/mm²,相较于现有极化码译码器架构均有不同程度的提升。

关键词:极化码译码器;第六代移动通信技术;吞吐量;资源效率;专用集成电路

中图分类号: TN47 **文献标志码:** A **文章编号:** 1003-5060(2026)02-0180-07

A high-throughput BP decoder based on precomputation units

GUO Wenjie, DU Gaoming, CAO Zihuan, WANG Xiaolei, LI Zhenmin

(School of Microelectronics, Hefei University of Technology, Hefei 230601, China)

Abstract: To address the issues of excessive resource consumption and long critical paths in existing architectures, this paper proposes a fully pipelined polar code belief propagation (BP) decoder architecture based on precomputation units. This architecture employs different precomputation units at different pipeline stages, reducing hardware resources without compromising decoding performance. A novel arithmetic unit is introduced for logical operations, which shortens the longest critical path and enables higher decoder operating frequencies. By eliminating the need for early termination of iterations and omitting computations for certain pipeline stages, the design reduces the number of pipeline stages without affecting decoding performance. The synthesis results on the TSMC 28 nm process indicate that the designed decoder, with a code length of 512, occupies an area of 2.98 mm², operates at a frequency of 3 333 MHz, and achieves a resource efficiency of 572.6 (Gbit/s)/mm². Comparisons with existing polar code decoder architectures demonstrate varying degrees of improvement.

Key words: polar code decoder; 6th generation mobile networks; throughput; resource efficiency; application-specific integrated circuit

随着 5G 商用的规模化,业内针对 6G 的研究已经展开,2018 年已经发布了全球首份 6G 白皮书^[1],并在 2020 年给出了 6G 中的几个典型性能指标^[2],例如,峰值速率有望实现 Tbit/s 级别,空口时延缩减至 100 μs。

置信传播 (belief propagation, BP) 算法作为极化码的译码算法之一,其天然的并行迭代结构非常适合 6G 高吞吐量、低时延的应用场景,但误码率比较高。如果能消除 BP 算法在误码率方面的缺陷,它将成为 5G 乃至 6G 任何应用场景下的

收稿日期:2024-04-08;修回日期:2024-05-06

基金项目:国家重点研发计划资助项目(2018YFB2202604);安徽省重点研究与开发计划资助项目(202104g01020008)

作者简介:郭文杰(2000—),男,山西运城人,合肥工业大学硕士生;

王晓蕾(1978—),女,安徽亳州人,博士,合肥工业大学副教授,硕士生导师,通信作者,E-mail:wangxiaolei@hfut.edu.cn

有利竞争者。极化码BP算法最先由文献[3]提出;文献[4]为了提升运算并行度提出了一种泛洪BP(flooding BP, FO-BP)算法,但随之而来的是高计算复杂度和高资源消耗的问题;文献[5]提出最小和(min-sum, MS)近似算法,该近似算法显著降低了BP的解码复杂度,但也降低了性能。

为了提升极化码的误码率性能,文献[6]提出利用一个低密度奇偶校验(low-density parity-check, LDPC)码对极化码的部分极化信道做预编码保护,取得了比单纯极化码采用BP译码更优的纠错性能;文献[7]基于文献[6]在LDPC码与极化码之间的连接部分增加了一个比特配对的模块,获得了比文献[6]更优的译码性能;文献[8]提出一种LDPC-polar码级联码的硬件架构,获得了比传统BP更好的误码率性能,但它的吞吐量难以满足6G的峰值速率要求;文献[9]将BP译码器左右迭代展开,提出一种单向的BP译码器结构,其吞吐量达到了1.4 Tbit/s,但并没有对运算单元(processing element, PE)的关键路径进行优化;文献[10]对MS近似算法的关键路径进行了分析,传统PE单元的延迟约为 $4T_{adder}$;文献[11]对文献[10]中PE单元进行修改,延迟减少为 $3T_{adder}$,但由于仍需原码补码之间转换操作,关键路径还有多余延迟;文献[12-13]所提出的译码器有着较高的吞吐量,但由于SC解码的局限性导致解码周期过长。

针对以上问题,本文设计实现一种高吞吐率的极化码BP译码器和一种LDPC-polar级联码BP译码器,主要工作如下:

1) 针对传统PE单元中频繁的原码补码转换导致的关键路径过长的问题,设计一种新的原码PE单元结构,缩短PE单元的关键路径。

2) 针对迭代过程中“0”和“ $+\infty$ ”的运算无关性,设计8种预计算PE单元结构,该结构相较于原来的PE单元简化了运算复杂度,同时可以删除掉特殊数据点在迭代过程中的消息传递,减少大量寄存器消耗。

3) 针对单次迭代中部分阶段运算顺序的无关性,本文所设计的译码器结构在不影响最终运算结果的情况下删除了部分阶段的运算。这种方法带来的资源上的优点是减少了整个L矩阵和R矩阵的一次寄存,减少了寄存器的资源消耗;带来的时序上的优点是迭代流水线中所有阶段都可以提前计算,减少了译码周期和译码延迟。

1 理论基础

1.1 极化码

极化码可以表示为 $P(N_P, K_P)$, N_P 为极化码码长, K_P 为信息比特数量。通常将可靠信道的位置索引集合定义为 A , 不可靠信道的位置索引集合定义为 A^c 。本文中使用的巴氏参数法构造极化码。

对于极化码 $P(N_P, K_P)$, 编码过程需要使用大小为 $N_P \times N_P$ 的生成矩阵 G_N , 即

$$G_N = F^{\otimes n}, \quad F = \begin{bmatrix} 1 & 0 \\ 1 & 0 \end{bmatrix},$$

其中, $\otimes n$ 表示 n 次Kronecker内积。将生成矩阵 G_N 与信源比特 u 进行矩阵相乘, 即可得到码字比特 x , 即 $x = uF^{\otimes n}$ 。

1.2 BP译码算法

$N_P = 8$ 的级联码因子图如图1所示。图1中:左侧为 $N_{LDPC} = 4$ 的LDPC码因子图;右侧为 $N_P = 8$ 的极化码因子图;LDPC因子图左侧为校验节点(check node, CN), 右侧为变量节点(variable node, VN); VN与极化码中间信道相连, 这些中间信道索引集合为 A^m 。

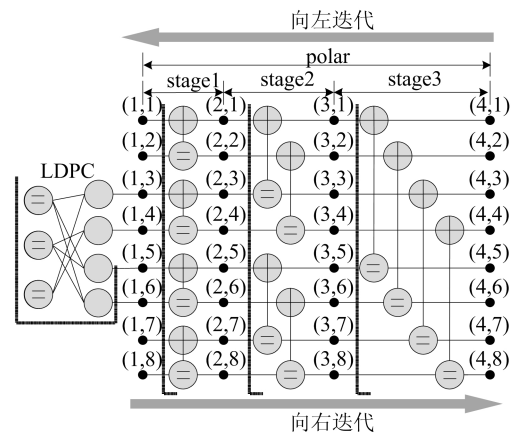


图1 $N=8$ 级联码因子图

极化码PE单元和LDPC码基本单元如图2所示。图2a所示为因子图中的极化码的PE单元, 极化码第 i 列、第 j 行的左传播消息和右传播消息分别表示为 $L_{i,j}$ 和 $R_{i,j}$, 信息更新公式如下:

$$\begin{cases} L_{i,j}^{(t)} = f(L_{i+1,2j-1}^{(t)}, L_{i+1,2j}^{(t)} + R_{i,j+N/2}^{(t-1)}), \\ L_{i,j+N/2}^{(t)} = f(R_{i,j}^{(t-1)}, L_{i+1,2j-1}^{(t)} + L_{i+1,2j}^{(t)}), \\ R_{i+1,2j-1}^{(t)} = f(R_{i,j}^{(t)}, L_{i+1,2j}^{(t)} + R_{i,j+N/2}^{(t)}), \\ R_{i+1,2j}^{(t)} = f(R_{i,j}^{(t)}, L_{i+1,2j-1}^{(t)} + R_{i,j+N/2}^{(t)}), \end{cases} \quad (1)$$

图2b所示为LDPC码基本单元, 其中: $m_{v_i \rightarrow c_j}$ 表示与CN相连的第 i 个VN发送给与之相连的

第 j 个 CN 的消息; $m_{c_j \rightarrow v_i}$ 表示该 CN 发送给第 i 个相连 VN 的消息。

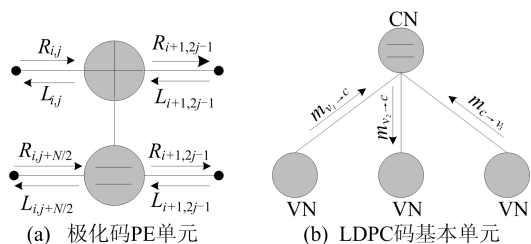


图 2 极化码 PE 单元与 LDPC 码基本单元

LDPC 码基本单元信息更新公式如下:

$$\begin{cases} m_{v_i \rightarrow c_j}^{(t)} = L_i^0 + \sum_{c'} m_{c' \rightarrow v_i}^{(t)}, \\ m_{c_j \rightarrow v_i}^{(t)} = \left(\prod_w \text{sign}(m_{v_w \rightarrow c_j}^{(t)}) \right) \min(|m_{v_w \rightarrow c_j}^{(t)}|), \\ L_i^{(t)} = L_i^0 + \sum_c m_{c \rightarrow v_i}^{(t)} \end{cases} \quad (2)$$

其中: t 表示当前迭代次数; c' 表示与 v_i 相连的除了 c_j 之外的所有 CN 集合; v' 表示与 c_j 相连的除了 v_i 之外的所有 VN 集合; $L_i^{(t)}$ 表示当前迭代次数的码字判决软值输出。

1.3 级联码

级联码为一个 $P(N_P, K_P)$ 的极化码外部连接一个 $P(N_{LDPC}, K_{LDPC})$ 的 LDPC 码, 即 $P(N_P, K_P, N_{LDPC}, K_{LDPC})$ 。极化码中间信道外部 LDPC 码连接部分的比特配对可以用 Π 表示, 定义如下:

$$\Pi: I \rightarrow A^m \quad (3)$$

其中: $I = \{1, 2, 3, \dots, N_{LDPC}\}$ 表示 LDPC 码变量节点的位置索引。如图 1 中 Π 可以表示为 $\{(1, 6), (2, 5), (3, 4), (4, 3)\}$ 。

2 全流水 BP 译码器设计

2.1 预计算 PE 单元

在传统的全流水 BP 译码器架构中, 需要使用大量的 PE 单元来完成译码操作。本节对因子图进行分析, 设计了 8 种不同的预计算 PE 单元, 并对 PE 单元的最长关键路径进行了分析和优化。

2.1.1 特殊单元设计

8 种预计算 PE 单元如图 3 所示。图 3a 所示为传统的 PE 节点; 图 3b~图 3h 所示为预计算 PE 单元。由于极化码信道极化的特性, 并不是所有的 PE 节点都会在因子图中出现。对所述的 8 种 PE 节点在因子图中进行分析, 可以发现在译码过程中只会出现其中的 5 种节点。将这 5 种节

点分别命名为 $N, N^1, N^{F1}, N^{H1}, N^{HF}$, 分别对应图 3d、图 3f、图 3b、图 3c、图 3g。

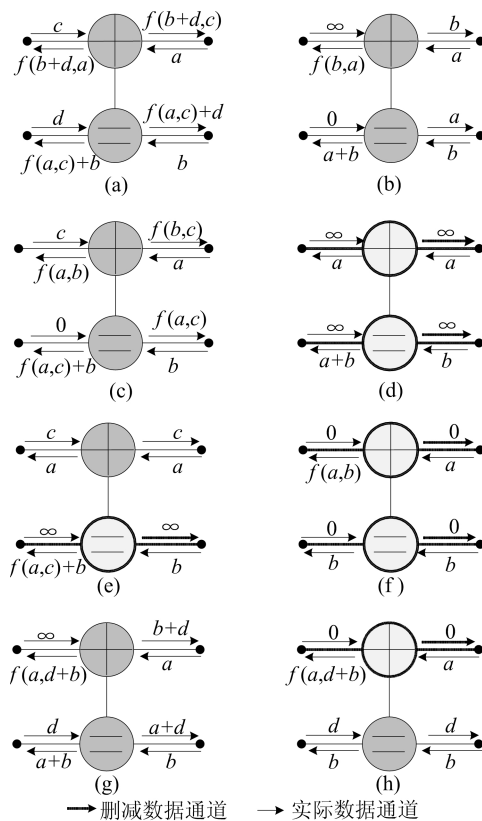


图 3 8 种预计算 PE 单元

码长 $N = 32, 64, 128, 256, 512, 1\ 024$ 的极化码因子图中 5 种节点的数量见表 1 所列。从表 1 可以看出, 上述所有码长的极化码因子图中特殊节点的数量都超过了 50%。

表 1 极化码不同码长的特殊节点数量分布

码长	节点类型					总数
	N^0	N^1	N^{F1}	N^{H1}	N^{HF}	
32	14	14	4	12	12	90
64	28	28	4	24	24	192
128	71	71	14	50	50	448
256	171	171	22	106	106	1 024
512	410	350	36	220	220	2 304
1 024	802	770	72	440	440	5 120

以 N^0 节点为例。由于 N^0 节点的向右输入 c 和 d 都为 ∞ , 向左输入分别为 a 和 b , 在硬件中 ∞ 体现为数据最高位为 0, 其他位全为 1 的形式; 对应它的上端口向右输出为 $f(\infty, \infty + b) = \infty$, 下端口向右输出为 $f(\infty, a) + \infty = \infty$ 。因此 N^0 节点向右简化为寄存器打拍的形式, 但因为所设计的预计算 PE 单元并不需要 ∞ 参与计算, 所以 N^0 节点在实际电路结构中已经删除。

2.1.2 关键路径优化

由于 BP 译码过程中处理的都是有符号数,如果使用补码形式传播,那么在绝对值比较操作中需要大量的补码原码相互转换操作,这种操作会综合为反相器和加法器电路,导致额外的组合逻辑延迟,从而影响整体电路的频率和吞吐量。因此本节对传统 PE 单元的关键路径进行分析,提出一种新的 PE 单元。

由于 PE 单元的不同端口都有相似的运算,

这里给出了相同的运算 $f(b+c,d)$ 的硬件结构,如图 4 所示。

图 4a 所示为传统的 PE 单元结构,该 PE 单元在整体结构中传播的数据形式始终为带符号数据的补码格式。图 4b 所示为文献[11]中提出的 type-B 结构,该文提出了 4 种不同的 PE 单元类型,因为影响电路频率的是 PE 的最长关键路径,所以只给出了关键路径最长的 type-B 结构。图 4c 所示为本文所提出的 PE 单元结构。

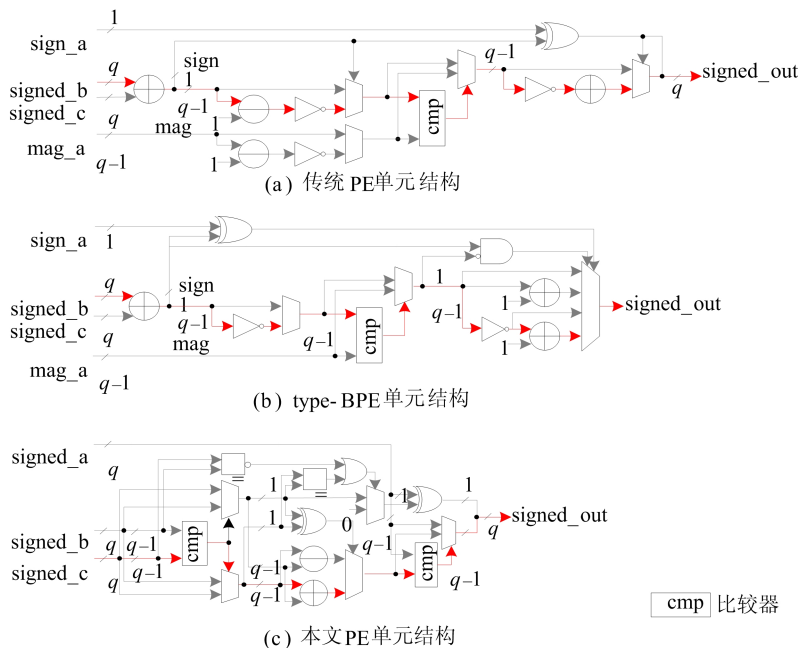


图 4 3 种 $f(b+c,d)$ 运算最长关键路径对比

文献[11]研究指出,比较选择单元的延迟等同于加法器的延迟。从图 4 可以看出:3 种电路结构中分别使用了 q 比特加法器和 $q-1$ 比特加法器;而比较选择单元输入为 $q-1$ 比特。因此将比较选择单元的延迟近似为 $q-1$ 比特加法器的延迟 T_{adder}^{q-1} ; T_{2mux} 表示 2 选 1 数据选择器延迟; T_{4mux} 表示 4 选 1 数据选择器延迟; T_n 表示反相器延迟。

本文给出了 3 种 PE 单元的关键路径延迟分析,如图 4 中的红线所示。图 4a 传统运算中关键路径延迟为 $T = T_{adder}^q + 3T_{adder}^{q-1} + 2T_{2mux} + 2T_n$; 图 4b 的 type-B 结构关键路径延迟为 $T = T_{adder}^q + 2T_{adder}^{q-1} + T_{2mux} + 2T_n + T_{4mux}$; 图 4c 本文所提结构的关键路径延迟为 $T = 3T_{adder}^{q-1} + T_{2mux}$ 。因此本文所设计的 PE 单元有着最短的关键路径延迟。

2.2 迭代流水线结构

$N_p=8$ 的极化码 BP 译码单次迭代流水线结构如图 5 所示。

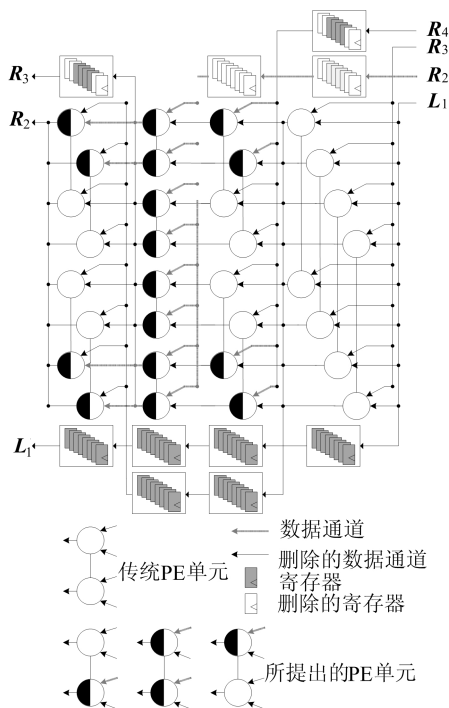


图 5 $N=8$ 极化码迭代模块流水线结构

图 5 中:阴影寄存器表示实际的寄存器消耗;白色寄存器表示由于预计算单元的特性而删除的寄存器资源; R_i 表示位矩阵 R 的第 i 列数据,每一列数据按位宽高低等分拆分为 8 个数据分别输入该列不同位置的 PE 单元。

传统流水线结构中,单次迭代需要 $2 \text{ lb } N_p$ 个阶段。但流水线结构并不需要对 BP 译码算法进行提前终止迭代条件的判定,因此传统流水线结构中的第 $\text{lb } N_p$ 阶段和第 $2 \text{ lb } N_p$ 阶段是多余的。从图 5 可以看出,本文的流水线结构删除了这 2 个阶段,并且删除之后本文所提出的预计算 PE 单元在单次迭代中也占 1/2 以上。

2.3 译码器整体架构

极化码和 LDPC-polar 级联码 BP 译码器的

整体硬件架构如图 6 所示。外部信道输入的对数似然比(log-likelihood ratio, LLR)数据经过 5 次迭代的流水线模块后即可得到信息比特的概率值,再经过硬判决模块判决后得到译码结果。

极化码与 LDPC-polar 级联码 BP 译码器的不同之处在于,级联码的迭代模块在第 $\text{lb } N_p$ 阶段与第 $\text{lb } N_p + 1$ 阶段之间加入了一个 LDPC 译码器。因此级联码的译码器相较于极化码译码器只删除了流水线的第 $2 \text{ lb } N_p$ 阶段,增加了电路面积,但是获得了更好的误码率性能。以本文所设计的迭代 5 次的 $N_p = 512$ 译码器为例,极化码译码器译码周期为 $5 \times (2 \text{ lb } N_p - 1) + 1 = 81$,而级联码译码器译码周期为 $5 \times (2 \text{ lb } N_p) + 1 = 91$ 。

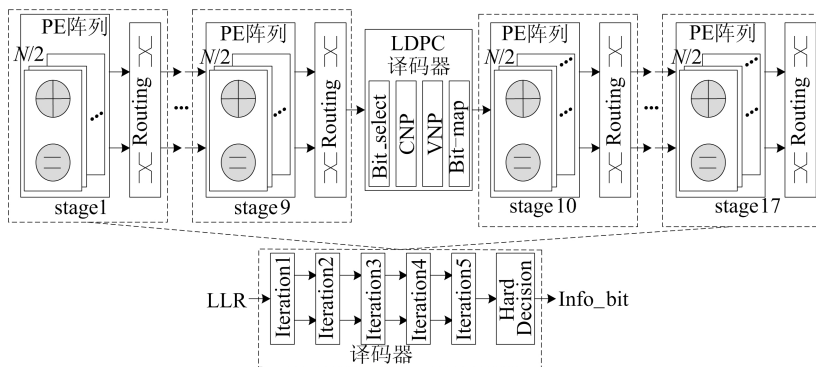


图 6 全流水线译码器架构

2.4 LDPC 译码模块设计

本文所使用级联码中外接 LDPC 码使用的是 (3,5) 的正则 LDPC 码,3 代表 LDPC 码校验矩阵 H 的列重,5 代表 LDPC 码校验矩阵的行重。LDPC 译码器硬件架构如图 7 所示。

该文只介绍了从 2^n 个输入中寻找最小值和次小值的电路图,而本文设计需要在 5 个输入中找到最小值和次小值,因此需要在 4 输入的基础上加 2 个比较器和 3 个数据选择器。5-mVG 模块电路图如图 8 所示。

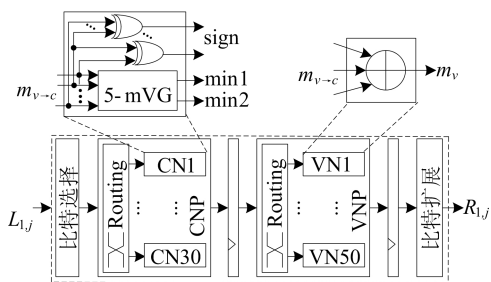


图 7 LDPC 译码器硬件架构

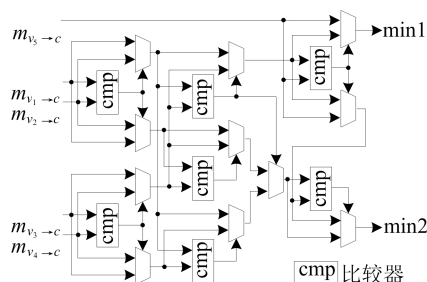


图 8 5-mVG 模块电路图

在 (3,5) 的 QC-LDPC 码中,1 个校验节点与 5 个变量节点相连,因此每个 CN 得到 5 个 VN 发送给它的消息 $m_{v_i \to c} (i=1,2,3,4,5)$,然后返回给每个 VN 消息 $m_{c \to v_i}$ 。图 7 中 5-mVG 模块功能是在 5 个输入中找出最小值 min1 和次小值 min2,这里采用的是文献[14]中的电路结构,但

VN 负责接收每一个与它相连的 CN 发来的消息并相加之后得到 $R_{i,j}$,然后返回极化码译码模块中。因为在 LDPC 译码过程中如果使用全组合逻辑,会造成级联码一次迭代中 stage9 到 stage10 之间的关键路径过长,所以在 LDPC 译码模块中使用流水线结构。另外由于级联码中的外

部 LDPC 码使用的是(3,5)的正则 LDPC 码,最后需要将 CN 发送到 VN 的 3 个消息相加,再返回 BP 译码的 stage10,这里使用进位保存加法器来缩短电路中的关键路径。

3 实验与结果分析

3.1 实验目的与配置

本节中,分别对 LDPC-polar 级联码和极化码的 BP 算法以及高吞吐率的级联码硬件架构与极化码硬件架构进行评估,使用误码率(bit error rate,BER)评估 BP 算法性能,利用最高工作频率、面积、周期、延迟、吞吐量以及资源效率等指标来对级联码和极化码的硬件架构进行评估。

对 BP 算法性能采用 MATLAB R2021b 仿真软件进行评估。在加性高斯白噪声(additive white Gaussian noise,AWGN)信道下进行仿真,采用巴氏参数法对信道可靠性进行排序,调制方式为二进制相移键控(binary phase shift keying,BPSK)。仿真采用的极化码为 $P(512,256)$,所采用的级联码和极化码 BP 算法的迭代次数均为 6 次。

对高吞吐量级联码和极化码解码器硬件架构进行评估时,设计码长大小 $N=1\ 024$,信息比特长度 $K=512$ 。硬件中量化位宽 q 的大小为 4,译码器的输入 LLR 数据来自 AWGN 信道,对应信噪比大小为 4 dB,在 TSMC(Taiwan Semiconductor Manufacturing Company) 28 nm 工艺下,使用 Synopsys 公司的 DC(Design Compiler)对电路进行综合。

3.2 BP 算法实验结果对比

本文级联码与极化码采用 BP 译码得到的 BER 效果如图 9 所示。

图 9 中:polar 表示极化码;con 表示 LDPC-polar 级联码。

从图 9 可以看出,级联码在 BP 译码下的误码率性能优于极化码,在误码率为 10^{-4} 时,级联码相较于极化码获得了 0.3 dB 的信噪比增益。

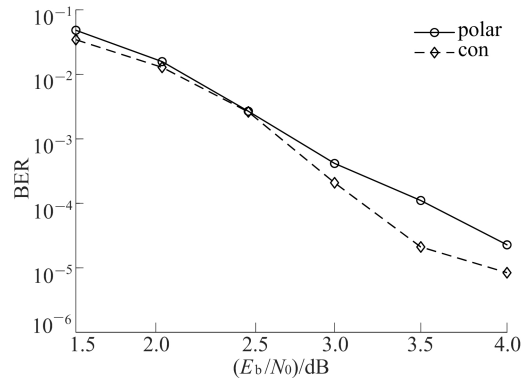


图 9 极化码与级联码的 BER 性能对比

3.3 高吞吐量译码器硬件架构性能比较

本文设计的高吞吐量极化码和级联码译码器与其他译码器在 TSMC 28 nm 工艺下综合结果的对比见表 2 所列。表 2 中:文献[9]的 EuCNC'22 和文献[11]的 TCASII'20 为能够产生软输出的 BP 译码器;文献[12]的 PIMRC'22 和文献[13]的 VLSI-SoC'22 为产生硬比特判决值的 SC 译码器。

表 2 各高吞吐量译码器在 TSMC 28 nm 工艺下综合结果的对比

参数	本文译码器		EuCNC'22	PIMRC'22	VLSI-SoC'22	TCASII'20
	极化码	级联码				
工艺/nm	28	28	28	28	28	28
码长	512	512	512	512	512	1 024
码率	0.500	0.500	0.500	0.500	0.500	0.5
算法	BP	BP	BP	Fast-SSC	SC	BP
迭代次数	5	5	5			6.11
量化方案	4 bit	4 bit	4 bit	4 bit	1~5 bit	
面积/mm ²	2.98	3.56	5.98	1.40	3.00	2.77
最大主频/MHz	3 333	2 941	2 695	3 012	3 322	1 179
延迟/ns	24.30	30.94	33.39	51.13	106.25	188.3
周期	81	91	90		353	
资源效率/[(Gbit/s)/mm ²]	572.6	422.8	231	1 101.4	566	73.37
码字吞吐量/(Gbit/s)	1 706	1 505	1 380	1 542	1 700	197.7
信息吞吐量/(Gbit/s)	853	753	690	771	850	98.9

注:统一化至 28 nm 工艺基于以下标准, $Area \propto 1/Z^2$, $Max. Freq \propto Z$, Z 为 28 nm 与相应被统一化工艺的比值大小。

文献[9]译码器在迭代过程中需要对整个 L 矩阵和 R 矩阵进行消息传播,同时迭代过程中每

个阶段都需要进行完整的 PE 单元运算,导致译码周期较长、资源较大;文献[12-13]译码器使用 SC 译码算法,该算法的串行性导致译码延迟很大,同时它的硬比特输出无法与其他系统级联使用;文献[11]译码器对关键路径进行优化,但仍存在频繁的原码补码转换操作,产生较大的关键路径延迟。

从表 2 可以看出,本文设计的极化码译码器频率最高,延迟最低,吞吐率最高;吞吐率相较于文献[9]、文献[11]、文献[12]译码器分别提升 23.62%、762.90%、10.64%;延迟相较于文献[9]、文献[11]、文献[12]、文献[13]译码器分别减少 27.22%、87.10%、52.47%、77.13%;资源效率相较于文献[9]、文献[13]、文献[11]译码器分别提升 147.90%、1.20%、680.40%。本文设计的级联码译码器虽然较极化码译码器性能有所下降,但是在误码率为 10^{-4} 时获得了 0.3 dB 的信噪比增益。

4 结 论

本文通过分析 BP 算法,设计了一种高吞吐率、低延迟的极化码译码器和 LDPC-polar 级联码译码器。设计并实现了 8 种预计算的 PE 单元,并针对因子图的不同位置使用不同的 PE 单元,减少了硬件资源,提高了硬件资源利用率;在流水线结构中取消了对因子图中大量 0 和 $+\infty$ 的消息传播,减少了寄存器资源;译码器删除了多余流水线阶段的运算,降低了译码周期。最终设计的码长 512、信息位 256 的级联码译码器和极化码译码器在 TSMC 28 nm 标准工艺下完成电路综合,结果表明,极化码译码器和级联码译码器相较于现有的译码器有着较高的吞吐率和较低的译码延迟,该设计具有较高的实用价值。

[参 考 文 献]

[1] LATVA-AHO M, LEPPÄNEN K. 6G white paper, key drivers and research challenges for 6G ubiquitous wireless intelligence[R]. Oulu: University of Oulu, 2019: 1.

[2] GIORDANI M, POLESE M, MEZZAVILLA M, et al. Toward 6G networks; use cases and technologies[J]. IEEE Communications Magazine, 2020, 58(3): 55-61.

[3] ARIKAN E. Polar codes: a pipelined implementation[C]// the th International Symposium on Broadband Communication. [S. l.]: IEEE, 2010: 11-14.

[4] ESLAMI A, PISHRO-NIK H. On finite-length performance of polar codes; stopping sets, error floor, and concatenated design[J]. IEEE Transactions on Communications, 2013, 61(3): 919-929.

[5] PAMUK A. An FPGA implementation architecture for decoding of polar codes[C]//2011 8th International Symposium on Wireless Communication Systems. [S. l.]: IEEE, 2011: 437-441.

[6] GUO J, QIN M, I FABREGAS A G, et al. Enhanced belief propagation decoding of polar codes through concatenation [C]//2014 IEEE International Symposium on Information Theory. [S. l.]: IEEE, 2014: 2987-2991.

[7] YU Q P, SHI Z P, DENG L, et al. An improved belief propagation decoding of concatenated polar codes with bit mapping[J]. IEEE Communications Letters, 2018, 22(6): 1160-1163.

[8] XU W, TAN X, BE'ERY Y, et al. Deep learning-aided belief propagation decoder for polar codes[J]. IEEE Journal on Emerging and Selected Topics in Circuits and Systems, 2020, 10(2): 189-203.

[9] LOPACINSKI L, HASANI A, PANIC G, et al. Ultra high-speed BP decoder for polar codes achieving 1.4 Tbps in 28 nm CMOS [C]//2022 Joint European Conference on Networks and Communications & 6G Summit (EuCNC/6G Summit). [S. l.]: IEEE, 2022: 434-439.

[10] YUAN B, PARHI K K. Architecture optimizations for BP polar decoders[C]//2013 IEEE International Conference on Acoustics, Speech and Signal Processing. [S. l.]: IEEE, 2013: 2654-2658.

[11] CAO S, ZHENG H, LIN T, et al. An unfolded pipelined polar decoder with hybrid number representations for multi-user MIMO systems[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(11): 2472-2476.

[12] HASANI A, LOPACINSKI L, KRSTIC M, et al. 1542 Gbps fully pipelined fast-SSC decoding of polar codes[C]//2022 IEEE 33rd Annual International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC). [S. l.]: IEEE, 2022: 1320-1325.

[13] LOPACINSKI L, HASANI A, PANIC G, et al. High-speed SC decoder for polar codes achieving 1.7 Tb/s in 28 nm CMOS [C]//2022 IFIP/IEEE 30th International Conference on Very Large Scale Integration (VLSI-SoC). [S. l.]: IEEE, 2022: 1-6.

[14] WEY C L, SHIEH M D, LIN S Y. Algorithms of finding the first two minimum values and their hardware implementation[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2008, 55(11): 3430-3437.

(责任编辑 胡亚敏)