

DOI:10.3969/j.issn.1003-5060.2026.02.005

应用于高速模数转换器的驱动电路设计

曾 晖¹, 张 章¹, 张轩赫¹, 鲁 毅², 章 颺², 曾永红²

(1. 合肥工业大学 微电子学院, 安徽 合肥 230601; 2. 天津航计算技术研究所, 天津 300308)

摘 要:文章针对高速模数转换器(analog-to-digital converter, ADC)的驱动需求,设计一款高速、高线性度的输入驱动缓冲器和数字输出驱动电路。在输入驱动缓冲器设计中,通过采用前馈电容的形式补偿输出端负载电容充放电过程中的瞬态电压变化,同时引入二阶效应补偿金属氧化物半导体(metal-oxide-semiconductor, MOS)管,将输入端交流变化耦合至输入对管漏端,以抑制 MOS 管沟道长度调制效应带来的非线性电流波动;为稳定输出信号共模电压,设计一种复制主缓冲器的共模反馈电路,为主缓冲器提供静态工作点。在数字输出驱动电路设计中,以传统电流模式低电压差分信号(low-voltage differential signaling, LVDS)驱动电路为基础,引入跳变耦合电容以加速数字信号的建立,同时设计一种带共模反馈的双电流源驱动器,使得流经匹配电阻的电流及电压更加精确。电路基于 TSMC 65 nm 工艺设计,仿真结果表明:输入驱动缓冲器在 250 MHz 输入信号频率下,输出端采样后的信号有效位数大于 10.4 bit,输出共模电压波动小于 2 mV;数字输出驱动电路在 500 MHz 的工作频率下,输出共模电压能够基本稳定于 1.25 V,输出差模电压范围为 358~392 mV,均满足设计要求。

关键词:输入缓冲器;低电压差分信号(LVDS);高速;高线性度

中图分类号:TN792 **文献标志码:**A **文章编号:**1003-5060(2026)02-0173-07

Design of drive circuit for high-speed analog-to-digital converters

ZENG Hui¹, ZHANG Zhang¹, ZHANG Xuanhe¹, LU Yi², ZHANG Biao², ZENG Yonghong²

(1. School of Microelectronics, Hefei University of Technology, Hefei 230601, China; 2. Tianjin Jinhang Computing Technology Research Institute, Tianjin 300308, China)

Abstract: This paper focuses on the driving requirements of high-speed analog-to-digital converters (ADCs) and designs a high-speed and high-linearity input drive buffer and digital output drive circuit. For the design of input drive buffers, the transient voltage changes during the charging and discharging process of the output load capacitor are compensated by using a feedforward capacitor. At the same time, the second-order effect is introduced to compensate for the metal-oxide-semiconductor (MOS) transistor, coupling the input AC to the drain end of the input pair transistor to suppress the nonlinear current fluctuation caused by the modulation effect of MOS channel length. To stabilize the common mode voltage of the output signal, a common mode feedback circuit that replicates the main buffer is designed to provide a static working point for the main buffer. For the design of digital output drive circuits, based on the low-voltage differential signaling (LVDS) drive circuit in traditional current mode, a jump coupling capacitor is introduced to accelerate the establishment of digital signals. At the same time, a dual current source driver with common mode feedback is designed to make the current and voltage flowing through the matching resistor more accurate. The circuit design was

收稿日期:2024-04-01; **修回日期:**2025-11-18

基金项目:国家自然科学基金区域创新发展联合基金资助项目(U19A2053);安徽省自然科学基金资助项目(2308085MF207)

作者简介:曾 晖(1999—),男,江西赣州人,合肥工业大学硕士生;

张 章(1982—),男,安徽淮南人,博士,合肥工业大学教授,博士生导师,通信作者, E-mail: zhangzhang@hfut.edu.cn.

carried out under TSMC 65 nm technology, and simulation results showed that at an input signal frequency of 250 MHz, the effective number of bits of the sampled signal at the output end of input drive buffer was greater than 10.4 bits, and the output common mode voltage fluctuation was less than 2 mV; the digital output drive circuit can stabilize the common mode voltage within the design range of 1.25 V, with a differential mode voltage range of 358-392 mV at a working frequency of 500 MHz, both of which meet the design requirements.

Key words: input buffer; low-voltage differential signaling(LVDS); high speed; high linearity

随着现代电子技术的飞速发展,高速信号处理及数据采集成为了众多领域的核心需求,如超宽带无线电和宽带以太网收发器等通信系统需要具有高速、低功耗的模数转换器(analog-to-digital converter, ADC)^[1]。低速 ADC 由于其较低的输入信号带宽及数字输出信号频率,通常无需额外的驱动电路设计即可满足要求。高速 ADC 情况则大不相同,在芯片封装过程中将会引入较大的寄生电容、电感等非理想因素,这些寄生元件会对传输信号的线性度产生负面影响,甚至导致信号失真^[2]。因此,在高速 ADC 的设计中,通常需要在片内集成具有高速且高线性度的驱动电路,以有效解决信号失真问题,确保信号传输的准确性和稳定性。

通用的高速 ADC 工作流程为:输入信号经过芯片内部集成的输入驱动缓冲器,被传送至 ADC 进行量化处理;量化后得到的数字码则通过片内数字输出驱动电路传送至芯片外部。

作为输入信号进入芯片内的首要环节,输入驱动缓冲器的输出信号线性度对 ADC 性能的上限起着决定性作用。通常高性能的输入驱动缓冲器采用源级跟随器设计,其具有单位增益、高带宽、低输出阻抗以及出色的电容驱动能力等特点^[3]。目前已有许多针对高速 ADC 应用的输入驱动缓冲器被提出。文献[4]基于传统 P 型输入源级跟随器结构,引入环路共模反馈电路以稳定输出共模电压,在 100 MHz 输入信号频率下,输入缓冲器输出信号三次谐波仅 -77 dB;文献[5]在 N 型输入源级跟随器中引入前馈电容器,通过前馈电容补偿负载电容采样阶段瞬态充放电导致的电压变化,从而在较小的偏置电流下表现更好的线性度,其输入缓冲器线性度改进约 10 dB,但功耗降低 70%;文献[6]将增益自举技术引入源极跟随器负载电流镜上,以提高负载电流镜输出阻抗,其输入驱动缓冲器输出线性度提高约 22 dB。

在数字输出驱动标准的领域中,存在多种不

同的技术,如互补金属氧化物半导体(complementary metal-oxide-semiconductor, CMOS)、低电压差分信号(low-voltage differential signaling, LVDS)、低压正发射极耦合逻辑(low voltage positive emitter-couple logic, LVPECL)以及电流模式逻辑(current-mode logic, CML)等。其中,CMOS 与 LVDS 这两种技术尤为引人注目。CMOS 设计原理简单,仅需使用反相器作为缓冲器,然而这种结构对信号的幅度要求较高,因此在接收端必须设定特定的判定阈值,且其速度表现相对较慢;相较之下, LVDS 以其强大的驱动能力、高速度、优秀的抗干扰性以及低功耗等特性脱颖而出,但由于 LVDS 采用差分输出方式,每个信号均需配备 2 个引脚,可能导致引脚数量过多的问题^[7]。综合各项因素,本文设计采用 LVDS 技术作为数字输出驱动的主要方式。

关于 LVDS 的技术研究有很多。1996 年,国际电气与电子工程师协会 IEEE 发布了 IEEE1596.3 标准,该标准重点阐述了 LVDS 的电气特性,推荐将 LVDS 最大传输速率定为 250 Mbit/s^[8];文献[9]设计了一款由预驱动级和输出级组成的电压模 LVDS 驱动器,该驱动器通过提前预充电,最大传输速率可达 3 Gbit/s;文献[10]设计了一款用于连接存储器的 LVDS 驱动电路,该电路最大传输速率高达 1 Gbit/s;文献[11]创新地将轨至轨放大器与整形缓冲电路相结合,设计出一款低噪声且传输速率达 1 Gbit/s 的 LVDS 驱动电路,展现了 LVDS 技术的不断进步与广泛应用。

1 输入驱动缓冲器设计

为满足高速电路对性能提出的严苛要求,本文设计的输入驱动缓冲器具备较高的带宽,能够精准匹配采样网络;但还需有效解决由采样电路充放电电流所引发的非线性问题,并在维持高驱动能力的同时,确保输出信号的共模电压不随工艺角和温度的变化而变化,从而为后续 ADC 量

化提供一个稳定且高性能的输入信号。

1.1 传统源极跟随器型输入驱动缓冲器

传统输入驱动缓冲器的基础结构为电阻负载的源极跟随器,该结构具有接近单位增益、高输入阻抗和低输出阻抗的特点,能够有效隔离输入信号与采样电容,确保信号的稳定性^[12]。该结构小信号增益可以推导为:

$$\frac{V_{out}}{V_{in}} = \frac{g_{M1}(R_L \parallel Z_{CL} \parallel Z_{O1})}{g_{M1}(R_L \parallel Z_{CL} \parallel Z_{O1}) + 1} \approx 1 \quad (1)$$

其中: g_{M1} 为输入管 M1 的跨导; Z_{CL} 为负载电容跨阻; Z_{O1} 为输入管输出阻抗。跨导和输出阻抗引起的非线性可以用数学公式表示为:

$$\frac{dV_{out}}{dg_{M1}} = \frac{V_{out}}{g_{M1}} \frac{1}{g_{M1}(R_L \parallel Z_{CL} \parallel Z_{O1})} \quad (2)$$

根据式(2),输入驱动缓冲器所引入的非线性主要源于 $g_{M1}(R_L \parallel Z_{CL} \parallel Z_{O1})$ 。由此可知,通过提高输入管的跨导可有效改善输入驱动缓冲器的线性度。然而,在先进的 CMOS 工艺中,器件的本征增益普遍偏低,这使得通过增加跨导来抑制非线性变得异常困难。另一方面,输入管中的偏置电流会存在波动,这将导致输入跨导和输出阻抗变化,从而进一步加剧信号线性度的恶化。

1.2 带前馈电容的输入驱动缓冲器

一般而言,通过在源极跟随器内部增设前馈电容,可以解决由输入管电流波动所导致的缓冲器输出信号线性度降低的问题。带前馈电容的输入驱动缓冲器电路如图 1 所示。

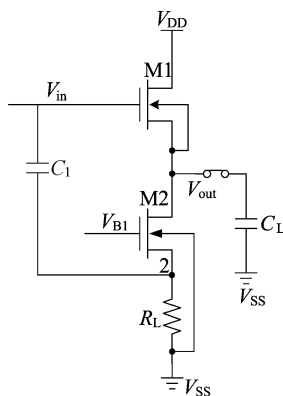


图 1 带前馈电容的输入驱动缓冲器电路

前馈电容器 C_1 巧妙地设置在输入栅极与电流源之间,用以建立交流通道,并通过其前馈通路对输入管电流变化进行补偿;M2 管发挥类似共源共栅管的功能,在增强输出阻抗的同时,确保前馈电容不会直接连接至输出点。因此,在偏置电

流较小的情况下,该设计展现出更为卓越的线性度,从而显著提升了缓冲器的性能。

对该具有前馈电容的源极跟随器进行小信号分析,由节点 2 处基尔霍夫定律计算公式推导得:

$$V_2 = \frac{V_{in}}{g_{M2}Z_{C1} + 1} \quad (3)$$

由输出端电流公式联立式(3),可得该结构电路的小信号增益为:

$$\frac{V_{out}}{V_{in}} = \frac{(g_{M1}g_{M2}Z_{C1} + g_{M1} + g_{M2})Z_{out}}{(g_{M1}Z_{out} + 1)(g_{M2}Z_{out} + 1)} \quad (4)$$

其中: $Z_{out} = g_{M2}r_{O2}R_L \parallel Z_{CL} \parallel Z_{O1}$; g_{M1} 、 g_{M2} 分别为 M1、M2 管的跨导; Z_{O1} 为 M1 管输出阻抗。在实际电路设计时,为使前馈电容补偿电流与输出信号波动电压一致,通常令前馈电容器 C_1 与负载电容器 CL 的电容 C_L 大小相同。假设容性阻抗趋于无穷大,即 $g_{M2}r_{O2}R_L \parallel Z_{CL} \parallel Z_{O1} \approx Z_{CL} = Z_{C1}$,此时其小信号增益可以表示为:

$$\frac{V_{out}}{V_{in}} = \frac{(g_{M2}Z_{C1} + 1)(g_{M1}Z_{out} + 1) - 1}{(g_{M2}Z_{C1} + 1)(g_{M1}Z_{out} + 1)} \approx 1 \quad (5)$$

与传统源极跟随器分析类似,具有前馈电容的源极跟随器由跨导和输出阻抗引起的非线性可用数学公式表示为:

$$\frac{dV_{out}}{dV_{in}} = \frac{V_{out}}{g_{M1}} \frac{1}{(g_{M1}Z_{out} + 1)(g_{M2}Z_{C1} + 1)} \quad (6)$$

对比式(6)与式(2)可知,在引入前馈电容后,输入驱动缓冲器非线性特性获得显著的优化,具体表现为非线性指标减小了 $g_{M2}Z_{C1} + 1$ 倍。这一改进有效地降低了由采样电容引起的非线性效应。在相同的功耗条件下,采用前馈电容的输入驱动缓冲器较传统结构展现出更为卓越的非线性抑制能力,从而显著提升整体性能。

1.3 高速输入驱动缓冲器设计

本文设计的输入驱动缓冲器电路结构如图 2 所示,包括主驱动缓冲器电路、辅助驱动缓冲器电路、反馈运放电路及偏置电路等模块。

本文输入驱动缓冲器在带前馈电容的基础上,引入沟道长度调制效应补偿 MOS 管 M4 和 M4B,使得输入对管 M1 和 M1B 漏极电压随输入信号变化而变化,从而达到稳定输入对管源漏电压的目的。同时,通过引入辅助驱动缓冲器电路为主驱动缓冲器提供静态工作点,稳定输出共模电压,为后续电路设计减少动态失调误差。

在短沟道 CMOS 工艺下,工作在饱和区的 MOS 饱和电流公式被修正为:

$$I_{DS} = 1/2\mu_n C_{OX}(W/L)(V_{GS} - V_{TH})^2(1 + \lambda V_{DS}) \quad (7)$$

导通,在 V_{ON} 与 V_{OP} 之间形成 3.5 mA 的电流通路,该电流流经 LVDS 接收端 $100\ \Omega$ 的电阻,产生 +350 mV 的电压;反之,当 V_{IN} 为高电平而 V_{IP} 为低电平时,将产生 -350 mV 的电压。这样, LVDS 接收端即能准确地识别并接收到相应的逻辑电平。

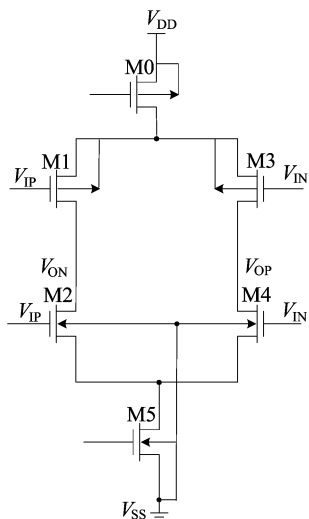


图 3 电流模式的 LVDS 驱动电路

然而,电流源模式的 LVDS 驱动电路易受到工艺角及温度变化的影响,导致输出共模电压偏

离预设值。

这主要是由于 LVDS 中的上、下两个电流源无法完全匹配,所产生的误差电流流经输出阻抗,引发共模电压的漂移,从而可能影响片外接器的工作效率。

本文设计的 LVDS 输出驱动电路如图 4 所示。该电路特别引入了共模反馈电路,旨在稳定输出共模电压。当检测到输出共模电压超过设定的 1.25 V 时,反馈运放将增加正向输出电压并减小反向输出电压,导致尾电流源流过的电流减小,直至输出共模电压达到稳定状态。得益于共模反馈技术的运用,该结构无需过度关注上、下电流源的匹配问题。尾电流源采用共源共栅结构,以提升电流镜复制电流的精确度。偏置电路中 M18、M19 管主要用于控制电路的工作状态,其受使能信号 V_{Pd} 和 V_{Pdb} 控制,当 V_{Pd} 为 0 而 V_{Pdb} 为 1 时,电路正常工作;反之则断开。

此外,为了加速 LVDS 驱动电路的输出结果并提升其工作频率,本设计在输入开关管 M1 和 M4 的栅端与其对应的反相输出端 V_{OP} 、 V_{ON} 之间添加耦合电容 C_1 、 C_2 ,以此将输入端的信号变化迅速耦合至其反相输出端。

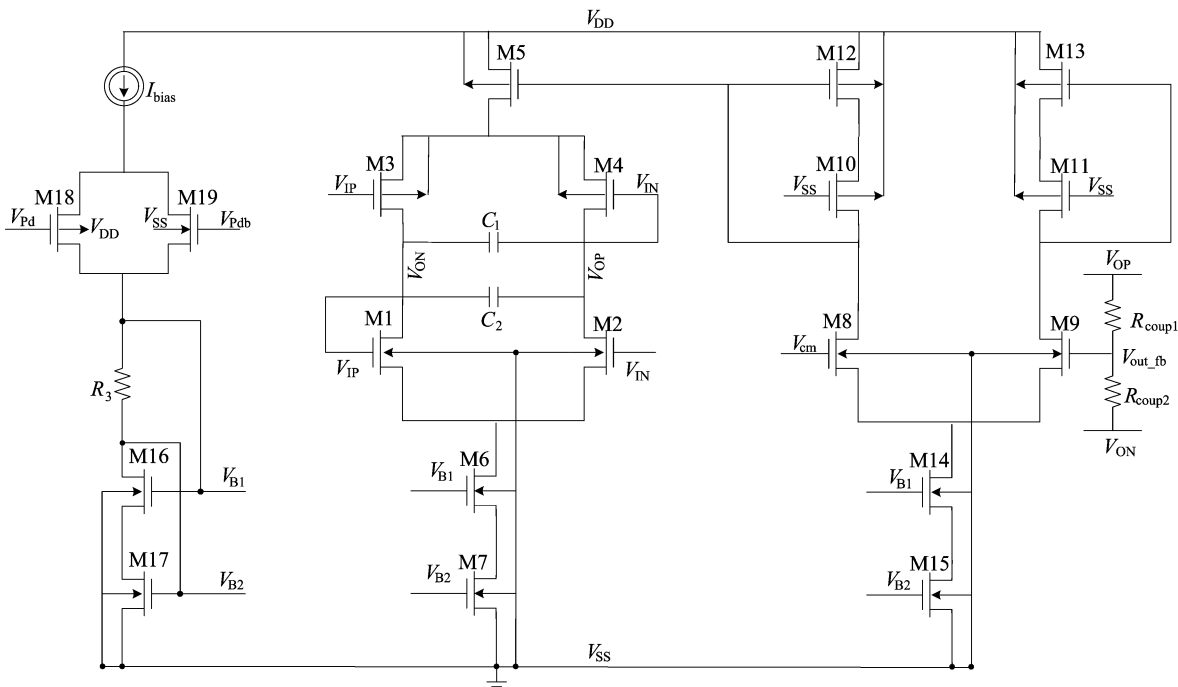


图 4 本文设计的 LVDS 输出驱动电路

3 电路仿真结果

本文设计的输入驱动缓冲器和 LVDS 输出驱动电路版图如图 5 所示。

基于 TSMC 65 nm CMOS 工艺对本文电路进行版图设计,其中输入驱动缓冲器版图面积为 $320\ \mu\text{m} \times 490\ \mu\text{m}$,单个 LVDS 输出驱动电路版图面积为 $125\ \mu\text{m} \times 320\ \mu\text{m}$ 。

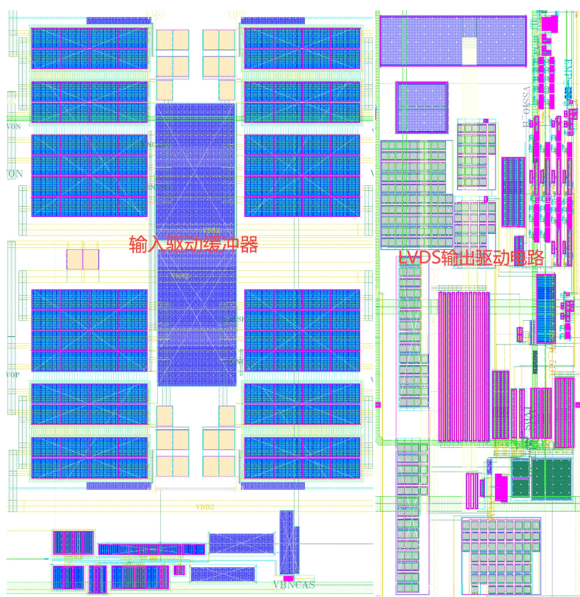


图 5 本文设计的输入驱动缓冲器和 LVDS 输出驱动电路版图

3.1 输入驱动缓冲器仿真结果

为验证本文设计的输入驱动缓冲器是否达到预期效果,对其进行后仿真。首先,输入信号频率设置为奈奎斯特输入的 248.535 MHz(应用于 500 MS/s 的 ADC),对输出共模稳定性进行仿真验证。本文设计的输入驱动缓冲器输出共模电压随工艺角(tt、ss、ff、snfp、fnsp)及温度($-40 \sim 85^\circ\text{C}$)变化的仿真结果如图 6 所示,可以看出,其输出共模电压漂移均在 2 mV 以内,能够保证后续电路输入共模电压的稳定,大大增加了电路可靠性。

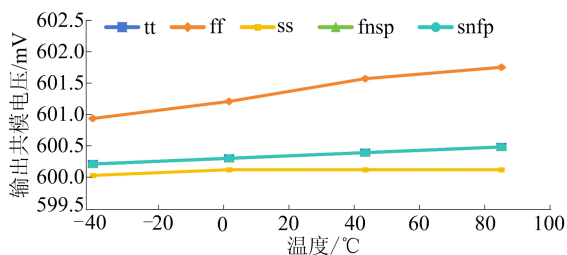


图 6 输出共模电压随工艺角及温度变化的仿真结果

对经过输入驱动缓冲器处理后的信号线性度进行有效评估,在其输出端连接采样保持电路,并设定负载电容为 0.35 pF(即 CDAC 总电容的大小),再设定采样速率为 500 MS/s,对采样信号进行频谱分析。为确保分析的精确性,采集 1 024 个数据点进行快速傅里叶变换运算。由于本文设计的驱动电路应用于 8 位的 ADC,通常要求采样信号的有效位数大于 10 bit($N+2$)。

不同工艺角及温度组合下的采样信号线性度

仿真结果如图 7 所示。由图 7 可知,即使在最差情况下,采样信号的有效位数仍超过 10.4 bit,满足后续电路的设计要求。

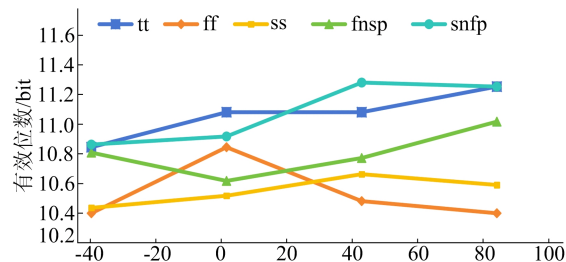


图 7 不同工艺角及温度组合下的采样信号线性度仿真结果

本文设计的输入驱动缓冲器与相关文献中同类缓冲器在性能指标方面的对比见表 1 所列。文献[4]设计的输入驱动缓冲器因基础结构补偿效果有限,导致输出共模电压显著波动以及三次谐波功率较高;文献[6]设计的输入驱动缓冲器基于先进的工艺技术,能够驱动高频输入信号,但输入信号的幅度相对较小,并且同样存在三次谐波功率较大的问题;相较之下,本文设计的输入驱动缓冲器电路在性能上表现出显著优势,不仅能够驱动较大幅度的输入信号,还具有较小的输出共模变化和较低的三次谐波功率,因此能够很好地满足实际应用需求。

表 1 不同输入驱动缓冲器的性能对比

项目	文献[4]	文献[6]	本文
工艺/nm	350	28	65
电源电压/V	3.3	0.9~1.8	1.2~2.5
信号幅值/V	1	0.8	1.2
信号频率/MHz	100	1 700	250
输出共模电压变化/mV	8	1	2
有效位数/bit	9.5	8.2	10.4
HD3/dB	-77	-65	-92

3.2 数字输出驱动电路仿真结果

为验证本文 LVDS 驱动电路是否满足设计要求,对其进行后仿真。电平移位电路瞬态仿真结果如图 8 所示。图 8 中:红色波形为 1.2 V 电压域的输入信号,其频率为 500 MHz,占空比为 50.00%;黄色波形为电平移位后的 2.5 V 电压域输出信号,且其频率同样为 500 MHz,时钟占空比为 50.95%,满足应用场景的需求。

本文设计的 LVDS 驱动电路瞬态仿真结果如图 9 所示。从图 9 可以看出,输出波形在逻辑高与逻辑低之间有明显的周期性变化,且输出共

模电压基本稳定在 1.25 V 左右。

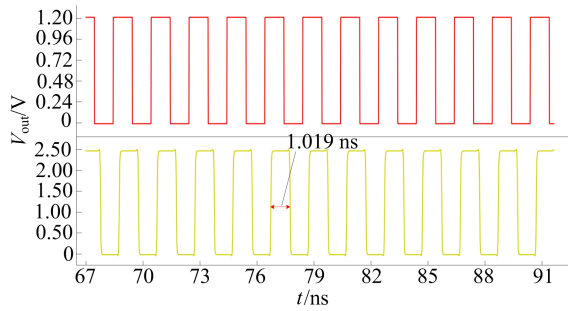


图 8 电平移位电路瞬态仿真结果

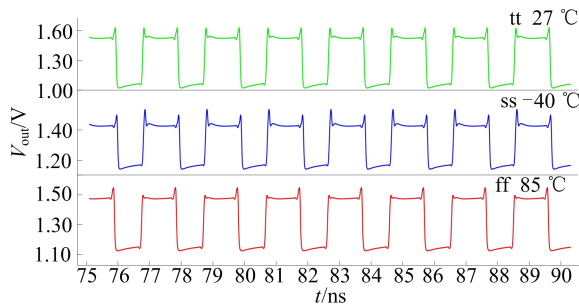


图 9 LVDS 驱动电路瞬态仿真结果

4 结 论

本文在 TSMC 65 nm CMOS 工艺下,设计了一种适用于高速 ADC 的输入驱动缓冲器和数字输出驱动电路。对于输入驱动缓冲器,在传统源极跟随器结构上提出改进,加入前馈电容和二阶效应补偿 MOS 管显著提升其线性度;并设计一种共模反馈电路,进一步改善其鲁棒性。对于数字输出驱动电路,在输入、输出间引入跳变耦合电容,加速数字信号的建立;同时设计一种带共模反馈的双电流源驱动器,使得流经匹配电阻的电流及电压更加精确。仿真结果显示,本文设计的 2 种电路均达到预期的设计要求。

[参 考 文 献]

- [1] 张章,吴宵,解光军. 12 bit 100 MS/s Flash-SAR 混合型模数转换器的设计与实现[J]. 合肥工业大学学报(自然科学版),2020,43(2):216-223.
- [2] LEE T S, LU C C, YU S H, et al. A very-high-speed low-

power low-voltage fully differential CMOS sample-and-hold circuit with low hold pedestal[C]//2005 IEEE International Symposium on Circuits and Systems. [S. l.]: IEEE, 2014: 3111-3114.

- [3] CHEN Y, HU H, YE F, et al. A wide-band input buffer for 3 GS/s 12 bit time-interleaved ADC[C]//IEEE International Conference on Solid-State and Integrated Circuit Technology. [S. l.]: IEEE, 2016: 1467-1469.
- [4] FAN X P, CHAN P K. Improving source-follower buffer for high-speed ADC testing[C]//IEEE Asia Pacific Conference on Circuits and Systems. [S. l.]: IEEE, 2006: 21-24.
- [5] AHMED M A A, DINC H, BHORASKAR P, et al. A 14 bit 1 GS/s RF sampling pipelined ADC with background calibration[J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 2857-2867.
- [6] SUN T, LI J, NING N, et al. A high-linearity input-buffer with high output common-mode stability for 10 bit 3.2 GS/s ADC[J]. Electronics Letters, 2020, 56(13): 653-655.
- [7] JOU S J, KUO S H, CHIU J T, et al. Low switching noise and load-adaptive output buffer design techniques[J]. IEEE Journal of Solid-State Circuits, 2001, 36(8): 1239-1249.
- [8] STEPHEN KEMPAINEN, DAVID B, GUSTAVSON, et al. IEEE standard for low-voltage differential signals (LVDS) for scalable coherent interface (SCI): IEEE Std 1596.3-1996[S]. [S. l.]: IEEE, 1996: 1-31.
- [9] MARAR H W, ABUG K, ALTA A K. A power efficient 3-Gbits/s 1.8 V PMOS-based LVDS output driver[C]//IEEE International Conference on Electronics. [S. l.]: IEEE, 2012: 240-243.
- [10] TEJA K R, MALL G V, REDDY S. Design of 1.8V LVDS transmitter in GF 22 nm for associative memory[C]//2021 International Semiconductor Conference. [S. l.]: IEEE, 2021: 201-204.
- [11] 孙宇凯,马迅,王尧.一种高速 CMOS LVDS 收发电路设计[J]. 中国集成电路, 2022, 31(5): 47-50.
- [12] HUANG Z B, ZHANG J, CEN Y J, et al. A 6 GHz bandwidth input buffer based on AC-coupled flipped source follower for 12 bit 8 GS/s ADC in 28 nm CMOS[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 69(10): 4163-4167.
- [13] 胡庆成,贺凌炜,周晓彬.一种高速 LVDS 接收电路的设计[J]. 电子与封装, 2016, 16(7): 26-28.
- [14] 王霞,周泽坤,王卓.一种新型高速低功耗电平移位电路[J]. 微电子学与计算机, 2015, 32(11): 158-161.

(责任编辑 胡亚敏)