

DOI:10.3969/j.issn.1003-5060.2026.01.007

基于布局布线信息的单元间桥接缺陷测试方法

鲍善鑫, 梁华国, 胡杰文, 邵志伟, 章宏, 鲁迎春

(合肥工业大学 微电子学院, 安徽 合肥 230601)

摘要:随着集成电路工艺的不断迭代,桥接缺陷因导线密度增加出现得更加频繁。为了在测试中高效地覆盖更多桥接缺陷,文章提出一种基于布局布线信息的标准单元间桥接缺陷测试方法。该方法基于版图中的布局布线信息锁定单元外互连线间和相邻单元间的桥接高风险区域,并生成相应的故障模型以得到高质量的测试向量;通过采用基于桥接高风险区域长度的单元对生成策略和基于故障数量分布特点的缺陷阻值选择方法,测试效率得到进一步提高。实验结果表明:相较于四路桥接的测试方法,文章所提方法提高了约10.20%的测试覆盖率;相较于已提出的双单元测试方法,文章所提方法提高了约10.55%的测试覆盖率并降低了约60%的时间成本。

关键词:桥接缺陷;缺陷仿真;故障模型;测试向量;测试覆盖率

中图分类号: TN407 **文献标志码:** A **文章编号:** 1003-5060(2026)01-0049-07

Test method for bridge defects between cells based on layout and routing information

BAO Shanxin, LIANG Huaguo, HU Jiewen, SHAO Zhiwei, ZHANG Hong, LU Yingchun
(School of Microelectronics, Hefei University of Technology, Hefei 230601, China)

Abstract: As the process of integrated circuits continues to iterate, bridge defects appear more frequently due to the increase in the density of wires. In order to efficiently cover more bridge defects in testing, a test method for bridge defects between standard cells based on layout and routing information is proposed in this paper. Bridge defects at two locations, between interconnecting wires outside cells and between neighboring cells, are targeted by the method using layout and routing information, and corresponding fault models are generated to obtain high-quality test patterns. Test efficiency is further improved by a strategy for generating cell pairs based on the length of the high-risk region of bridges and a method for selecting the resistance value of bridge defects based on the distribution of the number of faults. Experimental results show that compared to the four-way bridge test method, the method improves the test coverage by about 10.20%; compared to the previously proposed dual-cell test method, the method improves the test coverage by about 10.55% and reduces the time cost by about 60%.

Key words: bridge defects; defect simulation; fault model; test patterns; test coverage

0 引言

随着集成电路的集成度持续提升、器件特征尺寸不断缩小、导线数量逐步增多,相邻电路节点

之间相互影响所导致的缺陷已对电路性能构成了严重威胁。这类缺陷被称为桥接缺陷,指的是两个相邻互连网段之间、标准单元内同层或邻层的物理对象之间的意外连接^[1]。而用来测试此类缺

收稿日期:2024-03-14;修回日期:2024-04-18

基金项目:国家重大科研仪器研制资助项目(62027815)

作者简介:鲍善鑫(1999—),男,安徽定远人,合肥工业大学硕士生;

梁华国(1959—),男,安徽合肥人,博士,合肥工业大学教授,博士生导师,通信作者,E-mail:huagul@hfut.edu.cn.

陷的桥接故障已成为超大规模集成电路(very large scale integration, VLSI)测试中的重要故障之一。

近年来,随着计算机计算能力的不断提升,缺陷建模和注入的测试方法备受重视,并在桥接缺陷的检测中表现出色^[2-3]。

Mentor 公司基于 SPICE 仿真流程提出了单元感知的测试方法^[4-7],通过缺陷注入、仿真等步骤分析标准单元(标准单元通常指工艺厂商提供的用于生成物理版图的门电路)内桥接缺陷等引发的故障行为,并开发了相应的自动测试向量生成(automatic test pattern generation, ATPG)程序;这一方法所生成的测试向量更为高效,但需要考虑仿真时间的问题。文献[8]对 FinFET 工艺下不同位置的桥接缺陷进行 SPICE 仿真建模,分析了鳍的数量与临界电阻之间的关系以及横向电容对电路的影响;该方法展示了桥接缺陷在 FinFET 工艺下的故障行为,但仅仅分析了单个单元内的桥接缺陷。文献[9]利用 TCAD 对 FinFET 工艺下栅氧化物上的桥接缺陷进行了仿真分析和故障建模;该研究考虑了 3D 结构上桥接缺陷的特性,但是建模工作仅局限于很小的器件结构上。

文献[10-11]在单元感知测试的基础上提出了双单元感知模型,将缺陷仿真建模的适用范围扩展到了相邻的标准单元之间;该方法利用版图中的布局信息对不同单元中非输出节点的相邻桥接节点进行了仿真建模,进一步提高了测试覆盖率,但是在独立测试时花费了更多的时间却只能得到较低的覆盖率。该团队还提出了基于缺陷的桥接故障生成方法^[12],利用版图中的布线信息对相邻标准单元输出端口上的桥接缺陷进行仿真建模,得到了比使用四路桥接模型更精简的测试向量,但是缺陷仿真需耗费大量的时间。

综上所述,现有的桥接缺陷测试方法大多针对电路中单一位置,且长时间的缺陷仿真是一个不可忽视的问题。因此,本文提出一种基于布局布线信息的标准单元间桥接缺陷测试方法。该方法利用版图中的布局布线信息确定单元外互连线上和相邻单元间的桥接高风险区域,并生成相应的故障模型以产生测试向量覆盖不同位置上的桥接缺陷;同时采用基于桥接高风险区域长度的单元对生成策略和基于故障数量分布特点的桥接缺陷阻值选择方法,进一步提高测试的效率和准确性。

1 理论基础

1.1 桥接故障

桥接缺陷的函数级抽象表示被称为桥接故障,表示 2 个标准单元的 2 条独立互连金属线间的桥接缺陷引发的故障行为。常见的桥接故障模型包括线与线或模型^[13]、投票模型^[14]和四路桥接模型^[15-16]等。

四路桥接故障模型是工业上最常用的桥接故障模型,工作原理是在无缺陷时将 2 个桥接节点的电压驱动到不同的逻辑值,在存在桥接时主导节点因其较强的驱动能力会同化被动节点的逻辑电压值,错误的逻辑值从被动节点传播到电路输出端。四路桥接故障模型分为 4 种可能的强弱组合,分析具有高驱动强度的主动端通过缺陷导致的连线使被动端的电压背离预期值的影响。除了用于静态逻辑的测试,四路桥接故障模型还可用于延迟测试。

1.2 桥接缺陷的位置

传统的桥接故障默认桥接发生在门单元输入、输出端口处的金属互连线上,并选取 2 个合适节点作为桥接节点进一步分析。但是,现有的研究表明相邻单元的内部节点也存在因距离较近而出现桥接缺陷的概率^[11]。相邻单元之间桥接位置的示例如图 1 所示。

图 1 中:左侧是一个或非门,右侧是与非门;电路节点 E 与 F 间的虚线表示输出端口上金属线的桥接;节点 N1 与 F 间的虚线表示输出端口与内部节点的桥接;节点 N1 与 N2 间的虚线表示不同单元的内部节点间的桥接。

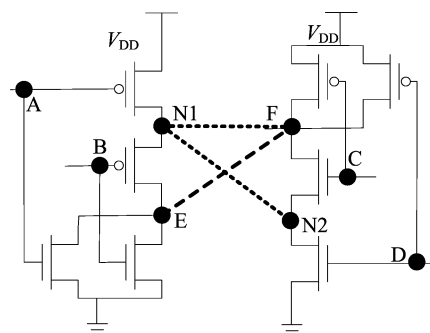


图 1 相邻单元之间桥接的简单示例

1.3 面向缺陷的测试

单元感知测试等面向缺陷的测试方法^[17-18]不是通过已有的故障模型生成测试向量,而是直接针对单元内外的缺陷。通过提取物理版图上的

参数对电路模块进行 SPICE 仿真可以得到更加明确的故障激活条件,最终生成用户自定义的故障模型来指导 ATPG 得到更紧凑的测试向量。用户自定义故障模型(user-defined fault model, UDFM)文件是一个 ASCII 文件,用于对自定义的故障点进行建模^[19],其提供了一种扩展 ATPG 故障的方法,可以支持全面测试库单元模型。

缺陷仿真时涉及的缺陷矩阵简单示例如图 2 所示,其中 D 表示其所在行的向量可以检测所在列的缺陷^[20]。在测试相同位置的缺陷时,缺陷仿真的方法相较于四路桥接模型多分支列举的形式可以缩小目标范围,以有效减少向量数量。

向量	缺陷1	缺陷2	缺陷3	...	缺陷n
向量1		D	D	...	D
向量2	D	D		...	
⋮	⋮	⋮	⋮		⋮
向量m	D	D		...	D

图 2 缺陷矩阵的简单示例

2 单元间桥接缺陷的测试方法

2.1 总体流程

针对标准单元之间不同位置桥接缺陷的测试方法总体流程如图 3 所示。首先,对布局布线后的电路版图进行参数提取得到物理参数;然后,分为相邻互连线和相邻单元这 2 条支线,并分别生成包含桥接故障点的故障模型文件;最后,生成的 UDFM 文件共同指导 ATPG,生成覆盖不同位置桥接缺陷的测试向量。

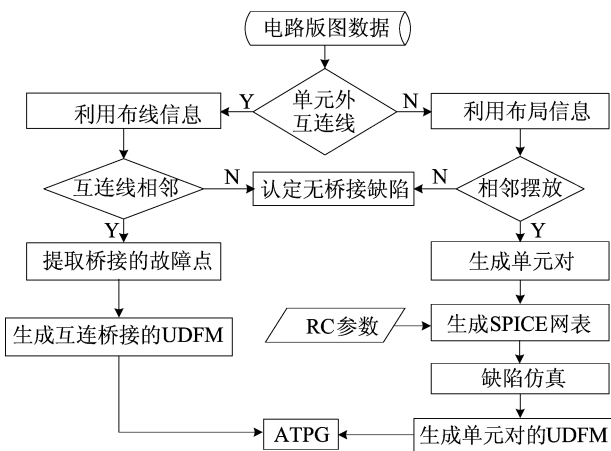


图 3 本文方法的总体流程

开始的准备步骤需要生成包含物理信息的版

图数据库文件,该数据库包含了所需的布局布线信息,并进一步分析电路的拓扑信息。

若桥接缺陷发生在单元外的金属互连线上,则依据版图数据库中的布线信息进行进一步分析。对于版图布线后存在平行排布或者拐角靠近的 2 条金属互连线,此步骤不仅要考虑寄生参数,还需参考物理排布情况,最后筛选出实际距离接近的互连线。设置互连线间的安全距离,则可以认定间距小于该阈值的互连线存在出现桥接缺陷的风险。通过距离阈值筛选,相邻互连线上存在桥接风险的网段位置被收集为桥接故障点。收集到的故障点信息处理为特定格式后被保存在 UDFM 中。该故障模型的工作原理等同于四路桥接模型的工作原理。

若桥接缺陷发生在相邻单元之间,则依据版图数据库中的布局信息进行进一步分析。此步骤会筛选出布局时相邻摆放的单元,并记录这些单元的基本信息,包括单元名、单元端口、2 个单元的相对位置等。利用收集到的信息可以提取出两两相邻的单元组合成单元对。每个单元对会被当作一个虚拟单元进行处理,且仅提取电路中具有功能的实例单元。每个单元对在正式生成前还要分析其中存在桥接风险的网段总长度,并以此为排序依据生成单元对。在生成单元对的 SPICE 网表时,单元对将被看作一个整体模块来处理。综合考虑提取电路得到的 RC 参数、每个单元的 SPICE 网表以及记录的单元对信息,可以得到具有 RC 参数的单元对网表。

在缺陷仿真时,等效电阻被注入到耦合电容所在位置表征桥接缺陷引发的故障行为。不同阻值的等效电阻代表着不同严重程度的桥接。缺陷仿真分为静态仿真和动态仿真,动态仿真仅针对静态仿真无法覆盖的缺陷。静态仿真是在单元对的输入端口输入稳定电压,分别在注入缺陷和无缺陷的 2 种 RC 网表中仿真,记录缺陷网表的输出电压值和无缺陷时的预期电压值;动态仿真则是记录选通时间时 RC 网表的输出电压相较于初始电压的变化大小。选通时间通常利用二分法得到。根据提前设置的阈值分析处理每个缺陷的故障情况,可以通过对比输出电压值与预期电压值之间的偏差判断缺陷是否会产生故障行为。在生成故障模型时,从缺陷矩阵中提取单元对的故障信息,将这些信息映射到单元对实现的相应功能并记录在 UDFM 文件中。

对应 2 种缺陷位置上桥接故障点的用户自定

义故障模型最终被加载到 ATPG 中。ATPG 可以生成同时考虑 2 种位置桥接缺陷的故障并得到更加有效的测试向量。

2.2 基于桥接区域长度的单元对生成

相邻摆放的标准单元之间可能存在着 1 条或多条平行摆放的网段。若其间的距离小于特定阈值,则可以把这些成对的网段看作是出现桥接缺陷的高风险位置。

但是,相邻摆放的单元间有很多区域不一定会相互影响,只有相同或者相近的工艺层之间桥接才会出现实质的物理缺陷,从而产生明显的故障行为。对于不同的单元对,其相邻单元之间存在桥接风险的区域大小不同,导致其在电路实例中桥接缺陷发生的实际概率也不同。本文中将这些存在桥接风险的区域称为桥接关键区域。每对相邻单元之间的桥接关键区域的总长度是不同的,总长度较长的相邻单元间的缺陷具有更长的桥接关键区域和更多的耦合电容。若网段间存在较长的桥接关键区域且含有多个耦合电容,则在缺陷仿真时只会选择 1 个耦合电容位置来注入缺陷电阻。这使得在缺陷注入时不会因为耦合电容的多少来区别处理桥接缺陷。

缺陷注入简单举例如图 4 所示,可以看出,网段 A 与网段 B 之间存在 3 个耦合电容,网段 C 与网段 D 之间只有 1 个寄生电容,在缺陷注入后这 2 对网段是基本等效的。

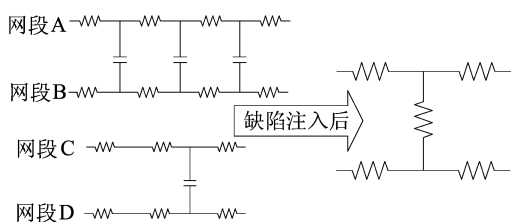


图 4 缺陷注入简单举例

本文测试方法由于参数提取、缺陷仿真等步骤需要花费大量的时间,而部分单元对的桥接关键区域极小,导致故障行为的概率也极小,对这些位置的缺陷进行相同的处理同样需要付出巨大的代价,却不能显著提高测试质量。

根据巴莱特定律可知,80%的桥接关键区域大概率被包含在约 20%的单元对中。为了提高测试的效率,可以在覆盖大部分桥接关键区域的前提下考虑缩减所生成的标准单元对的数量。本文以桥接关键区域长度为依据生成单元对,并分析覆盖 50%、60%、70%、80%、90%、100%长度

的总桥接关键区域所需生成的单元对数量。对多个电路的分析表明,每多覆盖 10%的桥接长度,则生成的单元对数量翻倍,覆盖 100%时所需的单元对数量达到覆盖 90%时的约 4 倍。因此,只需要针对约 25%的单元对就足以覆盖相邻单元间 90%可能出现桥接缺陷的位置。这个分析结果与巴莱特定律吻合。

已有的结果表明,关注 90%的相邻单元间桥接关键区域时本文方法可以得到最高的测试覆盖率。具体结果在 3.2 节中展示。

2.3 基于故障数量分布的缺陷阻值选择

利用静态向量测试硬缺陷比动态向量测试弱缺陷所需的时间短、向量少、准确率高,因此测试时优先考虑采用静态向量测试硬缺陷^[21]。在缺陷仿真时注入的桥接电阻值一般为 $1\ \Omega$,其等效的是桥接缺陷最严重时的故障行为,即最硬的缺陷。最硬的缺陷在加入不同的向量时都能对输出造成明显的偏差,可以得到最多的故障激活条件、最完备的测试向量。但是输出向量的备选条件过多并非一定能造成好的结果,在 ATPG 进行合理化的过程中有可能因可选的输入情况太多而错过了最优解,从而造成覆盖率的损失。但是若对于每个单元对的测试向量的最优解,提高阻值表征较弱的缺陷以减少可检测的输入组合,则可能在 ATPG 进行合理化的过程中无法满足路径敏化的需求,也会降低测试覆盖率。

若同一个位置的缺陷在不同阻值时的缺陷仿真中得到了激活条件存在差异的故障信息,则把该故障及其变体处理成不同的故障,故障变体可以用于较弱缺陷的测试。在缺陷仿真时随着缺陷阻值的增大,在输入激励不变的情况下,大部分桥接缺陷会陆续从表现出故障行为的状态变为无故障行为的状态。在故障激活条件变化最频繁的阻值区间,用于较弱缺陷测试的故障数量是最多的,此区间是值得关注的。

本文采用 3 个阻值的组合进行缺陷仿真来得到单元对的故障点。 $1\ \Omega$ 时的仿真涵盖了最严重的缺陷,可以得到最全面的故障信息;第 2 个阻值时的仿真用于涵盖故障激活条件变化最多时的缺陷,可以覆盖最多的较弱缺陷;第 3 个阻值时的仿真覆盖故障激活条件最严格的缺陷,可以针对静态向量能检测到的最不明显的缺陷。若采用多种阻值的组合进行仿真,较高阻值下激活条件变化的缺陷会作为一个新缺陷添加到低阻值缺陷矩阵的最后一列,其简单示例如图 5 所示。

由图 5 可知:缺陷 1 到 n 可以在 $1\ \Omega$ 时检测; $5\ \text{k}\Omega$ 时,缺陷 2 因激活条件变化被当作缺陷 $n+1$ 加入到 $1\ \Omega$ 时缺陷矩阵的最后一列; $10\ \text{k}\Omega$ 时,缺陷 2 再次变化为缺陷 $n+2$ 加到缺陷矩阵最后。

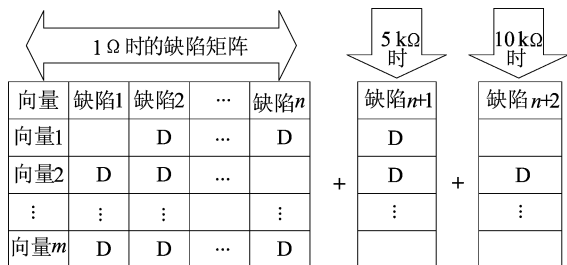


图 5 多阻值时的缺陷矩阵

以不同阻值时生成的相邻单元间的静态故障数量为依据分析,从 $1\ \Omega$ 开始增加考虑的电阻值,可以通过阻值生成的故障数量差异反映不同阻值区间的重要性。

经过实验分析可知, $1\ \Omega$ 、 $5\ \text{k}\Omega$ 、 $10\ \text{k}\Omega$ 可以作

为缺陷注入时的阻值选择,具体结果将在 3.3 节中展示。

3 实验结果

3.1 实验环境

本次实验运行在 Linux 环境的 CentOS6 操作系统下,实验工具包括 Tessent、Design Compiler 等。实验电路是 ISCAS'89 基准电路中的 s13207、s15850、s35932、s38417、s38584,实验电路都基于 $45\ \text{nm}$ 的 Nangate 开源工艺库进行了逻辑综合、布局布线等处理。

3.2 单元对的生成结果

覆盖相邻单元间桥接关键区域总长度 50%、60%、70%、80%、90%、100% 所需的单元对数量见表 1 所列。由表 1 可知,大部分的桥接区域被包含在少数的单元对中,每多覆盖 10% 的桥接长度生成单元对的数目至少会翻倍,覆盖全部的桥接关键区域所需的单元对数量是覆盖 90% 时的约 4 倍。

表 1 实验电路的相关数据

电路	电路单元总数	单元对数量					
		50%桥接	60%桥接	70%桥接	80%桥接	90%桥接	100%桥接
s13207	8 589	25	50	120	240	550	1 942
s15850	10 306	25	50	100	200	500	2 034
s35932	17 793	20	40	105	190	355	1 724
s38417	23 815	20	30	85	170	405	2 352
s38584	20 679	50	100	230	420	910	3 853

通过改变单元对数量来覆盖不同比例的桥接关键区域时,本文方法的测试覆盖率变化趋势如图 6 所示。

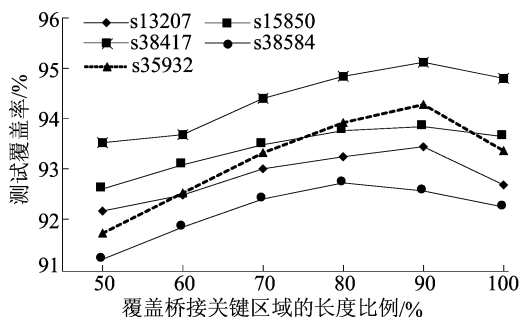


图 6 覆盖的桥接长度不同导致的测试覆盖率的变化

由图 6 可知,大部分电路中覆盖 90% 的相邻单元桥接关键区域时的测试覆盖率最高,分别为 93.43%、93.83%、94.28%、95.10%,仅在 s38584 电路中覆盖 90% 桥接关键区域时测试覆盖率不

是最高,但与最高值仅相差 0.07%。产生这一偏差的原因可能是电路中单元对数目过多而所用工艺库门单元种类有限,造成重复度较高。

3.3 阻值选择的分析结果

从 $1\ \Omega$ 开始增加缺陷仿真时的电阻值,在静态测试中添加新阻值后相较于添加前的故障数量变化可以反映各缺陷阻值对故障生成的影响。在 s38417 电路中添加不同阻值时的单元间静态故障变化量及所占比例见表 2 所列。

由表 2 可知:大部分故障都可以在 $1\ \Omega$ 时得到,占故障总数的 59.15%; $3\ 000\sim 5\ 000\ \Omega$ 区间的故障变体数量最多,占故障总数的 12.97%;大于 $10\ 000\ \Omega$ 时增加的故障数量少于 2%。

在确定了缺陷仿真时使用的 3 个阻值后,本文进行了相应的验证实验,对比结果见表 3 所列。

从表 3 可以看出,阻值组合选择为 $(1, 5\ 000, 10\ 000)\ \Omega$ 时生成的静态测试故障数量最多,此时的测试覆盖率也最高。

表 2 s38417 电路中不同阻值时的单元间静态故障变化量及所占比例

阻值/ Ω	1	100	500	1 000	2 000	3 000	5 000	7 500	10 000	15 000	25 000
故障增加量	174 069	1 704	9 201	2 755	3 258	20 017	38 153	26 360	14 046	95	4 610
故障占比/%	59.15	0.58	3.13	0.94	1.11	6.80	12.97	8.96	4.77	0.03	1.56

表 3 不同阻值时的故障数及测试覆盖率

电路	阻值组合/ Ω	静态故障数	测试覆盖率/%
s13207	(1,500,5 000)	229 050	93.82
	(1,500,10 000)	220 950	93.65
	(1,1 000,10 000)	222 490	93.67
	(1,5 000,10 000)	237 180	93.96
s15850	(1,500,5 000)	272 515	94.23
	(1,500,10 000)	262 704	94.09
	(1,1 000,10 000)	263 773	94.10
	(1,5 000,10 000)	283 588	94.37
s35932	(1,500,5 000)	591 696	95.03
	(1,500,10 000)	550 051	94.66
	(1,1 000,10 000)	553 376	94.70
	(1,5 000,10 000)	615 511	95.15
s38417	(1,500,5 000)	550 076	95.60
	(1,500,10 000)	527 135	95.38
	(1,1 000,10 000)	529 090	95.39
	(1,5 000,10 000)	577 083	95.75
s38584	(1,500,5 000)	729 881	93.18
	(1,500,10 000)	701 136	92.91
	(1,1 000,10 000)	704 313	92.89
	(1,5 000,10 000)	767 155	93.36

3.4 本文方法的实验结果

考虑了以上因素之后,本文方法生成的故障数量、测试向量数量以及测试覆盖率见表 4 所列。

表 4 生成的故障数、测试覆盖率及向量数

电路	静态测试			延迟测试		
	静态故障数	测试覆盖率/%	向量数	动态故障数	测试覆盖率/%	向量数
s13207	237 180	93.96	413	196 769	64.81	722
s15850	283 588	94.37	345	215 817	57.91	588
s35932	615 511	95.15	108	479 273	45.48	150
s38417	577 083	95.75	319	424 609	65.40	817
s38584	767 155	93.36	451	571 929	68.14	961
平均	496 103	94.52	327	377 679	60.35	648

表 4 展示了静态和延迟测试后得到的针对单元间桥接缺陷的故障数量、测试向量数量以及测试覆盖率。

从表 4 可以看出:在 5 个实验电路中,静态测试的平均测试覆盖率为 94.52%,平均向量数为 327;而延迟测试时的平均测试覆盖率为 60.35%,平均向量数为 648。静态测试时的测试覆盖率要明显高于延迟测试的,所需的测试向量也相对较少。

3.5 相关方法的对比结果

为了证明本文方法生成的测试向量的有效性,实验还对比了相关方法生成的测试向量应用于本文生成的故障时的测试覆盖率。不同方法在 s38417 电路上测试的对比结果见表 5 所列。

从表 5 可以看出:相较于本文方法,在静态和延迟测试中,文献[12]的双单元感知模型得到的测试覆盖率分别降低 11.92%和 9.18%,平均降低了约 10.55%;文献[16]的四路桥接模型得到的测试覆盖率分别降低 12.71%和 7.70%,平均降低了约 10.20%。此外,本文方法相较于文献[12]的方法还可以节省约 60%的生成时间。

表 5 不同方法在 s38417 电路上测试的对比结果

方法	静态测试		延迟测试	
	静态向量数	测试覆盖率/%	动态向量数	测试覆盖率/%
文献[12]	233	83.83	286	55.22
文献[16]	287	83.04	791	56.70
本文方法	319	95.75	817	64.40

4 结 论

本文提出了一种基于布局布线信息的标准单元间桥接缺陷测试方法。利用版图中的布局布线信息来确定单元外互连线间和相邻单元间的桥接缺陷关键区域,并基于桥接关键区域的长度指导单元对的生成,采用(1,5 000,10 000) Ω 的缺陷阻值组合来优化缺陷仿真得到的故障信息,最终生成相应的故障模型并生成了覆盖单元间桥接缺陷的测试向量。实验结果表明,相较于四路桥接的测试方法,本文方法提高了约 10.20%的测试覆盖率;相较于已提出的双单元的测试方法,本文方法提高了约 10.55%的测试覆盖率并降低了约 60%的时间成本。

[参 考 文 献]

- [1] HAPKE F, HOWELL W, MAXWELL P, et al. Defect-oriented test; effectiveness in high volume manufacturing[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2020, 40(3): 584-597.
- [2] ESLAMI M, GHAVAMI B, RAJI M, et al. A survey on fault injection methods of digital integrated circuits[J]. Integration, 2020, 71: 154-163.
- [3] AZAM S, DALL'ORA N, FRACAROLI E, et al. Analog defect injection and fault simulation techniques; a systematic literature review[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2024, 44(1): 16-29.
- [4] HAPKE F, REDEMUND W, GLOWATZ A, et al. Cell-aware test[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2014, 33(9): 1396-1409.
- [5] NIEN Y T, WU K C, LEE D Z, et al. Methodology of generating timing-slack-based cell-aware tests[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2021, 41(11): 5057-5070.
- [6] GAO Z, HU M C, BAERT R, et al. Cell-aware test on various circuits in an advanced 3 nm technology[J]. IEEE Design & Test, 2023, 41(2): 56-64.
- [7] LIM H, KIM T, KANG S. Reconfigurable multi-bit scan flip-flop for cell-aware diagnosis[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 71(4): 2024-2028.
- [8] FORERO F, GALLIERE J M, RENOVELL M, et al. Detectability challenges of bridge defects in finfet based logic cells[J]. Journal of Electronic Testing, 2018, 34: 123-134.
- [9] DIBAJ R, AL-KHALILI D, SHAMS M, et al. Gate-oxide-short defect analysis and fault modeling in FinFETs[J]. Microelectronics Reliability, 2022, 129: 114464.
- [10] HUANG Y H, LU C H, WU T W, et al. Methodology of generating dual-cell-aware tests[C]//2017 IEEE 35th VLSI Test Symposium (VTS). [S. l.]: IEEE, 2017: 7928925.
- [11] WU T W, LEE D Z, HUANG Y H, et al. Layout-based dual-cell-aware tests [C]//2019 IEEE 37th VLSI Test Symposium (VTS). [S. l.]: IEEE, 2019: 8758646.
- [12] CHANG S W, NIEN Y T, HU Y P, et al. Test methodology for defect-based bridge faults[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2022, 30(7): 975-988.
- [13] POMERANZ I, REDDY S M. On multiple bridging faults [C]//2010 28th VLSI Test Symposium (VTS). [S. l.]: IEEE, 2010: 221-226.
- [14] MAXWELL P C, AITKEN R C. Biased voting; a method for simulating CMOS bridging faults in the presence of variable gate logic thresholds[C]//Proceedings of IEEE International Test Conference (ITC). [S. l.]: IEEE, 1993: 63-72.
- [15] GOEL S K, DEVTA-PRASANNA N, WARD M. Comparing the effectiveness of deterministic bridge fault and multiple-detect stuck fault patterns for physical bridge defects; a simulation and silicon study [C]//2009 International Test Conference. [S. l.]: IEEE, 2009: 5355762.
- [16] MAXWELL P, HAPKE F, RYNNÄNEN M, et al. Bridge over troubled waters; critical area based pattern generation [C]//2017 22nd IEEE European Test Symposium (ETS). [S. l.]: IEEE, 2017: 7968227.
- [17] BERNARDI P, CANTORO R, COYETTE A, et al. Recent trends and perspectives on defect-oriented testing [C]//2022 IEEE 28th International Symposium on On-Line Testing and Robust System Design (IOLTS). [S. l.]: IEEE, 2022: 9897647.
- [18] LEE D Z, CHEN Y Y, WU K C, et al. Improving cell-aware test for intra-cell short defects [C]//2022 Design, Automation & Test in Europe Conference & Exhibition (DATE). [S. l.]: IEEE, 2022: 436-441.
- [19] KUNDU S, BHARGAVA G, ENDRINAL L, et al. Using custom fault models to improve understanding of silicon failures [C]//2022 IEEE International Test Conference (ITC). [S. l.]: IEEE, 2022: 348-354.
- [20] HU M C, GAO Z, MALAGI S, et al. Tightening the mesh size of the cell-aware ATPG net for catching all detectable weakest faults [C]//2020 IEEE European Test Symposium (ETS). [S. l.]: IEEE, 2020: 9131567.
- [21] ZHANG H, LIANG H, HU J, et al. Improvement of cell internal weak defects detection under process variation by optimizing test path and test pattern [J]. Microelectronics Journal, 2023, 138: 105841.

(责任编辑 胡亚敏)