

DOI:10.3969/j.issn.1003-5060.2025.09.008

# DRAM 内置免校准温度传感器设计

汪于皓, 肖昊

(合肥工业大学 微电子学院, 安徽 合肥 230601)

**摘要:**随着工艺制程的不断微缩,动态随机存储器(dynamic random access memory, DRAM)的集成度持续提高,单颗芯片上存储单元的数目呈指数增长,随之带来的是芯片发热严重和泄漏电流增大等问题,为了实时监测内部温度并控制相应的刷新操作,DRAM需要在内部集成温度传感器。文章从DRAM的基本结构、工作原理和实际工作中对内置温度传感器的需求出发,研究不同读出架构的集成式温度传感器的优缺点,考虑到感温精度、感温范围、功耗和成本等因素以及DRAM产品规格说明书中对内置温度传感器的要求,设计出一款基于时域读出架构的免校准低功耗温度传感器。采用19 nm的互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS)工艺进行仿真验证,结果表明,免校准的前提下,该温度传感器在0~110 °C的感温范围内具有3 °C的仿真精度,版图面积为0.189 mm<sup>2</sup>,平均功耗为340.31 μW,感温时间为550 μs。文章设计的温度传感器满足DRAM对于内置温度传感器的要求,且大大降低了DRAM的生产成本。

**关键词:**动态随机存储器(DRAM);温度传感器;免校准;双极结型晶体管(BJT);泄漏电流;刷新

中图分类号:TN433

文献标志码:A

文章编号:1003-5060(2025)09-1208-05

## Design of built-in calibration-free temperature sensor for DRAM

WANG Yuhao, XIAO Hao

(School of Microelectronics, Hefei University of Technology, Hefei 230601, China)

**Abstract:** With the continuous miniaturization of the process technology, the integration of dynamic random access memory (DRAM) keeps increasing, and the number of memory cells on a single memory chip grows exponentially, bringing about the problems such as severe chip heating and increased leakage current. In order to monitor the internal temperature in real time and control the corresponding refresh operation, DRAM requires an integrated temperature sensor. Based on the basic structure and working principle of DRAM and the demand for built-in temperature sensor, this paper studies the advantages and disadvantages of integrated temperature sensor with different readout architectures. Considering the temperature sensing accuracy, temperature sensing range, power consumption and cost, as well as the requirement of built-in temperature sensor in DRAM specification, a calibration-free low-power temperature sensor based on time-domain readout architecture is designed. The simulation was conducted using 19 nm complementary metal oxide semiconductor (CMOS) technology. The results show that the temperature sensor has a simulation accuracy of 3 °C in the temperature sensing range of 0-110 °C without calibration, the layout area is 0.189 mm<sup>2</sup>, the average power consumption is 340.31 μW, and the temperature sensing time is 550 μs. The temperature sensor meets the DRAM requirements for built-in temperature sensor, and greatly reduces the production cost of DRAM.

**Key words:** dynamic random access memory (DRAM); temperature sensor; calibration-free; bipolar junction transistor (BJT); leakage current; refresh

收稿日期:2024-01-22;修回日期:2024-03-28

基金项目:国家自然科学基金资助项目(61974039)

作者简介:汪于皓(1997—),男,山东烟台人,合肥工业大学硕士生;

肖昊(1982—),男,安徽合肥人,博士,合肥工业大学教授,博士生导师,通信作者, E-mail: xiaohao@hfut.edu.cn.

随着人工智能产业的发展和大数据时代的到来,作为信息媒介的存储芯片逐渐发挥出更加重要的作用。其中,动态随机存储器(dynamic random access memory, DRAM)因其相对较快的存取速度、较高的密度、较低的每比特成本被广泛应用于大型计算机、个人计算机、电信和航空电子设备中作为主要存储<sup>[1]</sup>。典型的 DRAM 基本单元如图 1 所示,由 1 个场效应晶体管和 1 个存储电容器组成 1T-1C 结构。字线控制场效应晶体管的打开与关闭;当晶体管打开时,数据从位线写入到存储电容器中或者数据从存储电容器被读出到位线上;当晶体管关闭时,数据以电荷的形式存储在电容器中。由于电荷会随着时间的推移而泄漏,因此,必须定期刷新 DRAM 以保存存储的数据<sup>[2]</sup>。其中,栅诱导漏极泄漏电流(gate-induced drain leakage, GIDL)在泄露电流中占主导地位<sup>[3]</sup>,而 GIDL 的相关影响因素在文献[4-9]中进行了定性分析,除了栅极氧化层厚度、沟道掺杂浓度、源漏电压等,温度也是非常重要的因素,温度升高,泄漏电流增大,相应地则需要更高的刷新频率来保存 DRAM 的内部数据。

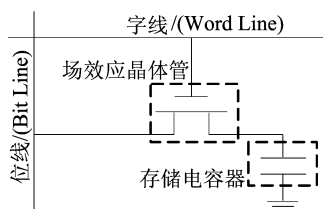


图 1 DRAM 基本单元

目前主流的集成式温度传感器架构按照温度信息数字化所在的信号域分成电压/电流量、时域/频域两大类、四小类<sup>[10]</sup>。文献[11-14]对不同信号域读出的温度传感器架构进行了“流片”验证与性能对比,其中基于时域读出架构的温度传感器方案具有便于后续数字信号处理、电路结构简洁、可避免复杂模拟电路设计的特点,并且随着工艺节点缩小、供电电压降低,其面积和功耗等指标的优势会更加明显。

作为 DRAM 内置温度传感器,性能指标除了分辨率、感温精度、转换速率和功耗,成本(包括电路复杂度、版图面积、工艺可迁移性、校准成本等方面)也是非常重要的一个因素,各性能指标之间是互相权衡的关系。文献[14]中的方案虽然功耗低,但是需要设计大量温度查找表电路,且因为线性度较差需要两点校准,所以不适合作为量产产品中的内置温度传感器方案。

本文根据实际应用需求设计出一款基于时域读出架构的低功耗免校准温度传感器,基于 19 nm 的互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS)工艺可达到校准前在 0~110 °C 的感温范围内具备 3 °C 以内的仿真精度,满足 DRAM 对内置温度传感器的要求,并极大地降低了生产成本,相较于文献[11-14]方案更加适用于 DRAM 中。

## 1 系统设计

本文提出的应用于 DRAM 的内置免校准温度传感器的系统结构如图 2 所示。

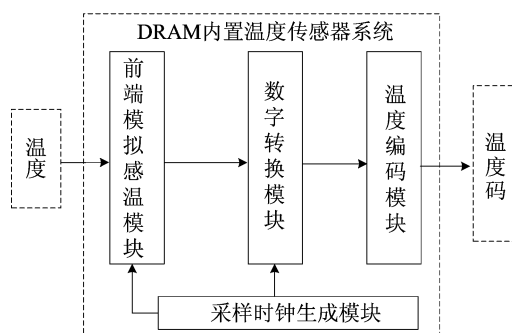


图 2 DRAM 内置免校准温度传感器的系统结构框图

整个感温系统主要包括采样时钟生成模块、前端模拟感温模块、数字转换模块和温度编码模块。采样时钟生成模块选用环形振荡器产生频率可调的采样时钟,通过改变开关的状态可以得到频率范围为 14~228 MHz 的采样时钟。前端模拟感温模块利用双极结型晶体管(bipolar junction transistor, BJT)的温度特性,将温度信息转化成相应的电流信息( $I_{PTAT}$  和  $I_{CTAT}$ , 即与绝对温度正相关的电流和与绝对温度互补的电流),并利用电流镜电路将温度特性互补的 2 个电流相减,得到高温灵敏度电流对电容进行充放电;电容器的上极板和参考电压分别连接到比较器的正负端进行比较,比较的结果作为反馈信号来控制电容器进行充电还是放电。数字转换模块利用频率可调的采样时钟,对前端模拟感温模块产生的反馈信号进行采样,将反馈信号的占空比信息转化为数字量输出。温度编码模块根据前端输入的数字量以及感温需求对不同的温度区间进行编码,输出温度码。

## 2 主要模块电路设计

### 2.1 采样时钟生成模块电路

采样时钟的频率与采样精度、感温时间以及

功耗等相关。环形振荡器作为采样时钟生成电路,不仅电路简单、时钟稳定,而且谐波含量较低。本文采用的采样时钟生成电路如图 3 所示。

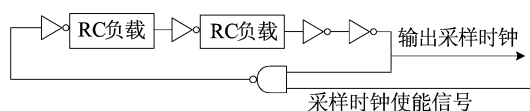


图 3 采样时钟生成模块电路

该采样时钟生成电路通过开关转换调节接入回路的电阻、电容负载,从而调节输出的时钟频率。

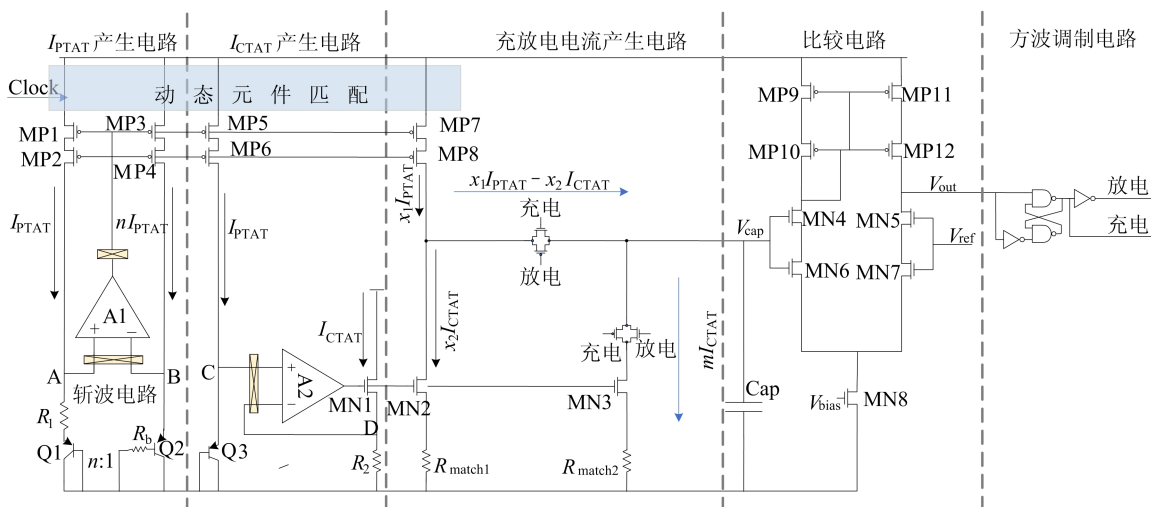


图 4 模拟感温模块电路

运算放大器 A1 起到“钳位”的作用,使两输入端口 A、B 的电位相同,可以得到:

$$I_{PTAT} = \frac{(1+\beta)}{\beta} \frac{\Delta V_{BE}}{R_1} \quad (1)$$

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{kT}{q} \ln n \quad (2)$$

其中: $\beta$  为三极管的直流电流增益; $V_{BE}$  为三极管的基极和发射极间的电压; $\Delta V_{BE}$  为不同三极管的基极和发射极间的电压之差; $kT/q$  表示热电压; $n$  为三极管 Q1 与 Q2 的面积之比。

产生的  $I_{PTAT}$  通过电流镜电路镜像到 Q3 的集电极,产生  $V_{BE3}$ , 经过运算放大器 A2 起到“钳位”的作用,C 端与 D 端的电位相同,可以得到:

$$I_{CTAT} = V_T \frac{1}{R_2} \ln \left( \frac{\Delta V_{BE}}{R_b I_s} \right) \quad (3)$$

其中: $V_T = kT/q$ ;  $I_s$  为三极管饱和电流。

产生的  $I_{PTAT}$  与  $I_{CTAT}$  由电流镜电路进行比例复制,在充放电电流产生部分进行组合可以得到更高温度系数的充放电电流。根据戴维南定理,

## 2.2 模拟感温模块电路

本文模拟感温模块电路如图 4 所示。

该模块将温度信息转化成占空比信息,并且输出的占空比调制方波后续可以由数字电路直接处理。该模块电路由  $I_{PTAT}$  产生电路、 $I_{CTAT}$  产生电路、充放电电流产生电路、比较电路和方波调制电路 5 个部分组成。同时,为减小运算放大器失调电压和低频噪声的影响,加入斩波电路;为减小有限电流增益  $\beta$  的影响,加入补偿电阻  $R_b = R_1/n$ ;为减小电流镜的失配,采用动态元件匹配方案,匹配时钟由采样时钟生成电路提供。

对积分电容的充电电流和放电电流分别为:

$$I_C = x_1 I_{PTAT} - x_2 I_{CTAT} \quad (4)$$

$$I_D = m I_{CTAT} \quad (5)$$

在多个周期的反馈控制下,积分电容上的平均电荷为 0,即

$$N \frac{x_1 I_{PTAT} - x_2 I_{CTAT}}{C_s} = M \frac{m I_{CTAT}}{C_s} \quad (6)$$

其中: $x_1$ 、 $x_2$ 、 $m$  分别为电流镜的比例系数; $N$  为比较器输出为低电平反馈控制充电的时间; $M$  为高电平反馈控制放电的时间; $C_s$  为积分电容的电容。得到输出  $V_{out}$  信号的占空比为:

$$\frac{M}{M+N} = \frac{x_1 I_{PTAT} - x_2 I_{CTAT}}{(x_1 I_{PTAT} - x_2 I_{CTAT}) + m I_{CTAT}} \quad (7)$$

通过调整  $x_1$ 、 $x_2$ 、 $m$  的值,可使分母项与温度近似无关,从而得到占空比与温度线性相关的  $V_{out}$  信号。设置三极管的面积之比  $n$  为 8,并根据基于 19 nm 的 CMOS 工艺的仿真结果,本文将  $x_1$  设为 1.450,  $x_2$  设为 0.500,  $m$  设为 1.225。

在方波调制电路中,通过 RS 触发器,将比较

电路的输出信号  $V_{out}$  调制为方波输出,方便后续的占空比信号采样。

### 2.3 数字转换模块电路

数字转换模块电路如图 5 所示。该模块的功能是将模拟感温模块输出的随温度变化的占空比信息转化为 12 bit 的数字码流。参考时钟作为  $clk\_in1$  信号,驱动 13 位计数器累加,计数器的输出值与预设的阈值在数字比较单元进行比较,当计数器的值与阈值相等时输出 full 信号。与此同时,感温模块输出的调制方波被参考时钟进行采样,作为  $clk\_in2$  信号,驱动 12 位计数器的值累加。该 12 位计数器的值作为输入连接到 D 触发器的输入端口,当 13 位计数器的输出值达到阈值后,会产生 full 信号作为触发器的时钟,将此时 12 位计数器输出的值锁存,并将该模块下的所有计数器值清零,开始下一周期的温度监测。

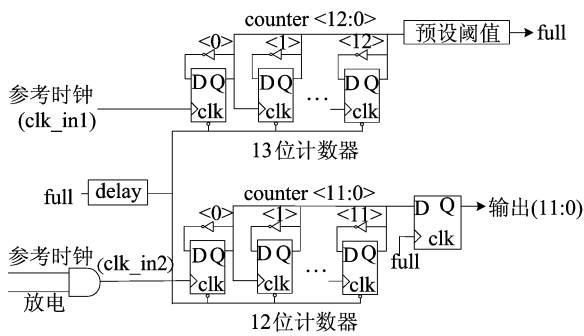


图 5 数字转换模块电路

## 3 版图设计与仿真分析

本文 DRAM 免校准内置温度传感器的完整版图如图 6 所示。

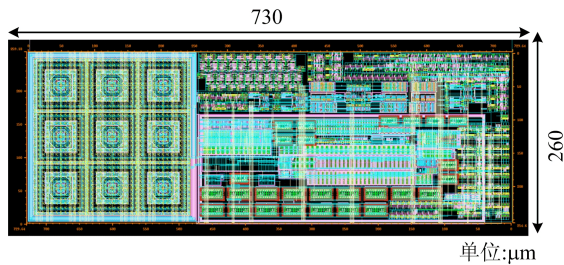


图 6 DRAM 内置免校准温度传感器版图

在  $-20 \sim 120 \text{ }^\circ\text{C}$  温度区间内,基于 19 nm 的 CMOS 工艺对温度传感器的模拟感温前端进行温度扫描的后仿结果如图 7 所示。由图 7 可知:在感温区间内,积分电容充电电流的温度灵敏度相对于  $I_{PTAT}$  提高了 2.4 倍;积分电容的充电电流

和放电电流与温度均呈现良好的线性关系。

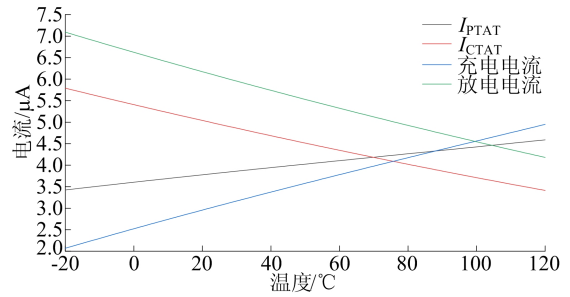


图 7 模拟感温前端电流的温度扫描结果

数字转换模块输出量随温度的变化曲线如图 8 所示,可以看出在不同的工艺角下两者均具有良好的线性关系。根据仿真结果,将某一温度  $T_x$  下数字转换模块输出量的下限作为该温度的阈值  $T_h$ ,当数字转换模块的输出量超过该阈值  $T_h$  时即认为当前温度超过  $T_x$ 。将温度阈值线性拟合后,回归方程为:

$$T_h = 17.227T_x + 1\ 698.6 \quad (8)$$

由回归方程可知,数字转换模块输出的数字量的温度灵敏度为  $17.227 \text{ }^\circ\text{C}^{-1}$ 。

特定温度下,由于工艺角影响造成的数字转换模块输出量的偏差如 9 所示。

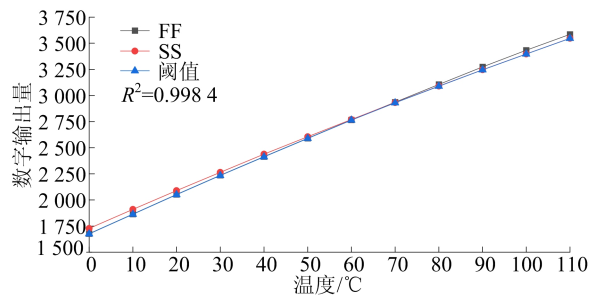


图 8 数字转换模块输出量随温度变化的曲线

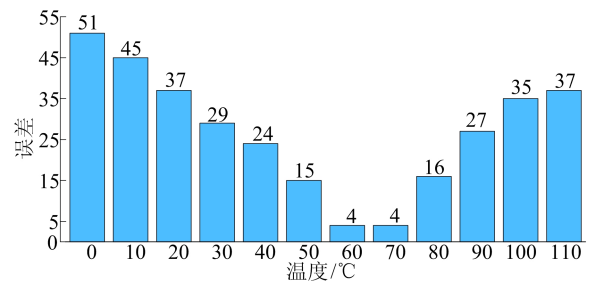


图 9 工艺角影响造成的数字转换模块输出量的偏差

由图 9 可知,在  $0 \sim 110 \text{ }^\circ\text{C}$  感温范围内,从  $60 \text{ }^\circ\text{C}$  向两侧输出量的偏差逐渐增大。偏差在  $0 \text{ }^\circ\text{C}$  时最大,为 51,根据式(8),对应的温度偏移

量为 2.96 °C。由以上仿真结果可得,未校准情况下,在 0~110 °C 的感温范围内,本文 DRAM 内置温度传感器的感温误差在 3 °C 以内。

本文与各文献集成内置温度传感器的性能对

比见表 1 所列。

由表 1 可知,本文温度传感器工作电压较低,感温时间快,并且在误差允许范围内可以免校准,非常适合作为 DRAM 内置温度传感器。

表 1 本文与各文献的集成内置温度传感器的性能对比

传感器	类型	电源电压/V	感温时间/ms	感温范围/°C	校准方式	感温误差/°C
本文	BJT	0.95~1.25	0.55	0~110	免校准	±3
文献[11]	MOS	0.35	33	0~100	两点校准	±3
文献[12]	BJT	1.7~2.2	40	-55~125	单点校准	±0.1
文献[14]	MOS	0.8~1.3	1.31	-40~125	两点校准	±0.7

## 4 结 论

相较于传统基于时域读出的温度传感器,本文设计的温度传感器具有低功耗和免校准的特点,可集成到 DRAM 中实时监测芯片内部温度。采用 19 nm 的 CMOS 工艺进行仿真验证,结果表明,该温度传感器达到了 DRAM 内置温度传感器的性能指标,在具备稳定性好、面积小、功耗低、感温快速等特点的同时大大降低了生产成本,有望应用于其他对于温度精度要求不高的系统级芯片中。

## [参 考 文 献]

- [1] SHARROUSH S M. A novel low-latency DRAM based on the bitline-discharge rate[J]. International Journal of Electronics, 2018, 105: 2009-2032.
- [2] BHATI I, CHANG M T, CHISHTI Z, et al. DRAM refresh mechanisms, penalties, and trade-offs[J]. IEEE Transactions on Computers, 2016, 65(1): 108-121.
- [3] YU J, AFLATOONI K. Leakage current in DRAM memory cell [C]//16th Biennial University/Government/Industry Microelectronics Symposium. [S. l.]: IEEE, 2006: 191-194.
- [4] SANKPAL A S, PETE D J. Study and analysis of leakage current and leakage power in 1T1C DRAM at nano scale technology[C]//4th International Conference on Electronics, Communication and Aerospace Technology (ICECA). [S. l.]: IEEE, 2020: 99-104.
- [5] CHANG M, LIN J, SHIH S, et al. Impact of gate-induced drain leakage on retention time distribution of 256 Mbit DRAM with negative wordline bias[J]. IEEE Transactions on Electron Devices, 2003, 50(4): 1036-1041.
- [6] CHO M H, JEON N, KIM T Y, et al. An innovative indicator to evaluate DRAM cell transistor leakage current distribution[J]. IEEE Journal of the Electron Devices Society, 2018, 6: 494-499.
- [7] DE SOUZA M, RODRIGUES J C, MARINIELLO G, et al.

An experimental evaluation of fin width and low-temperature influence on GIDL in stacked SOI nanowires[C]//2022 IEEE 15th Workshop on Low Temperature Electronics (WOLTE). [S. l.]: IEEE, 2022: 1-4.

- [8] KIM Y P, KIM S T, MOON J T, et al. Junction leakage current degradation under the offstate bias-temperature stress: a new reliability assessment method for high-density DRAMs[J]. IEEE Transactions on Device and Materials Reliability, 2001, 1(2): 104-108.
- [9] DE SOUZA M, CERDEIRA A, ESTRADA M, et al. Analysis of the gate-induced drain leakage of SOI nanowire and nanosheet mos transistors at high temperatures[C]//2022 IEEE Latin American Electron Devices Conference (LAE-DC). [S. l.]: IEEE, 2022: 1-4.
- [10] TANG Z, FANG Y, YU X P, et al. A cmos temperature sensor with versatile readout scheme and high accuracy for multi-sensor systems[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(11): 3821-3829.
- [11] ZAMBRANO B, GARZÓN E, STRANGIO S, et al. A 0.05 mm<sup>2</sup>, 350 mV, 14 nW fully-integrated temperature sensor in 180-nm CMOS[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 69(3): 749-753.
- [12] TOTH N G, TANG Z, SOMEYA T, et al. A BJT-based temperature sensor with ±0.1 °C (3σ) inaccuracy from -55 °C to 125 °C and a 0.85 pJ. K2 resolution fom using continuous-time readout [C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). [S. l.]: IEEE, 2023: 358-360.
- [13] KIM J, LEE S, LEE M. A 0.9 V self-referenced resistor-based temperature sensor with -0.62/+0.81 °C (3σ) inaccuracy[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(12): 4319-4323.
- [14] TANG Z, FANG Y, SHI Z, et al. A 1770 μm<sup>2</sup> leakage-based digital temperature sensor with supply sensitivity suppression in 55-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2020, 55(3): 781-793.

(责任编辑 胡亚敏)