

DOI:10.3969/j.issn.1003-5060.2025.04.008

一种支持快速流控的 SAS-SATA 传输设计方法

昂 扬¹, 黄正峰¹, 王芳慧¹, 郭二辉², 田 伟², 鲁迎春¹

(1. 合肥工业大学 微电子学院, 安徽 合肥 230601; 2. 无锡众星微系统技术有限公司, 江苏 无锡 214000)

摘 要:针对在服务器领域中使用串行连接 SCSI 接口(serial attached small computer system interface, SAS) 硬盘存储冷数据面临的高成本问题, 文章设计一种基于串行 ATA(serial advanced technology attachment, SATA) 协议与 SAS 协议的数据传输方法 SATA Bridge, 动态地实现 SAS 与 SATA 之间的数据传输。该方法通过一种快速响应的流控机制, 可在 4 个时钟周期后完成数据传输的响应, 大幅度缓解数据帧接收端的数据容纳压力, 并支持在 12.0 Gib/s 与 1.5 Gib/s 的最大速率差下实现数据传输。在 VCS, Verdi 上通过通用验证方法学(universal verification methodology, UVM) 和 SystemVerilog 对该方法进行验证, 同时进行逻辑综合和形式验证, 结果表明 SATA Bridge 方法可行, 最后通过布局布线得到 SATA Bridge 方法的整体布局。文章提出的数据传输方法对 SAS-SATA 桥接芯片的设计具有一定的参考意义。

关键词: SATA 3.0 协议; SAS 3.0 协议; 桥接芯片; 流控; 速率协商

中图分类号: TN402 **文献标志码:** A **文章编号:** 1003-5060(2025)04-0482-06

A SAS-SATA transmission design method that supports fast flow control

ANG Yang¹, HUANG Zhengfeng¹, WANG Fanghui¹,
GUO Erhui², TIAN Wei², LU Yingchun¹

(1. School of Microelectronics, Hefei University of Technology, Hefei 230601, China; 2. Wuxi Stars Micro System Technologies Co., Ltd., Wuxi 214000, China)

Abstract: In view of the high cost of cold data storage faced by hard disks with serial attached small computer system interface(SAS) in the server field, this paper designs and simulates a data transmission system based on serial advanced technology attachment(SATA) protocol and SAS protocol, namely SATA Bridge, which dynamically completes the data transmission between SAS and SATA. The system adopts a fast response flow control mechanism to respond under the delay of four clock cycles when transmitting data, which greatly alleviates the data holding pressure at the data frame receiving side. Besides, the system can realize data transfer at the maximum rate difference of 12.0 Gib/s to 1.5 Gib/s. Universal verification methodology(UVM) and SystemVerilog are used for verification on VCS and Verdi. Logic synthesis and formal verification are also performed, which verifies the feasibility of the system. Finally, the overall floorplan of the system is obtained through placement and routing. The system proposed in this paper has certain reference significance for the design of SAS-SATA bridge chip.

Key words: SATA 3.0 protocol; SAS 3.0 protocol; bridge chip; flow control; rate negotiation

收稿日期: 2023-05-13; **修回日期:** 2023-06-08

基金项目: 国家自然科学基金资助项目(62274052); 模拟集成电路国家重点实验室基金资助项目(6142802200506)

作者简介: 昂 扬(1999—), 男, 安徽巢湖人, 合肥工业大学硕士生;

黄正峰(1978—), 男, 安徽无为, 博士, 合肥工业大学教授, 博士生导师;

鲁迎春(1979—), 男, 安徽桐城人, 博士, 合肥工业大学副教授, 硕士生导师, 通信作者, E-mail: luyingchun@hfut.edu.cn.

0 引 言

信息技术的发展和数据的爆发式增长,使得高速可靠的存储需求更加迫切。串行连接 SCSI 接口(serial attached small computer system interface,SAS)是目前服务器领域中常用的存储接口,其最高速率可达近 24 Gib/s^[1]。冷数据是目前服务器领域中常见的问题,若使用 SAS 硬盘存储冷数据会导致成本较高。相较于 SAS 硬盘,串行 ATA(serial advanced technology attachment,SATA)硬盘虽然性能相对较弱(SATA 硬盘最高速率为 6 Gib/s^[2]),但成本更低,此外 SAS 协议中的 SATA 隧道协议(serial ATA tunneling protocol,STP)支持 SATA 硬盘接入 SAS 标准^[3],故厂商希望将 SATA 硬盘代替 SAS 硬盘存储冷数据。

国内外关于 SAS-SATA 桥接芯片的研究较少。文献[1]讨论了 SAS 4.0 协议在设计链路层时可能面临的挑战;文献[2]设计了 SATA 3.0 主机端控制器;文献[3]设计了基于现场可编程门阵列(field-programmable gate array,FPGA)的 SAS 控制器;文献[4]设计了 SAS-SATA 桥接芯片的整体固件。

本文设计一种 SAS 与 SATA 之间的数据传输方法 SATA Bridge,并通过硬件实现。该方法可以完成 SAS 领域中 SATA 硬盘的接入,即片上系统(system on chip,SOC)先将数据通过主机总线适配器(host bus adapter,HBA)传输给 SATA Bridge,SATA Bridge 再将数据传输给 SATA 硬盘。数据传输过程中,SATA Bridge 通过一种快速响应的流控机制,在 4 个时钟周期的延迟下实现对流控机制的响应;并通过速率匹配机制和速率容忍机制实现对工作环境具有较强的适应性,可以在 12.0 Gib/s 与 1.5 Gib/s 的速率差下实现数据传输。SATA Bridge 通过逻辑综合和形式验证,可以实现在 300 MHz 下稳定工作,并可通过布局布线得到其布局。

1 整体设计方案

本文设计的 SATA Bridge 整体方案如图 1 所示。HBA 和 SATA 通过串行器/解码器(serializer/deserializer,SerDes)与本文 SATA Bridge 进行连接;速率匹配和速率容忍是使 SATA Bridge 在可能的情况下仍能进行工作;跨时钟域设计是为了解决在数据传输过程中可能存在的内

部工作时钟与 SerDes 时钟不在同一时钟域的问题,采用 2 个异步先进先出(first input first output,FIFO)存储器实现多比特的跨时钟域传输^[5],一个异步 FIFO 存储器指向本文设计内部,另一个异步 FIFO 指向 SerDes 方向;2 个状态机分别负责 HBA 与 SATA 的工作交互,并会互相影响,且会控制内部的数据帧缓存模块进行数据帧的收发;数据帧缓存模块有 2 个同步 FIFO 存储器,一个负责从 HBA 到 SATA 硬盘的数据帧传输流程,另一个负责从 SATA 硬盘到 HBA 的数据帧传输流程。

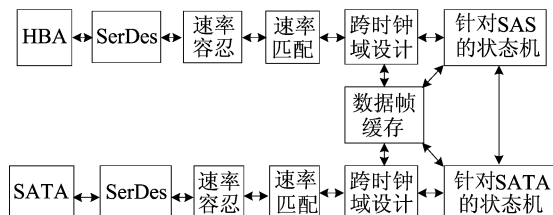


图 1 SATA Bridge 整体方案

2 SATA Bridge 设计

2.1 原语介绍

SATA 协议^[6]规定原语为 SATA 接口在传输过程中具有特殊意义的双字。SATA 协议原语及其功能描述见表 1 所列。

表 1 SATA 协议原语及其功能描述

原语	功能描述
ALIGN _p	物理层依靠 ALIGN _p 进行数据对齐
CONT _p	避免相同原语的重复发送
SYNC _p	同步原语,表明目前处于 IDLE 状态
X-RDY _p	发送数据就绪
R-RDY _p	接收数据就绪
SOF _p	数据帧的起始
EOF _p	数据帧的结束
R-OK _p	接收的数据正确
R-ERR _p	接收的数据出现错误
R-IP _p	正在接收数据
WTRM _p	数据帧结束传输后,发射机在等待来自接收机的响应时发送
HOLD _p	用于启动流控机制,暂停传输数据帧
HOLDA _p	回应 HOLD _p
DMAT _p	用于提醒数据发送方暂停 DMA
PMREQ-P _p	请求进入 Partial 模式
PMREQ-S _p	请求进入 Slumber 模式
PMACK _p	同意进入对应模式的申请
PMNAK _p	拒绝进入对应模式的申请

2.2 流控机制

SATA 协议中对数据帧进行如下定义:数据

帧包括 SOF_p 、帧信息结构 (frame information structure, FIS)、循环冗余校验 (cyclic redundancy check, CRC)^[7-8] 和 EOF_p , CRC 字段在 SATA 协议中为双字大小, 且需在 EOF_p 之前。数据帧的数据量大小取决于 FIS 的大小, 如果 FIS 所含数据量过大, 可能会使数据溢出从而导致数据丢失。SATA 协议中, FIS 除去 FIS Type 相关内容之外不得超过 2 048 个双字。为了解决可能存在的溢出情况, 设计如下流控机制。

1) 通过数据帧缓存模块中内同步 FIFO 存储器的空满条件进行判断: 当内部 FIFO 存储器空时, SATA Bridge 暂停传输数据转而发送 $HOLD_p$, 当内部 FIFO 存储器不空时, 则暂停发送 $HOLD_p$ 并继续传输数据; 当内部 FIFO 存储器快满时, SATA Bridge 无法继续存储数据, 故需要向 SATA Bridge 发送数据的一端发送 $HOLD_p$ 以暂停数据向 SATA Bridge 传输, 当内部 FIFO 存储器空时, 则暂停发送 $HOLD_p$ 以继续接收数据。

2) 通过跨时钟域设计模块中内异步 FIFO 存储器的空满条件进行判断: 当指向 SerDes 的 FIFO 存储器快满时, 向状态机发送 $HOLD_p$ 以暂停数据帧向对应 FIFO 存储器传输, 该 FIFO 存储器仍会向 SerDes 传输数据帧; 当该 FIFO 存储器快空时, 则暂停 $HOLD_p$ 向状态机的传输。

为了实现 SATA Bridge 预期的快速响应流控机制设计, 当 SATA Bridge 在向 SATA 硬盘传递数据帧时, 若接收到 SATA 硬盘的 $HOLD_p$, 可在接收到 $HOLD_p$ 时产生信号 $serdes2fifo_hold_en$, 并对该信号进行跨时钟域^[9] 处理, 使之可以作用于指向 SATA 硬盘的异步 FIFO, 该信号会使对应的异步 FIFO 存储器暂停数据帧的传输并回复 $HOLDA_p$, 此情况下对应异步 FIFO 存储器不会接收来自状态机的 $HOLDA_p$ 。 $HOLD_p$ 相关信号跨时钟域处理后的时序如图 2 所示。

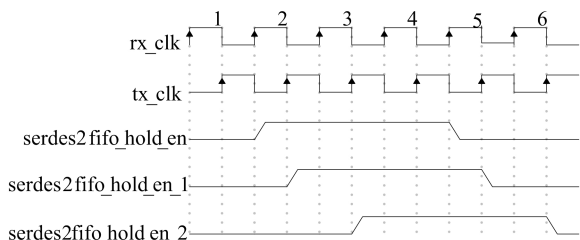


图 2 $HOLD_p$ 相关信号跨时钟域处理的时序

相较于常规的流控机制响应设计 (接收

$HOLD_p$ 使得该 $HOLD_p$ 作用于状态机, 等待状态机的指令回复 $HOLDA_p$, $HOLDA_p$ 再通过异步 FIFO 存储器响应流控机制), SATA Bridge 中快速响应的流控机制设计可以缩短此过程所耗时间, 大幅度缓解 SATA 硬盘的数据容纳压力。当 SATA Bridge 向 SAS HBA 传递数据帧时, 如遇上述情况, 可类比进行机制的触发。

2.3 状态机

SATA Bridge 各个部分需要状态机配合以实现其功能, 数据帧正常收发时的状态机如图 3 所示。

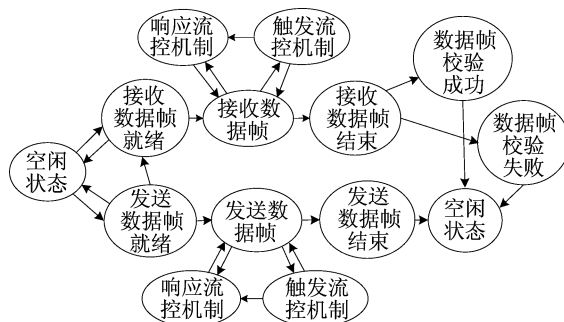


图 3 SATA Bridge 收发数据帧时的状态机

图 3 展示了 SATA Bridge 中 2 个状态机在接收数据帧和发送数据帧时可能面对的情况, 其中在 SATA 协议中 X_RDY_p 与 R_RDY_p 的处理类似握手机制, 为了避免 2 个状态机均处在发送 X_RDY_p 的情况, 设置了由发送数据帧就绪状态至接收数据帧就绪状态的跳转。当 SATA Bridge 的一个状态机完成数据帧的全部接收且另一个状态机完成数据帧的全部发送时, 接收数据帧的 HBA/SATA 会进行数据帧的校验并返回 R_OK_p/R_ERR_p , 该原语会直接作用负责接收数据帧的状态机, 使之完成对应跳转并发送 R_OK_p/R_ERR_p 给发送数据帧的 SATA/HBA, 在接收到该原语之后 SATA/HBA 会发送 $SYNC_p$, 则 SATA Bridge 内部的状态机均会跳转至空闲状态。

2.4 速率匹配与速率容忍

SATA Bridge 与 HBA 和 SATA 相连, 并进行如下定义: SerDes 工作速率为 SerDes 与 SATA Bridge 实际交互的速率; HBA 工作速率为 HBA 内部工作速率; SATA 的工作速率为 SATA 内部工作速率。本文设计始终处于 300 MHz 的时钟频率下, 其中 HBA 数据传输速率最高为 12.0 Gib/s、最低为 1.5 Gib/s, SATA 数据传输

速率最高为 6.0 Gib/s、最低为 1.5 Gib/s。

SATA Bridge 工作场景下,HBA 的工作速率不会超过 SerDes 的工作速率。若 HBA 的工作速率与 SerDes 的工作速率不匹配,SATA Bridge 与 HBA 之间传输的数据帧可能会被过采样或者漏采样。SATA Bridge 通过速率匹配解决该问题:根据 HBA 与 SerDes 的工作速率比在有效双字之间插入 ALIGN_p,当两者工作速率相等时,无需插入;当 HBA 的工作速率与 SerDes 的工作速率为 1:2 时,则会进行 1 个有效双字与 1 个 ALIGN_p 的交叉传输。

不同设备由于体制差异可能会存在频偏,频偏会导致数据丢失。SATA Bridge 通过速率容忍解决该问题:在有效双字传输过程中,ALIGN_p 在原语交互中无实际意义,故可以在有限双字传输之后插入 ALIGN_p,代替有效双字的丢失。

3 实验结果及分析

在 Linux 系统下,通过电子设计自动化(electronic design automation,EDA)工具 VCS、Verdi 并结合 SystemVerilog、通用验证方法学(universal verification methodology,UVM)对本文设计的数据传输方法进行仿真和验证,在仿真中不考虑 SerDes 延迟。

在最大速率差的条件下(HBA 的工作速率为 12.0 Gib/s,SATA 的工作速率为 1.5 Gib/s),HBA 向 SATA 传输数据帧,整个数据帧传输的仿真波形如图 4 所示。SATA 在接收到全部数据帧时返回 R_OK_p,表明数据帧传输无误。

当 HBA 工作速率为 12.0 Gib/s、SATA 工作速率为 6.0 Gib/s 时,响应流控机制的仿真波形如图 5 所示。

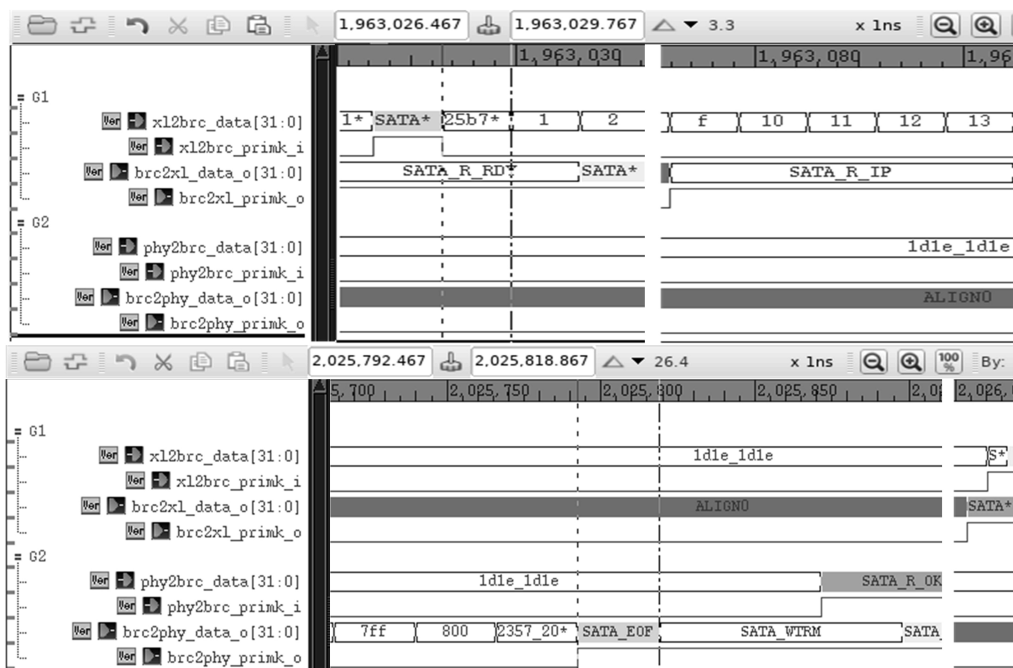


图 4 12.0 Gib/s 与 1.5 Gib/s 最大速率差下的 2 048 个双字传输仿真波形

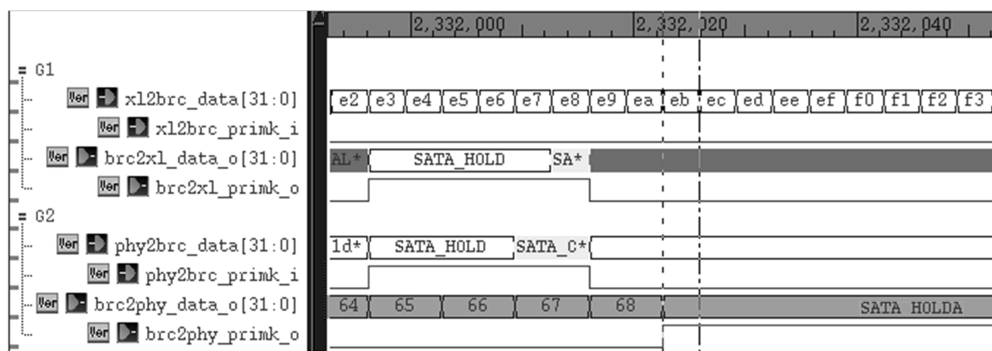


图 5 流控机制仿真波形

图 5 中, HBA 向 SATA 传输数据, SATA 因内部工作状态的原因需启动流控机制, 此时向 SATA Bridge 发送 $HOLD_p$, SATA Bridge 接收到 $HOLD_p$ 之后按照快速响应流控机制设计开始暂停数据帧的传输并回复 $HOLDA_p$ 。从图 5 可以看出, 在接收到 $HOLD_p$ 之后, SATA Bridge 经 4 个时钟周期的延迟就回复了 $HOLDA_p$, 这样可以大幅度缓解 SATA 在接收数据时启动流控机制的数据容纳压力。

HBA 端 SerDes 工作速率可能为 12.0、6.0、3.0、1.5 Gib/s, HBA 内部工作速率不会超过 SerDes 的工作速率; SATA 端 SerDes 的工作速率始终与内部工作速率相同, 有 6.0、3.0、1.5 Gib/s 3 种情况。由此可知累积共有 $3 \times (4 + 3 + 2 + 1)$ 种(即 30 种)情况。

本文进行多次 SATA Bridge 数据帧传输功能仿真验证: SAS 进行 14 265 次; SATA 进行 20 382 次; 累积共进行 34 647 次数据帧传输功能验证, 且全部传输成功。说明 SATA Bridge 在上述 30 种情况下都可以正确协助 SAS 与 SATA 之间进行数据帧传输。

逻辑综合和形式验证在数字集成电路设计的前端流程中是非常重要的步骤。逻辑综合的主要目的是将硬件描述语言描述的电路根据特定的逻辑功能要求, 基于指定的工艺库转换成门级网表; 形式验证则可以将寄存器转换层(register transfer level, RTL)代码与逻辑综合生成的门级网表进行比对, 判断两者在逻辑上是否等价。本文基于 Synopsys 公司的 Design Compiler 工具(DC)对 RTL 代码进行逻辑综合, 并通过 Synopsys 公司的 Formality 工具对 RTL 代码和门级网表进行形式验证。

在逻辑综合过程中, 本文使用 TSMC 12 nm 工艺库, 通过 Synopsys 约束(Synopsys design constraint, SDC)文件对 SATA Bridge 进行约束。SATA 协议遵守 8 B/10 B 编码^[10-11], 在逻辑综合中, 将 SATA Bridge 的时钟和 HBA 端的时钟约束在 300 MHz 下, SATA 硬盘侧的时钟约束在 150 MHz 下; 除此之外, 对时钟进行 0.12 ns 的上升时间约束、0.12 ns 的下降时间约束、0.20 ns 的建立时间约束、0.01 ns 的保持时间约束、0.8 ns 的延时约束。

通过逻辑综合发现无时序违例, 并得到 SATA Bridge 的时钟、面积、功耗数据, 统计结果见表 2 所列。

表 2 SATA Bridge 的时钟、面积、功耗统计结果

性能指标	数值
SATA Bridge 时钟频率/MHz	300
SAS 时钟频率/MHz	300
SATA 时钟频率/MHz	150
组合逻辑面积/ μm^2	4 025.770 045
非组合逻辑面积/ μm^2	24 037.576 775
缓冲器/反相器面积/ μm^2	150.183 941
总功耗/mW	1.145 8

在形式验证过程中, 将 SATA Bridge 的 RTL 代码与逻辑综合生成的网表进行逻辑上的比对, 结果见表 3 所列。由表 3 可知, 在形式验证中比对了 26 467 个验证点, 没有未通过的验证点, 因此判断两者逻辑上一致。其中 Unread 项是因为 DC 在逻辑综合时对 RTL 代码有所优化。

表 3 形式验证结果

验证点类型	数目
Passing	26 467
Failing	0
Unread	70

本文通过布局布线工具完成对 SATA Bridge 的布局布线, 经由工具处理之后得到 SATA Bridge 的布局, 如图 6 所示。

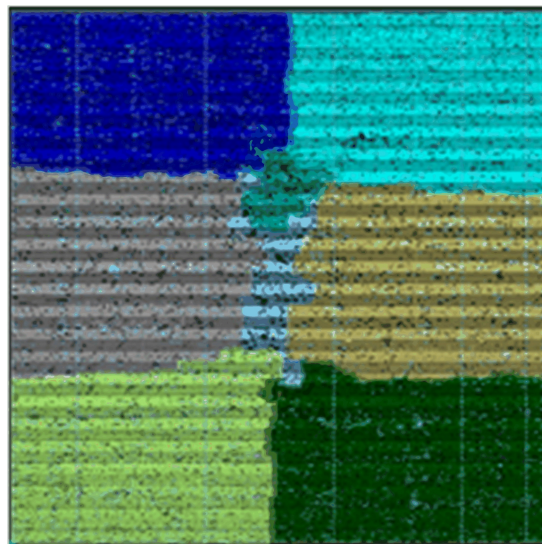


图 6 本文 SATA Bridge 布局

4 结 论

本文基于 SATA 协议和 SAS 协议设计了一种高速的数据传输方法 SATA Bridge, 并通过硬
(下转第 494 页)

- 建设中的公众参与影响因素研究[J]. 生态经济, 2017, 33(7):213-217.
- [17] 朱琳,洪亮. 基于结构方程模型的公众参与邻避冲突影响因素研究[J]. 中国管理信息化, 2020, 23(9):174-176.
- [18] FU L, YANG Q, LIU X, et al. Three-stage model based evaluation of local residents' acceptance towards waste-to-energy incineration project under construction: a Chinese perspective [J]. Waste Management, 2021, 121(9):105-116.
- [19] 刘楠,孙钰,李向春. 基于F-AHP的城市生活垃圾焚烧处理项目邻避效应综合评价[J]. 北京城市学院学报, 2018(3):1-5.
- [20] 李小敏,胡象明. 邻避现象原因新析:风险认知与公众信任的视角[J]. 中国行政管理, 2015(3):131-135.
- [21] ZHENG G, LIU W. Same projects, different endings: comparative case studies on NIMBY facility construction in Beijing[J]. Cities, 2017, 73(3):63-70.
- [22] ACHILLAS C, VLACHOKOSTAS C, MOUSSIOPOULOS N, et al. Social acceptance for the development of a Waste-to-Energy plant in an urban area: application for Thessaloniki, Greece[J]. Resources Conservation and Recycling, 2011, 55(9):857-863.
- [23] VLACHOKOSTAS C, ACHILLAS C, MICHAILEDOU A V, et al. Externalities of energy sources: the operation of a municipal solid waste-to-energy incineration facility in the greater Thessaloniki area, Greece[J]. Waste Management, 2020, 113:351-358.
- [24] LIU Y, SUN C, XIA B, et al. Impact of community engagement on public acceptance towards waste-to-energy incineration projects: empirical evidence from China[J]. Waste Management, 2018, 76:431-442.
- [25] 徐旭,张邯,周樟垠. 大城市核心区“邻避效应”问题的规划应对:以重庆市南岸区为例[C]//2020/2021 中国城市规划年会暨 2021 中国城市规划学术季. 成都:[出版者不详], 2021:1150-1157.
- [26] GUO S, ZHAO H. Fuzzy best-worst multi-criteria decision-making method and its applications[J]. Knowledge-Based Systems, 2017, 121:23-31.
- [27] HOU G H, CHEN T, MA K, et al. Improving social acceptance of waste-to-energy incinerators in China: role of place attachment, trust, and fairness [J]. Sustainability, 2019, 11(6):1727.
- [28] GALLARDO A H, MATSUZAKI T, AOKI H. Geological storage of nuclear wastes: insights following the Fukushima crisis[J]. Energy Policy, 2014, 73:391-400.
- [29] ROSS V L, FIELDING K S, LOUIS W R. Social trust, risk perceptions and public acceptance of recycled water: testing a social-psychological model[J]. Journal of Environmental Management, 2014, 137:61-68.

(责任编辑 吴亮)

(上接第 486 页)

件实现了该方法。SATA Bridge 可以检测到原语并协助进行对应的原语回复,能帮助数据发送端进行数据发送。SATA Bridge 可以稳定工作在 300 MHz 下,在 12.0 Gib/s 与 1.5 Gib/s 的速率差下仍能实现数据的传输,并通过快速响应的流控机制缓解了数据帧接收端的压力;当 HBA 端工作在 12.0 Gib/s 而 SATA 端工作在 6.0 Gib/s 的环境下,SATA Bridge 经过 4 个时钟周期即可响应流控机制并回复 HOLDA_p。

测试结果表明,在不包括 SerDes 传输延迟时,在上述 30 种可能的工作环境下,本文设计的 SATA Bridge 在数据帧收发过程中可以实现正确的传输。SATA Bridge 通过了逻辑综合和形式验证,完成了较为完备的数字集成电路设计前端流程,后续通过布局布线工具得到了 SATA Bridge 布局设计。本文数据传输方法对 SAS-SATA 桥接芯片的设计具有一定的参考价值。

【参 考 文 献】

- [1] KUMAR V, ANAND G, KUMAR S, et al. SAS 4.0 (22.5 Gb/s) challenges for server platforms[C]//2017 IEEE 26th Conference on Electrical Performance of Electronic Packaging and Systems. [S. l.]:IEEE, 2017:1-3.
- [2] 刘赞. 基于 FPGA 的 SATA3.0 主机端控制器的设计[D]. 保定:河北大学, 2016.
- [3] 刘建峰. 基于 FPGA 的 SAS 控制器设计与实现[D]. 武汉:华中科技大学, 2008.
- [4] 胡振宇. SAS-SATA 桥接芯片的固件设计[D]. 杭州:杭州电子科技大学, 2020.
- [5] 于海,樊晓樾. 基于 FPGA 异步 FIFO 的研究与实现[J]. 微电子学与计算机, 2007, 24(3):210-213, 216.
- [6] Serial ATA International Organization. Serial ATA revision 3.0 specification[R]. Beaverton: Serial ATA International Organization, 2009.
- [7] 常晓明,潘卫华,王建东. CRC 校验及其软件实现[J]. 电子技术应用, 1995(6):14-23.
- [8] EL-KHAMY M, LEE J, KANG I. Detection analysis of CRC-assisted decoding[J]. IEEE Communications Letters, 2015, 19(3):483-486.
- [9] 周伟,杜玉晓,杨其宇,等. FPGA 跨时钟域亚稳态研究[J]. 电子世界, 2012(3):87-89.
- [10] CHOU C C, WENG S S, LU Y C, et al. EMI-Reduction coding based on 8b/10b[J]. IEEE Transactions on Electromagnetic Compatibility, 2018, 61(4):1007-1014.
- [11] 任勇峰,杨舒天,刘东海. 基于 8B/10B 编码的高速长距离可靠传输设计[J]. 现代电子技术, 2022, 45(20):26-30.

(责任编辑 胡亚敏)