

DOI:10.3969/j.issn.1003-5060.2025.11.005

# 一种具有抗 $dV/dt$ 噪声能力的电平位移电路设计

罗波<sup>1</sup>, 程心<sup>1</sup>, 明小慧<sup>2</sup>

(1. 合肥工业大学 微电子学院, 安徽 合肥 230601; 2. 仙湖半导体科技有限公司, 安徽 合肥 230088)

**摘要:**在半桥或全桥电路中,需要利用电平位移电路将低压轨的信号转换至高压轨,该过程快速变化的浮动地带来  $dV/dt$  噪声,并通过自举电容耦合到电平位移电路输出端,一旦达到锁存器触发阈值将触发锁存器,输出错误信号。文章通过设计旁路电流镜以及加入差分电流补偿的方法减小噪声电流,提高噪声抑制性能;基于  $0.4\ \mu\text{m}$  BCD 工艺,采用耐压  $40\ \text{V}$  的横向双扩散金属氧化物半导体场效应晶体管(lateral double-diffused metal-oxide-semiconductor field-effect transistor, LDMOS)作为隔离器件,利用 Cadence 仿真平台进行验证。结果表明:低压轨信号的上升沿响应延时  $0.852\ \text{ns}$ ,下降沿响应延时  $1.072\ \text{ns}$ ,上升沿与下降沿的延时匹配较好; $dV/dt$  噪声的抑制能力为  $114\ \text{V/ns}$ ,可靠性显著提高。

**关键词:**电平位移;共模噪声抑制;栅极驱动;电流镜;电流补偿

**中图分类号:** TN432 **文献标志码:** A **文章编号:** 1003-5060(2025)11-1466-06

## A level shifter design with immunity to $dV/dt$ noise

LUO Bo<sup>1</sup>, CHENG Xin<sup>1</sup>, MING Xiaohui<sup>2</sup>

(1. School of Microelectronics, Hefei University of Technology, Hefei 230601, China; 2. Lakesemi Technology Co., Ltd., Hefei 230088, China)

**Abstract:** In half-bridge or full-bridge circuits, it is necessary to utilize level shifters to convert signals from the low-voltage rail to the high-voltage rail. During this process, rapidly changing floating grounds generate  $dV/dt$  noise, which couples through the bootstrap capacitor to the output of the level shifter. Once the noise reaches the trigger threshold of the latch, it can trigger the latch, resulting in an erroneous output signal. This paper presents a design incorporating a bypass current mirror and differential current compensation techniques to minimize noise currents and enhance noise immunity performance. The paper is based on a  $0.4\ \mu\text{m}$  BCD process, utilizing lateral double-diffused metal-oxide-semiconductor field-effect transistor(LDMOS) with a breakdown voltage of  $40\ \text{V}$  as isolation device. The proposed design was verified using the Cadence simulation platform. The results show that the rise time response for the low-voltage rail signal is  $0.852\ \text{ns}$ , while the fall time response is  $1.072\ \text{ns}$ , demonstrating excellent matching between the rise and fall edges. Moreover, the level shifter exhibits a  $dV/dt$  noise immunity capability of  $114\ \text{V/ns}$ , significantly improving its reliability.

**Key words:** level shift; common mode noise rejection; gate drive; current mirror; current compensation

电平位移电路是将低压域信号转换成高压域信号的电路模块,主要应用于半桥驱动、全桥驱动等领域。电平位移电路通常采用高压横向双扩散

金属氧化物半导体场效应晶体(lateral double-diffused metal-oxide-semiconductor field-effect transistor, LDMOS)作为隔离器件。高压器件的

收稿日期:2024-03-25;修回日期:2024-04-28

基金项目:安徽省重点研究与开发计划资助项目(202304a05020021)

作者简介:罗波(1995—),男,河南信阳人,合肥工业大学硕士生;

程心(1985—),女,安徽安庆人,博士,合肥工业大学副教授,硕士生导师,通信作者, E-mail: xcheng@hfut.edu.cn.

漏端寄生有大电容,电平位移电路在工作时,产生对该寄生大电容的充电电流或放电电流,影响电平位移电路的可靠性。为提高该类电路的抗干扰能力,常采用延时滤波的方法消除开关过程中的  $dV/dt$  噪声。该方法虽然提高电路可靠性,但是显著增加电路的延时,不适用于高频电路。因此,设计具备抗高噪声干扰、低延时的电平位移电路具有一定意义。

文献[1]提出一种基于交叉耦合电流镜结构的电平位移电路,通过合理设置晶体管的尺寸,电流镜具有很大的带宽,极大地缩短了电平位移过程的延迟时间,该交叉耦合电流镜结构削弱共模  $dV/dt$  噪声的影响,实现抗 30 V/ns 的共模噪声干扰;文献[2]在文献[1]基础上加入由输入信号控制的恒定电流源,实现电源轨浮动变化期间电路输出状态保持不变,该电路实现了 50 V/ns 的抗干扰能力,但是增加的 2 个高压管增大了电路面积,恒定电流源对延时也有一定的影响;文献[3]采用交叉正反馈结构提升翻转速度,加入旁路正反馈结构降低噪声电流,实现了 40 V/ns 的  $dV/dt$  噪声抑制能力。随着氮化镓(GaN)应用的推广,驱动电路的抗  $dV/dt$  噪声能力也需要进一步提高<sup>[4-5]</sup>。

本文通过将电流镜与旁路正反馈结构相结合,合理设置电流镜镜像比例,提高旁路正反馈结构对  $dV/dt$  噪声电流的补偿能力;同时加入差分电流补偿结构,既能进一步增强  $dV/dt$  噪声电流抑制能力,又能增强  $dV/dt$  差模噪声抑制能力。

## 1 传统电平位移电路噪声机理分析

传统半桥驱动中的电平位移电路如图 1 所示。

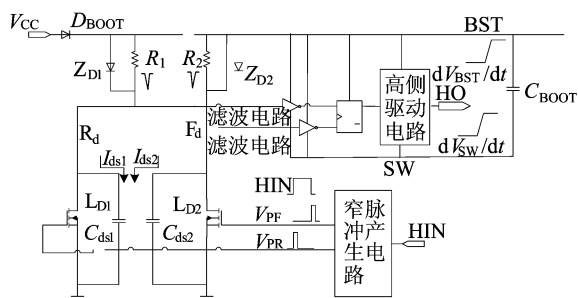


图 1 传统半桥驱动中的电平位移电路

输入信号 HIN 经过窄脉冲产生电路处理后,其上升沿和下降沿分别被延时为两路宽度很窄的脉冲信号  $V_{PR}$ 、 $V_{PF}$ 。 $V_{PR}$  控制高压管  $L_{D1}$  打开、关

闭, $V_{PF}$  控制  $L_{D2}$  打开、关闭。当  $V_{IN}$  的上升沿到来时, $V_{PR}$  变为高电平,高压管  $L_{D1}$  打开, $R_d$  端电压被拉低,经过滤波延时后输入到锁存器 S 端,锁存器输出变为高电平。当  $V_{IN}$  下降沿到来时, $V_{PF}$  变为高电平,高压管  $L_{D2}$  打开, $F_d$  端电位被拉低,经过滤波电路延时后输入到锁存器复位端,使锁存器输出由高变低。

在半桥驱动电路中,存在 SW 端电位快速浮动情况。当 SW 端电压快速抬升时,通过自举电容,与 SW 端连接的 BST 端电位会同步抬升。高压管的漏端寄生有大电容,BST 端电位快速抬升,对电容  $C_{ds1}$ 、 $C_{ds2}$  充电。该充电电流流过负载电阻产生压降,从而拉低  $R_d$ 、 $F_d$  端电位使其不能同步跟随 BST 端电位抬升。在  $R_d$ 、 $F_d$  端产生一个相对于 BST 端的下陷信号,该噪声信号若没有被滤波电路滤除,输入到锁存器,锁存器的输出可能改变,导致上桥臂功率管误关断。

## 2 电平位移电路设计

### 2.1 电平位移电路分析与设计

本文采用差分电流补偿和旁路电流镜正反馈相结合的方式,设计一种高速、高共模噪声抑制比且具备差模抑制能力的电平位移电路,如图 2 所示。图 2a 中,电路主要包括电平位移电路、信号锁存器、旁路电流镜、窄脉冲信号产生电路;图 2b 中的电路为差分电流补偿模块。

电平位移电路通常采用窄脉冲信号控制高压管打开、关断。窄脉冲信号产生电路将输入信号  $V_{IN}$  的上升沿与下降沿分别延时成脉宽为 10~20 ns 的窄脉冲信号  $V_R$ 、 $V_F$ 。当  $V_{IN}$  上升沿到来时, $V_R$  为高电位, $M_{N1}$  打开,进而  $M_{P1}$  打开, $M_{N5}$  镜像  $M_{P2}$  的源漏电流将 R 端电位拉低, $M_{P5}$  镜像  $M_{P1}$  的源漏电流将 L 端电位拉高,L 端电位升高,R 端电位降低触发锁存器正反馈响应,快速锁存信号,锁存器输出  $V_{OUT}$  变为高电平。

因为有锁存器锁存信号,所以当窄脉冲信号  $V_R$  变为低电平,锁存器输出  $V_{OUT}$  仍然是高电平。在  $V_{IN}$  下降沿来临时, $V_F$  变为高电平,电路响应过程与上升沿响应类似,最终锁存器输出  $V_{OUT}$  被置为低电平。栅源短接的  $M_{N21}$ 、 $M_{N22}$  分别钳位  $M_{P1}$ 、 $M_{P3}$  的栅极电位,防止  $M_{P1}$ 、 $M_{P3}$  被击穿。高压管的栅极电容大,而窄脉冲产生电路驱动能力有限,若直接驱动高压管,则电路响应延时大。因此采用在常压管的漏端级联高压管的方式,实现隔离高压和快速响应的功能<sup>[6]</sup>。

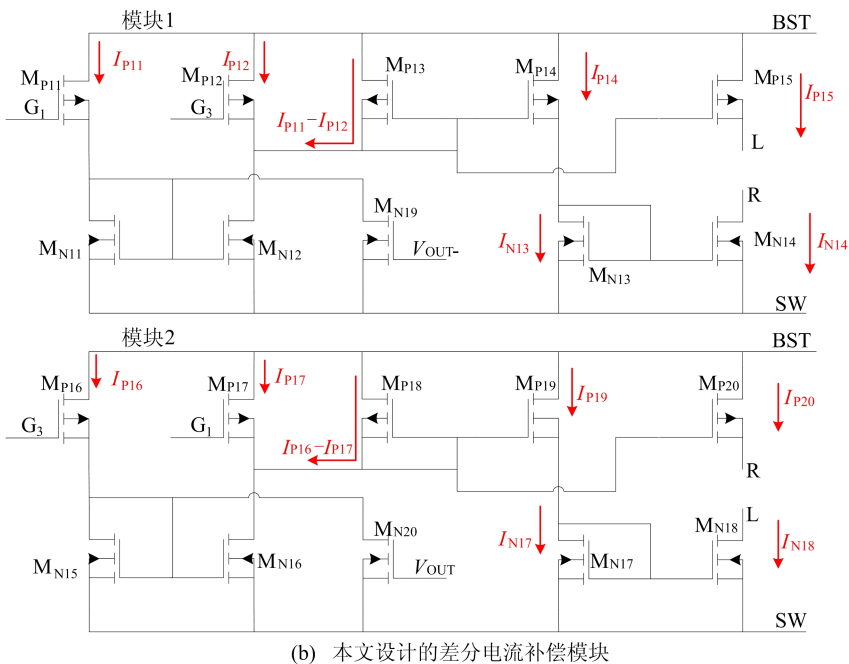
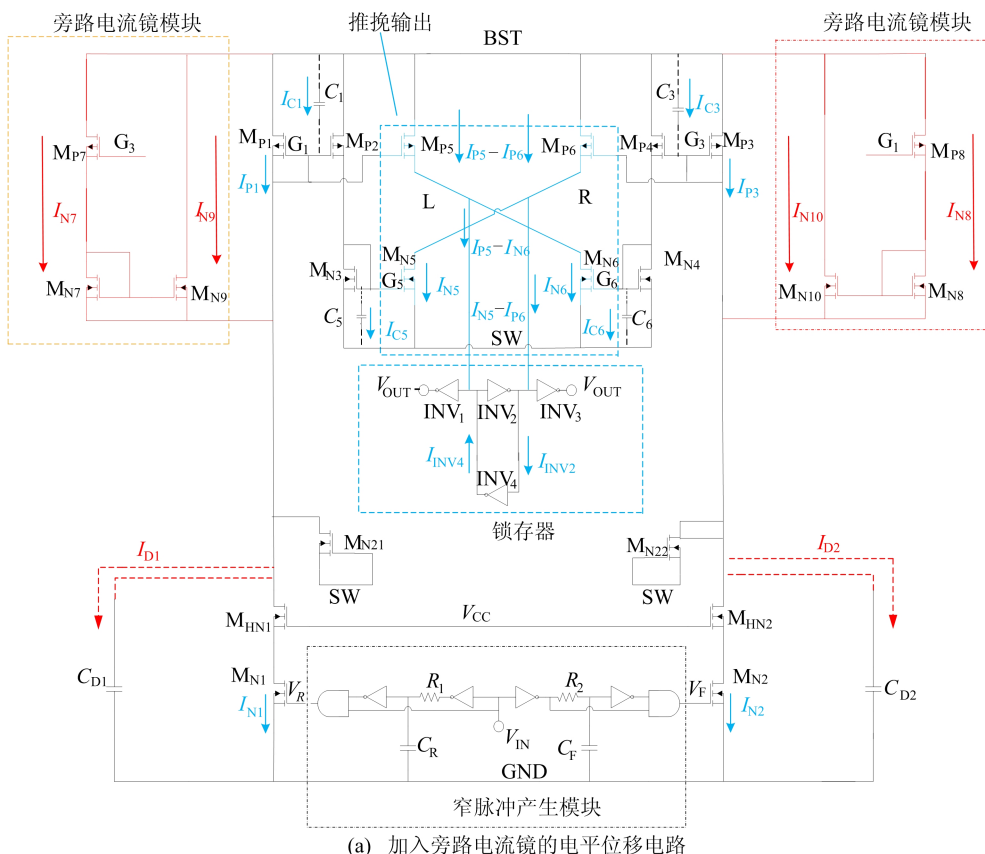


图 2 本文设计的电平位移电路

电平位移电路的传输延时是一个重要指标, 本文的电平位移电路延时为  $t_1 \sim t_4$ 。  $t_1$  为窄脉冲信号产生电路的输入到输出之间的延时, 窄脉冲产生电路的输出负载电容一定, 合理设置级联的反相器尺寸能实现大驱动能力和低延时。  $t_2$  为  $M_{N1}$  源漏电流对  $M_{P1}$  栅极充电使其导通的时间, 计算公式为:

$$t_2 = \frac{C_1 V_{THP1}}{I_{N1}} = \frac{2C_1 V_{THN1}}{\mu_n C_{OX} (W/L)_{N1} (V_{GSN1} - V_{THN1})^2} \quad (1)$$

其中:  $C_1$  为节点  $G_1$  的寄生电容;  $V_{THP1}$  为  $M_{P1}$  的阈值电压;  $V_{THN1}$  为  $M_{N1}$  的阈值电压;  $V_{GSN1}$  为  $M_{N1}$  的栅源电压;  $(W/L)_{N1}$  为  $M_{N1}$  的宽长比;  $\mu_n$ 、 $C_{OX}$  为工艺参数;  $I_{N1}$  为  $M_{N1}$  的源漏电流。

$M_{P1}$ 、 $M_{P2}$  导通后,  $I_{P2}$  从 0 逐渐增大, 当  $M_{N5}$  刚好导通时的  $I_{P2}$  称为  $I_{P2}(t_3)$ ,  $t_3$  为该过程所用的时间, 计算公式为:

$$t_3 = \frac{C_5 V_{THN5}}{I_{P2}} \quad (2)$$

其中:  $C_5$  为  $G_5$  节点的寄生电容;  $V_{THN5}$  为  $M_{N5}$  的阈值电压;  $I_{P2}$  为  $M_{P2}$  流过的电流。

$I_{P1}(t)$  为电流  $I_{P1}$  流过  $M_{P1}$  的时域表示, 计算公式为:

$$I_{P1}(t) = \frac{1}{2} \mu_p C_{OX} \left( \frac{W}{L} \right)_{P1} [V_{GSP1}(t) - V_{THP1}]^2 \quad (3)$$

其中:  $V_{GSP1}(t)$  为  $M_{P1}$  的栅源电压的时域表示;  $(W/L)_{P1}$  为  $M_{P1}$  宽长比;  $\mu_p$ 、 $C_{OX}$  为工艺参数。

设  $R_G$  为从电源轨 BST 到节点  $G_1$  的电阻, 计算公式为:

$$R_G = \frac{V_{GSP1}(t)}{I_{N1}} = \frac{2V_{GSP1}(t)}{\mu_p C_{OX} \left( \frac{W}{L} \right)_{P1} [V_{GSP1}(t) - V_{THP1}]^2} \quad (4)$$

为简化计算, 假定  $R_G$  是恒定值, 则有:

$$I_{P2}(s) = I_{P1}(s) = I_{N1} \left( \frac{1}{1 + s R_G C_1} \right) \quad (5)$$

其中:  $I_{P2}(s)$  为电流  $I_{P2}$  流过  $M_{P2}$  的频域表示;  $I_{P1}(s)$  为电流  $I_{P1}$  流过  $M_{P1}$  的频域表示。

栅极寄生电容  $C_1 = 3C_{GS} = 2WLC_{OX}$ , 其中,  $W$ 、 $L$  分别为  $M_{P1}$  的栅宽、栅长。

栅极极点  $p_1$  的表达式为:

$$p_1 = \frac{1}{R_G C_1} = \frac{\mu_p (V_{GSP1} - V_{THP1})^2}{4L^2 V_{GSP1}} \quad (6)$$

令  $V_{GSP1} = 2V_{THP1}$ , 则有:

$$p_1 = \frac{1}{12} \frac{\mu_p (V_{GSP1} - V_{THP1})}{\frac{2}{3} L^2} = \frac{1}{12} f_T \quad (7)$$

其中,  $f_T$  为晶体管特征频率。

因为  $M_{P1}$ 、 $M_{P2}$  构成的电流镜的带宽很大, 所以  $M_{P1}$ 、 $M_{P2}$  导通所用时间短, 即  $t_2$  小。由式(3)可知,  $I_{P1}(t)$  的大小与  $V_{GSP1}(t)$  的绝对值大小呈正相关。因为  $M_{P1}$ 、 $M_{P2}$  构成的电流镜的带宽大, 即节点  $G_1$  寄生电容  $C_1$  小, 所以  $V_{GSP1}(t)$ 、 $I_{P1}(t)$  增长快; 同理,  $I_{P2}(t)$  增长也快,  $I_{P2}$  从 0 逐渐增大到  $M_{N5}$  刚好导通时的  $I_{P2}(t_3)$  所用的时间短, 即  $t_3$  小。  $t_4$  为  $M_{N5}$  导通下拉 L 电位到锁存器输出完成转换的时间。由于使用推挽加正反馈锁存结构, 该部分延时主要是反向器  $INV_3$  的翻转响应延时。

## 2.2 抗噪声干扰能力分析

图 2a 中, 当浮动轨电位  $V_{SW}$  快速上升时, 电源轨 BST 电位  $V_{BST}$  也同步快速上升, 但是受  $M_{P1}$ 、 $M_{P2}$  栅极寄生电容的影响, 其栅极电位  $V_{G1}$  不能及时跟随  $V_{BST}$  上升, 因此  $M_{P1}$ 、 $M_{P2}$  导通, 导致电流很大, 且该电流通过电流镜镜像到推挽输出结构。理想情况下, 上拉、下拉电流会抵消掉, 电路输出状态不会改变。实际上, 由于两边电路存在失配等原因, 信号在两边电路的传输过程不完全一致, 导致上拉、下拉电流不能完全抵消, L、R 端电位会改变, 若达到触发器触发阈值触发正反馈响应, 则输出  $V_{OUT}$  状态将发生改变。若 L 端电位升高、R 端电位降低, 则输出电压由低变高, 上桥臂功率管异常开启; 若 L 端电位降低、R 端电位升高, 则输出由高变低, 上桥臂功率管异常关断。

本文通过加入旁路电流镜电路和差分补偿电路提高电路抗噪声能力。以图 2a 左侧的旁路电流镜模块为例, 解释该电路的工作原理。因为  $M_{P7}$  的栅极与  $M_{P3}$ 、 $M_{P4}$  栅极相连, 所以在 SW 端电位  $V_{SW}$  快速浮动上升时,  $M_{P7}$  导通, 其电流通过  $M_{N7}$  流入高压 MOS 管  $M_{HN1}$  漏端,  $M_{N9}$  以比例因子  $k$  镜像  $M_{N7}$  的电流注入到  $M_{HN1}$  漏端, 加快漏端电位抬升。  $M_{N7}$ 、 $M_{N9}$  宽长比满足式(8), 即

$$\left( \frac{W}{L} \right)_{N9} = k \left( \frac{W}{L} \right)_{N7} \quad (8)$$

通过提高比例因子  $k$ , 可提高充电电流。当  $M_{P1}$  被脉冲触发信号打开时, 旁路电流镜关闭, 不会影响信号正常传输。当电路两侧的高压管存在失配时, 给寄生电容  $C_{D1}$ 、 $C_{D2}$  充电的电流不相等, 最终镜像到 L、R 端电流不能完全消除, 为此引入差分电流补偿电路, 补偿 L、R 端的电流, 保持这两端电位稳定。同样以图 2a 左侧为例, 分析其工作原理。当  $C_{D1}$  比  $C_{D2}$  大时,  $I_{D1}$  比  $I_{D2}$  大, 节点  $G_1$  电压  $V_{G1}$  低于节点  $G_3$  电压  $V_{G3}$ , 因此  $M_{P11}$  的电流  $I_{P11}$  大于  $M_{P12}$  的电流  $I_{P12}$ 。流过  $M_{P13}$  的电流就是  $I_{P11}$  与  $I_{P12}$  的差值, 设计  $M_{P15}$ 、 $M_{P13}$ 、 $M_{P14}$ 、 $M_{N14}$ 、 $M_{N13}$  的宽长比, 使其满足式(9)、式(10), 即

$$\left( \frac{W}{L} \right)_{P15} = n \left( \frac{W}{L} \right)_{P13} = n \left( \frac{W}{L} \right)_{P14} \quad (9)$$

$$\left( \frac{W}{L} \right)_{N14} = n \left( \frac{W}{L} \right)_{N13} \quad (10)$$

$M_{P15}$  以比例  $n$  注入 L 端电流保持 L 端电位不变,  $M_{N14}$  以同样的比例镜像差分电流并泄放 R 端电流, 保持 R 端电位不变。提高比例因子  $n$  能提高电路抗失配能力, 保持输出  $V_{OUT}$  状态稳定。

### 3 仿真结果与分析

本文电路采用  $0.4 \mu\text{m}$  BCD 工艺设计,用仿真工具 Cadence 进行验证。图 2a 中内部低压  $V_{\text{CC}}$  为 5 V,半桥输入高压为 40 V, $V_{\text{SW}}$  浮动上升速度设置为 114 V/ns。

没有加入差分电流补偿电路和旁路电流镜电路的仿真结果如图 3 所示。从图 3 可以看出,在  $V_{\text{SW}}$  快速上升时,电路未能保持输出状态不变,电路抗噪声能力差。

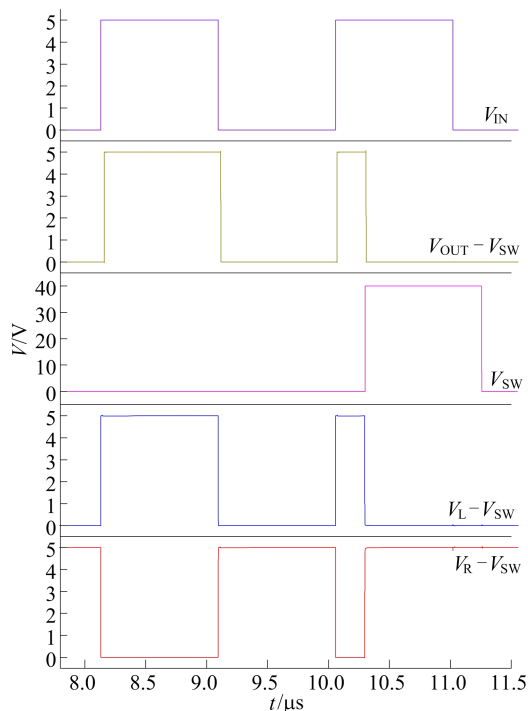


图 3 未加入差分补偿和旁路电流镜电路的仿真结果

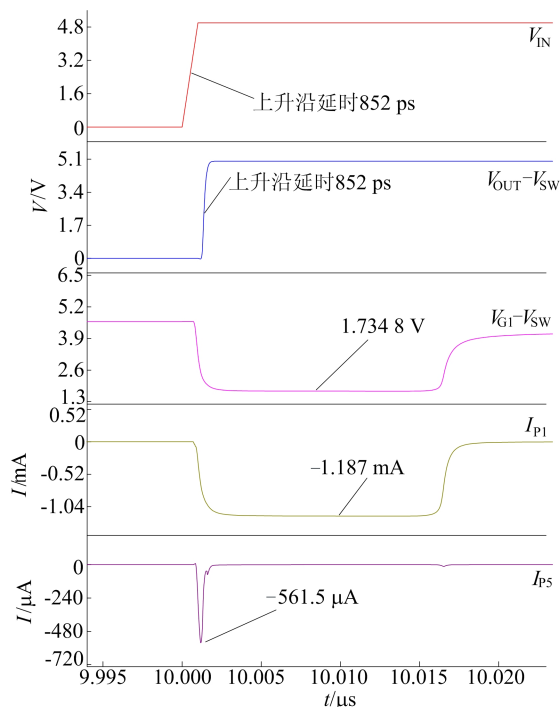
加入差分电流补偿电路和旁路电流镜电路后的仿真结果如图 4 所示。

由图 4a 可知:输入信号  $V_{\text{IN}}$  上升沿到来时, $M_{\text{P1}}$  管电流  $I_{\text{P1}}$  为  $-1.187 \text{ mA}$ ,镜像到  $M_{\text{P5}}$  的电流  $I_{\text{P5}}$  为  $-561.5 \mu\text{A}$ ;  $I_{\text{P5}}$  注入到锁存器,触发正反馈响应,输出信号快速变为高电平,输入信号上升沿延时为 852 ps;在电位  $V_{\text{SW}}$  快速浮动上升时,电路输出仍然保持高电平状态,成功抑制了噪声干扰。

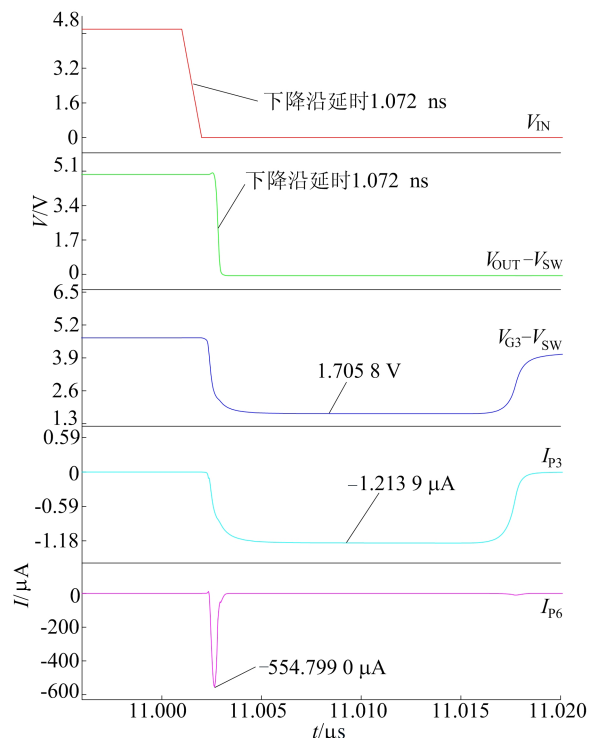
从图 4b 可以看出,各节点电压、电流波形与图 4a 相似。

图 4c 所示为电平位移电路受到 114 V/ns 噪声干扰时的电平位移电路瞬态波形。结合 2.2 节分析可知,当  $V_{\text{SW}}$  在上桥臂开通后快速上升时,其栅极电位  $V_{\text{G1}}$  不能及时跟随  $V_{\text{BST}}$  上升,图 2a 左侧旁路电流镜打开, $M_{\text{N9}}$  产生  $602.3 \mu\text{A}$  的电流,

$M_{\text{N7}}$  产生  $50.2 \mu\text{A}$  的电流,这两路电路注入到  $M_{\text{HN1}}$  漏端,减小了  $M_{\text{P1}}$  源漏电流,因此注入到 L 端的电流  $I_{\text{P5}}$  减小;同理, $M_{\text{N6}}$  的电流也由于图 2a 右侧旁路电流镜产生的两路注入电流而减小,但是电路两侧失配,电流  $I_{\text{P5}}$ 、 $I_{\text{N6}}$  并不相等。因为信号在两侧传输时,并不完全同步,所以存在相位延迟问题,导致  $I_{\text{P5}}$ 、 $I_{\text{N6}}$  在节点 L 不能抵消。



(a) 上升沿时序



(b) 下降沿时序

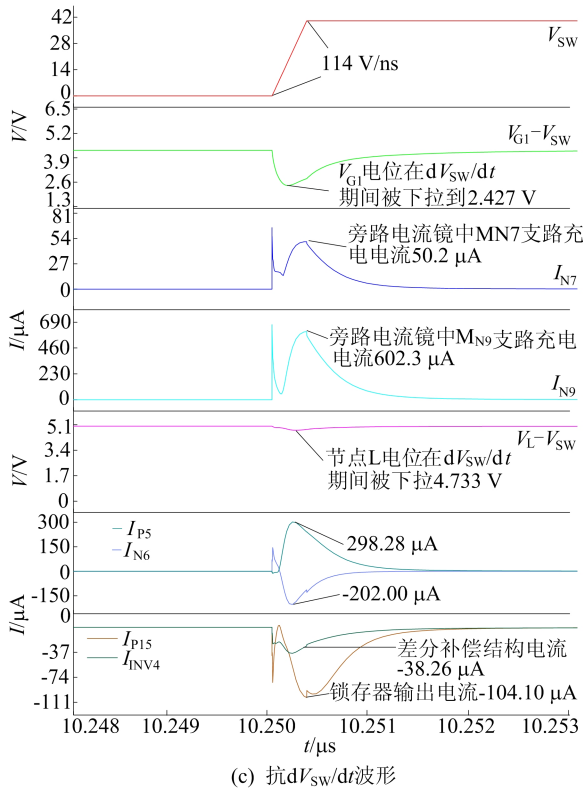


图 4 本文设计的电平位移电路仿真结果

为保证节点 L 的电流能消去,差分补偿电路输出  $-104.10 \mu\text{A}$  的  $I_{P15}$ ,锁存器输出  $-38.26 \mu\text{A}$  的  $I_{INV4}$ ,都注入到节点 L,补偿  $I_{P5}$  与  $I_{N6}$  的差值。最终  $V_L$  下降到  $4.733 \text{ V}$ ,但是并未达到锁存器触发阈值。本文设计的电平位移电路的开通传播延迟为  $0.852 \text{ ns}$ ,关断传播延迟为  $1.072 \text{ ns}$ ,在  $114 \text{ V/ns}$  的噪声干扰下,输出状态仍然不变。

将本文仿真结果与其他文献的研究结果进行比较,结果见表 1 所列。

从表 1 可以看出,本文设计的电平位移电路传播延时较低,对  $dV/dt$  噪声抑制能力较强。

表 1 不同文献相关研究结果

参数	工艺	工作电压/ V	抗 $\frac{dV}{dt}$ / (V/ns)	传输延时/ ns
文献[8]	$0.18 \mu\text{m}$ BCD	50	100	1.200
文献[9]	$0.50 \mu\text{m}$ HV CMOS	80	50	0.960
文献[10]	$0.18 \mu\text{m}$ BCD	85	55	3.950
文献[11]	$0.5 \mu\text{m}$ HV CMOS	80	50	1.618
本文	$0.4 \mu\text{m}$ BCD	40	114	0.962

## 4 结 论

本文为提高电平位移电路的抗  $dV/dt$  能力,设计了差分电流补偿电路和旁路正反馈电流镜电路。在  $dV/dt$  噪声到来时,添加的 2 个电路能够快速响应,减弱噪声的影响,稳定电平位移电路输出状态,避免上桥臂功率管误关断的情况。仿真结果表明,电路开通传播延时为  $0.852 \text{ ns}$ ,关断传播延时为  $1.072 \text{ ns}$ ,能抑制  $114 \text{ V/ns}$  的  $dV/dt$  变化。

## 【参 考 文 献】

- [1] LIU D, HOLLIS S J, DYMOND H C P, et al. Design of 370-ps delay floating-voltage level shifters with 30-V/ns power supply slew tolerance[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2016, 63(7): 688-692.
- [2] YAN R, XI J, HE L. A 2-to-10 MHz GaN HEMTs half-bridge driver with bandgap reference comparator clamping and dual level shifters for automotive applications[J]. IEEE Transactions on Industrial Electronics, 2019, 67(2): 1446-1454.
- [3] LIU Z, CONG L, LEE H. Design of on-chip gate drivers with power-efficient high-speed level shifting and dynamic timing control for high-voltage synchronous switching power converters[J]. IEEE Journal of Solid-State Circuits, 2015, 50(6): 1463-1477.
- [4] 成松林, 向乾尹, 冯全源. 一种 GaN 半桥驱动器电平移位电路设计[J]. 微电子学, 2021, 51(1): 28-32.
- [5] 秦尧, 叶自凯, 尤勇, 等. 一种高速高共模瞬态抗扰度电平移位电路[J]. 微电子学, 2022, 52(5): 734-739.
- [6] 尹勇生, 朱守佳, 杨悦, 等. 一种高  $dV/dt$  噪声抑制的电平移位电路设计[J]. 微电子学, 2023, 53(2): 221-226.
- [7] 刘媛媛, 林治屹, 秦尧, 等. 一种高速高可靠性低功耗的电平移位电路[J]. 微电子学, 2022, 52(6): 981-986.
- [8] 李亮, 周德金, 黄伟, 等. 用于 GaN 半桥驱动器的高速电平移位电路[J]. 半导体技术, 2022, 47(11): 873-878, 890.
- [9] MING X, ZHANG X, ZHANG Z, et al. A high-voltage half-bridge gate drive circuit for GaN devices with high-speed low-power and high-noise-immunity level shifter[C]//2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD). [S. l.]: IEEE, 2018: 355-358.

(责任编辑 张 镛)