

DOI:10.3969/j.issn.1003-5060.2025.01.007

应用于 NV 系综量子实验调控的 数字锁相放大器设计与实现

邓宇轩^{1,2}, 徐南阳^{1,2}, 陈宝^{1,2}, 周明媿²

(1. 合肥工业大学 微电子学院, 安徽 合肥 230601; 2. 之江实验室 量子传感研究中心, 浙江 杭州 311500)

摘要:文章设计一种应用于金刚石氮空位(nitrogen-vacancy, NV)系综量子实验的数字锁相放大器。为实现高速模拟与数字信号的采样、输出以及软硬件协同与同步处理能力,设计采用 ZYNQ-7010 芯片作为核心器件,基于现场可编程门阵列(field programmable gate array, FPGA)与精简指令集计算机(reduced instruction set computer, RISC)微处理器(advanced RISC machines, ARM)内核的基本架构,同时搭载双路高采样率的模数转换器(analog to digital converter, ADC)和数模转换器(digital to analog converter, DAC)。整套系统可以同时多路锁相放大处理,输入模拟噪声低至 $1 \text{ nV/Hz}^{1/2}$, 采样率高达 125 MS/s , 数据传输带宽可达 800 Mib/s , 具有集成化程度高、易操控、锁相准确性较高等特点。该设计成功应用在 NV 系综实验平台上,光探测磁共振(optically detected magnetic resonance, ODMR)实验及后续计算结果表明,使用文中锁相放大器的磁强计灵敏度可以达到 $1.23 \text{ nT/Hz}^{1/2}$ 。

关键词:现场可编程门阵列(FPGA); 精简指令集计算机微处理器(ARM); 模数转换器(ADC); 锁相放大器; 光探测磁共振(ODMR)

中图分类号: TN918.1 **文献标志码:** A **文章编号:** 1003-5060(2025)01-0044-06

Design and implementation of digital lock-in amplifier for quantum experimental control of NV ensemble

DENG Yuxuan^{1,2}, XU Nanyang^{1,2}, CHEN Bao^{1,2}, ZHOU Mingti²

(1. School of Microelectronics, Hefei University of Technology, Hefei 230601, China; 2. Research Center for Quantum Sensing, Zhejiang Lab, Hangzhou 311500, China)

Abstract: A digital lock-in amplifier for quantum experiments of nitrogen-vacancy(NV) ensemble in diamond is designed in this paper. In order to realize the sampling and output of high-speed analog and digital signals as well as the capability of hardware and software cooperation and synchronization processing, the design uses ZYNQ-7010 chip as the core device, with a basic architecture based on field programmable gate array(FPGA) and advanced RISC machines(ARM) core equipped with dual-channel high sampling rate analog to digital converter(ADC) and digital to analog converter(DAC). The whole system can perform multi-channel lock-in amplification simultaneously, the input analog noise is as low as $1 \text{ nV/Hz}^{1/2}$, sampling rate up to 125 MS/s , and data transmission bandwidth up to 800 Mib/s . It has the characteristics of high degree of integration, easy control and high accuracy of phase locking. The design in this paper has been successfully applied to the experimental platform of NV ensemble. The optically detected magnetic resonance(ODMR) experiment and subsequent calculation

收稿日期: 2023-03-21; **修回日期:** 2023-05-23

基金项目: 国家自然科学基金资助项目(92265114)

作者简介: 邓宇轩(1999—),男,江西吉安人,合肥工业大学硕士生;

徐南阳(1983—),男,安徽淮南人,博士,合肥工业大学教授,博士生导师;

周明媿(1989—),女,江苏宿迁人,博士,之江实验室助理研究员,通信作者, E-mail: mtchou@zhejianglab.com.

show that the sensitivity of the magnetometer using the lock-in amplifier in this paper can reach $1.23 \text{ nT/Hz}^{1/2}$.

Key words: field programmable gate array(FPGA); advanced RISC machines(ARM); analog to digital converter(ADC); lock-in amplifier; optically detected magnetic resonance(ODMR)

随着科学技术的发展,人们对自然界中一些重要物理量测量的要求越来越高。其中,对磁的测量技术也在不停地迭代,从近代的高斯计到现在的量子磁强计,都是人们为了突破现有技术做出的创新。基于金刚石氮空位(nitrogen-vacancy, NV)色心的磁强计是量子磁强计中的一种,其利用优秀的光学特性与量子系统对环境的敏感性完成磁测量^[1-2]。磁强计系统将 NV 色心受激产生的荧光信号采集并进行锁相放大,然后通过斜率计算拟合得到该磁强计系统的灵敏度^[3]。本文设计的锁相放大器负责磁强计中的信号采集处理以及对系统中其他器件的控制等,目前已实际应用于 NV 系综实验平台上,作为高灵敏度磁强计中的重要模块使用。

早期的锁相放大器多由模拟电路实现,随着数字电路技术的进步,锁相放大器中的数字电路技术部分开始慢慢增多。随着核心部分相敏检波器(phase sensitive detector, PSD)的数字电路实现方法被推广后,数字锁相放大器因具有高精度和稳定性良好的特征得到广泛应用^[4]。传统的商用数字锁相放大器多使用专用集成电路(application specific integrated circuits, ASIC)芯片设计制造,这种方式虽然能够获得较好的性能和较多的通道^[5],但成本高昂,且专用集成电路设计固定,可编程性小,无法根据具体环境需求来修改内部逻辑设计;而且本文中的锁相放大器是作为集成化磁力计系统的模块进行设计,使用 ASIC 电路不利于整体实验系统的集成化。

本文设计以 ZYNQ-7010 芯片为核心板卡, ZYNQ 架构系列芯片集成现场可编程门阵列(field programmable gate array, FPGA)与精简指令集计算机(reduced instruction set computer, RISC)微处理器(advanced RISC machines, ARM)2 个部分。FPGA 在逻辑运算方面有得天独厚的优势,并且灵活性强、成本较低;ARM 核作为片上系统的关键,可拓展性强,裸机开发难度较低。因此,本文设计选用的 ZYNQ 架构芯片既能在 FPGA 端做针对实验系统的逻辑设计,又能在 ARM 端做与上位机的通信协议,极大地提高设计的可拓展性,降低设计周期与成本,以方便后

续的集成化工作^[6-13]。

1 基本原理

常规的锁相放大器分为单相锁相放大器和正交锁相放大器 2 种,因为正交型锁相放大器的处理效果更好,对参考信号相位要求更低,所以本文选用正交型锁相放大器作为设计主体。正交型锁相放大器的基本原理图如图 1 所示。

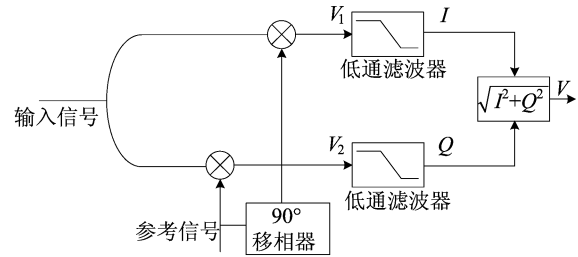


图 1 正交型锁相放大器基本原理图

假设输入信号为:

$$S(t) = A\sin(\omega t + \varphi) + B(t) \quad (1)$$

其中: A 为输入信号幅值; ω 为输入信号频率; φ 为输入信号相位; $B(t)$ 为输入信号附带噪声。

假设参考信号为:

$$R(t) = C\sin(\omega_R t + \theta) \quad (2)$$

其中: C 为参考信号幅值; ω_R 为参考信号频率; θ 为参考信号相位。

按照图 1 所示的基本原理图将输入信号分别与参考信号以及参考信号移相后的信号相乘,可以得到:

$$V_1(t) = 0.5AC\cos[(\omega - \omega_R)t + (\varphi - \theta)] - 0.5AC\cos[(\omega + \omega_R)t + (\varphi + \theta)] + B(t)C\sin(\omega_R t + \theta) \quad (3)$$

$$V_2(t) = 0.5AC\sin[(\omega - \omega_R)t + (\varphi - \theta)] + 0.5AC\sin[(\omega + \omega_R)t + (\varphi + \theta)] + B(t)C\sin(\omega_R t + \theta) \quad (4)$$

当输入信号与参考信号频率一致时,即当 $\omega = \omega_R$ 时,在 $V_1(t)$ 和 $V_2(t)$ 通过低通滤波器后,可以得到:

$$I(t) = 0.5AC\cos(\varphi - \theta) \quad (5)$$

$$Q(t) = 0.5AC\sin(\varphi - \theta) \quad (6)$$

进一步对 $I(t)$ 和 $Q(t)$ 进行图 1 所示最后阶

段的处理:

$$V(t) = \sqrt{I^2(t) + Q^2(t)} = 0.5AC \quad (7)$$

此时,锁相放大器完成了对输入信号的解调与去噪,且由于参考信号幅值 C 已知,最后的输出值 $V(t)$ 可以看作输入信号的幅值。由此完成整个锁相放大过程。

2 系统结构

2.1 总体结构

数字锁相放大器整体系统结构的框图如图 2 (左框)所示。系统主要由两部分组成:

1) 软件部分,主要包括 ARM 软件部分和上位机部分;ARM 软件部分即可编程系统(process system, PS)部分,主要完成对 FPGA 中寄存器的配置以及实现用户数据报协议(user datagram protocol, UDP)的服务端;上位机部分主要实现 UDP 的客户端与可供操作的图形化界面。

2) FPGA 硬件部分,即可编程逻辑(programmable logic, PL)部分,主要包括乘法器模块、直接数字式频率合成器(direct digital synthesizer, DDS)模块、滤波器模块、总控制模块以及先进先出(first-in first-out, FIFO)缓冲模块等其他部分;其中乘法器模块、滤波器模块和部分 DDS 模块共同实现了锁相放大器的原理功能^[14]。

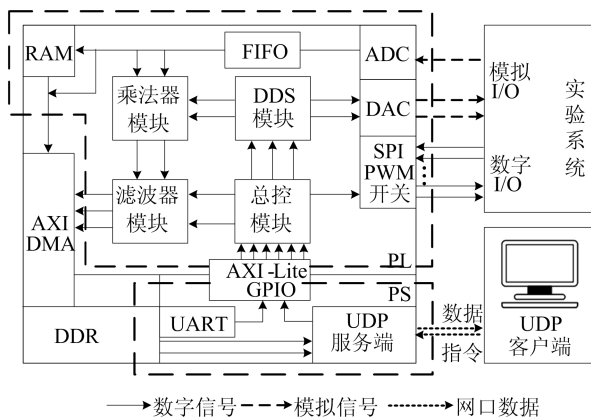


图 2 数字锁相放大器的系统结构

2.2 硬件设计

硬件部分的主体为火龙果 125-14 型号商用开发板,板上搭载了 ZYNQ 系列的 xc7z010clg400-1 芯片以及采样率为 125 MHz、分辨率为 14 bit 的双路模数转换器(analog to digital converter, ADC)(型号 LTC2145CUP-14)和与 ADC 同采样率、同分辨率的双路数模转换器(digital to analog converter, DAC)(型号

AN9767),第三代双倍速率同步动态随机存储器(third generation of double-data-rate synchronous dynamic random-access memory, DDR3 SDRAM)存储芯片作为外设挂载在板卡上,其最大存储空间为 512 MiB。

FPGA 硬件部分的模块结构如图 2 中 PL 虚线框内所示,主要划分为数据处理、总控制、外设以及缓存 4 个大模块。

总控制模块主要由先进可拓展接口(advanced extensible interface, AXI)中的通用输入输出端口(general purpose input output, GPIO)作为链接外部指令与内部控制的桥梁,通过更改 GPIO 寄存器配置来实现对内部逻辑与控制参数的实时更改。

外设模块主要包括 ADC、DAC、服务供给接口(service provider interface, SPI)以及脉冲宽度调制(pulse width modulation, PWM)等对外控制接口。其中:ADC 负责单路或双路模拟信号的采集;DAC 通过 DDS 技术,向外输出频率、相位、幅值皆可实时改变的任意常见波形,例如正弦波、方波等;SPI 协议则是以线连的形式与其他板卡进行硬件通信,完成对其的配置与控制。外设模块中的输入输出模式、参数改变等皆由总控制模块配置。

缓存模块作为连接 ADC 与 DDR 间的数据通路,主要由 FIFO、随机存取存储器(random access memory, RAM)以及 AXI 直接内存访问(direct memory access, DMA)组成。ADC 将模拟信号转变为数字信号后有 2 种模式可供选择:一种是锁相放大器模式,由 FIFO 缓存后进入锁相放大处理阶段,处理结束后再由 DMA 转入 DDR3 中;另一种是触发采集模式。触发采集模式中通过在内部 PWM 或外部提供触发 2 种触发方式:第 1 种触发方式为点扫触发,触发 1 次采集固定段数据,存入 RAM 中,累计达到预设值后统一经过 DMA 发送至 DDR 中;第 2 种触发方式是窗口触发,在触发 1 次后直接采集预设值的数据,由 FIFO 缓存后送入 DMA 转存在 DDR 中,2 种模式共用同一个缓存模块,节省了 FPGA 内部存储资源。

数据处理模块的基本结构如图 3 所示,在信号由 ADC 采集变为数字信号后,由于 ADC 与板卡的底噪不可忽略,内部逻辑需要对信号进行偏置补偿去噪处理。

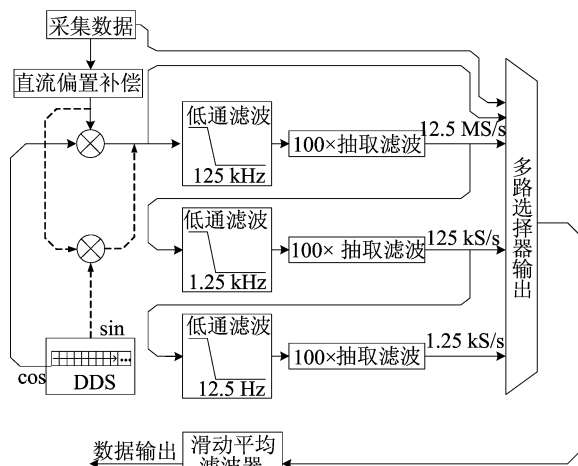


图 3 数据处理模块基本结构

在不同温度下 ADC 采集的平均偏置噪声^[15]见表 1 所列。首先利用 ZYNQ 系列芯片自带的 XADC 对此时的片上温度进行测量,再将测量得到的温度与表 1 中的温度对照,得到补偿值后再对信号进行偏置补偿。

表 1 不同环境温度下 ADC 采集的平均偏置噪声

温度/°C	平均偏置噪声/mV	温度/°C	平均偏置噪声/mV
30	0.124	50	0.929
35	0.393	55	1.086
40	0.608	60	1.275
45	0.803		

补偿后的信号进入锁相放大模块进行解调处理,其中的数字混频器是由 FPGA 自带资源 DSP48E1 组成的乘法器,由于 ADC 将模拟信号转换为 14 bit 的数字信号,为了方便计算,乘法器的位宽也为 14 bit。与采集信号共同混频的参考信号由 DDS 模块产生,DDS 模块是通过只读存储器(read only memory,ROM)实现的,ROM 中存储了提前生成的各类波形数据,方便 DDS 模块遍历其地址,将波形数据按时钟周期播放;ROM 表中只存储部分波形数据,例如正弦波只存储 1/4 波形,在不影响其输出的情况下最大限度地节约了 ROM 资源;同时,DDS 存在相位控制字和频率控制字,可以控制产生不同频率、相位、幅值的参考信号。信号在经过混频后变为 28 bit 数据,在对数据进行截断后,将数据送进滤波器模块,综合实验环境的噪声与有效数据带宽问题,本设计中的滤波器模块由低通滤波器、抽取滤波器以及滑动平均滤波器组成;抽取滤波器的目的是筛除多余的数据,滑动平均滤波器的目的是为了更好地去噪;在整个模块中,抽取滤波器和低通滤波器的

阶数可调,其中低通滤波器滤波范围为 12.5~125.0 kHz,为了节省逻辑资源,将整个滤波器模块作为两路信号的复用模块。在数据最后经过滑动平均滤波器后,完成了 FPGA 端对数据的锁相放大处理。

2.3 软件设计

软件部分的主要开发环境为 Vivado2019.1 中的软件开发套件(software development kit,SDK)和 Pycharm。SDK 实现的裸机程序主要如图 2 中 PS 虚线框内所示,在其内部,系统首先通过 AXI DMA 进行中断操作,将 FPGA 处理后的数据或者采集得到的原始数据存储于 DDR3 SDRAM 中;同时以轻量化网络协议(light weight internet protocol,LWIP)2.1.1 协议栈为基础构建 UDP 通信服务端,负责将数据以数据包的形式打包并通过千兆网口发送给上位机端,实现数据的传输与指令的接收;此外,裸机程序中还对 FPGA 中相应寄存器的初始化和配置的功能、串口收发功能以及看门狗定时器功能等。

上位机端使用 Python 3.7 作为编程语言,利用 Socket 库构建 UDP 的客户端,负责接收服务端发送的数据以及给板卡发送指令,与 SDK 中实现的 UDP 服务端共同组成了板卡与上位机间的数据传输链路;同时,上位机端还借助 PyQt5 和 Chaco 库实现了一个能够实时显示接收数据的图形化界面,方便了实验人员的使用,降低了实验操作的难度。

3 测试结果

本文对在 NV 系综平台上进行微波调制与非调制的光探测磁共振(optically detected magnetic resonance,ODMR)实验,对锁相放大器的功能进行验证。由一段 532 nm 激光将电子自旋态初始化至亮态,并施加微波实现自旋态翻转,此时系统使用非调制的微波频率扫描即可获得光探测磁共振谱线,而使用频率调制过的微波频率扫描并通过锁相放大器解调即可获得一阶微分谱形式的光探测磁共振谱线。光探测磁共振实验结果如图 4 所示。

由于系综金刚石样品中存在 8 种不同朝向的 NV 色心,在通过直接采样模式采样到如图 4a 所示的未经过微波调制的光探测磁共振谱图中,出现了 8 组共振峰,并存在由 N14 核自旋耦合形成的超精细特征。

在进行微波调制并且数据经过锁相放大器处

理后,出现了如图 4b 所示的光探测磁共振一阶微分谱,一阶微分谱中的超精细结构呈现与光探测磁共振谱中的共振峰一一对应。由此验证了本文设计对数据锁相放大功能的完善。

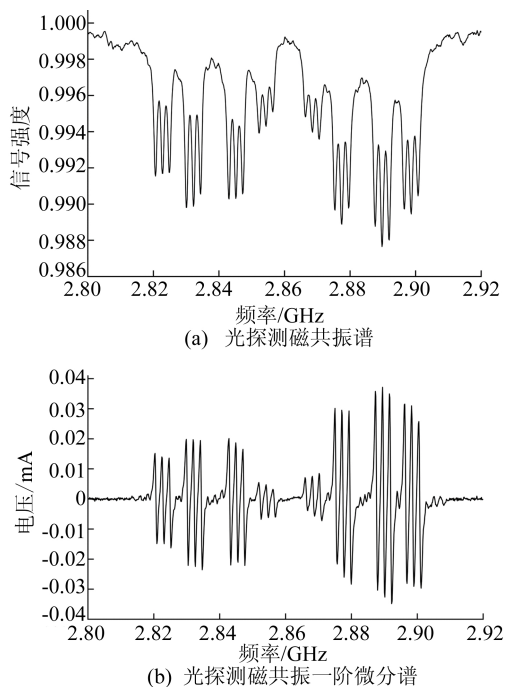


图 4 光探测磁共振实验结果

经过后续拟合计算可得,使用该锁相放大器的磁强计灵敏度可以达到 $1.23 \text{ nT/Hz}^{1/2}$ 。具体可以表征磁强计灵敏度的噪声谱密度图如图 5 所示,此时的等效噪声带宽约为 78 Hz ,将 $1 \sim 78 \text{ Hz}$ 内的数据平均,可以得到具体的灵敏度,刻度如图 5 中虚线所示。

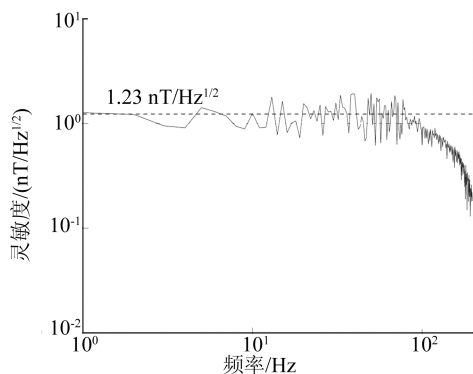


图 5 噪声谱密度

灵敏度的测量结果验证了本文设计的数字锁相放大器数据采集处理准确、工作稳定,且采样率最高可达 125 MS/s ,输入模拟噪声低至 $1 \text{ nV/Hz}^{1/2}$,满足 NV 磁强计对锁放的需求。

4 结 论

本文设计并实现了应用于 NV 系综量子实验的数字锁相放大器。该系统以 ZYNQ 芯片为核心,通过 ADC、FPGA 与 ARM 的架构以及 DDR3 存储芯片实现了对实验数据的采集、处理、存储、传输以及对实验系统的控制。整套系统相较于产品化的锁相放大器,结构简单且成本较低,仅需单板即可实现,有利于后续实验操作系统的集成化;同时设计了方便实验人员操作的指令系统,大大减少了实验人员对实验系统操作的学习成本。

对 NV 系综平台的 ODMR 实验数据进行采集以及片上处理后获得的结果表明,本文设计的锁相放大器能够较好地满足实验中对模拟信号的高速采集需求以及对采集信号的锁相放大处理功能。

【参 考 文 献】

- [1] TAYLOR J M, CAPPELLARO P, CHILDRESS L, et al. High sensitivity diamond magnetometer with nanoscale resolution[J]. *Nature Physics*, 2008, 4(10): 810-816.
- [2] SCHLOSS J M, BARRY J F, TURNER M J, et al. Simultaneous broadband vector magnetometry using solid state spins[J]. *Physical Review Applied*, 2018, 10(3): 034044.
- [3] XIE Y, GEND J, YU H, et al. Dissipative quantum sensing with a magnetometer based on nitrogen-vacancy centers in diamond[J]. *Physical Review Applied*, 2020, 14(1): 014013.
- [4] KISHORE K, AKBAR S A. Evolution of lock-in amplifier as portable sensor interface platform: a review[J]. *IEEE Sensors Journal*, 2020, 20(18): 10345-10354.
- [5] RYAN C A, JOHNSON B R, RIST D, et al. Hardware for dynamic quantum computing[J]. *Review of Scientific Instruments*, 2017, 88(10): 104703.
- [6] MEHTA R H, JASANI K, ISRANI D, et al. FPGA realization of novel techniques for DDR based data acquisition system[C]//2016 2nd International Conference on Next Generation Computing Technologies (NGCT). [S. l.]: IEEE, 2016: 511-515.
- [7] GERVASONI G, CARMINATI M, FERRARI G. FPGA-based lock-in amplifier with sub-ppm resolution working up to 6 MHz[C]//2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS). [S. l.]: IEEE, 2016: 117-120.
- [8] MOUNT E, GAULTNEY D, VRIJSEN G, et al. Scalable digital hardware for a trapped ion quantum computer[J]. *Quantum Information Processing*, 2016, 15: 5281-5298.
- [9] WILSON J W, PARK J K, WARREN W S, et al. Flexible digital signal processing architecture for narrowband and spread-spectrum lock-in detection in multiphoton microscopy and time-resolved spectroscopy[J]. *Review of Scientific Instruments*, 2015, 86(3): 033707.

- [10] DEJDAR P, MUNSTER P, HORVATH T. High-speed data acquisition and signal processing using cost effective arm+fpga processors[C]//International Conference on Telecommunications and Signal Processing (TSP). [S. l.]: IEEE, 2019: 593-596.
- [11] NEUHAUS L, METZDORFF R, CHUA S, et al. PyRPL (python red pitaya lockbox): an open-source software package for FPGA-controlled quantum optics experiments [C]//2017 Conference on Lasers and Electro-Optics Europe & European Quantum Electronics Conference (CLEO/Europe-EQEC). [S. l.]: IEEE, 2017: 1.
- [12] WANG Z, SHI X, WANG W, et al. High-performance digital lock-in amplifier module based on an open-source red pitaya platform: implementation and applications[J]. IEEE Transactions on Instrumentation and Measurement, 2022, 72: 1-14.
- [13] STIMPSON G A, SKILBECK M S, PATEL R L, et al. An open-source high-frequency lock-in amplifier[J]. Review of Scientific Instruments, 2019, 90(9): 094701.
- [14] ZHOU F, SONG S, DENG Y, et al. Mixed-signal data acquisition system for optically detected magnetic resonance of solid-state spins[J]. Review of Scientific Instruments, 2021, 92(11): 114702.
- [15] OFEK N, PETRENKO A, HEERES R, et al. Extending the lifetime of a quantum bit with error correction in superconducting circuits [J]. Nature, 2016, 536 (7617): 441-445.

(责任编辑 胡亚敏)

(上接第 9 页)

5 结 论

1) 本文基于大学生无人驾驶赛车,结合具体赛道应用场景,使用优化约束的 Delaunay 三角剖分法,生成连续的赛道中线路径,为后期路径优化提供支持。

2) 基于二次规划方法,选取最小曲率路径和最短距离路径 2 个优化方向,对比 2 种优化算法在仿真目标试验赛道上的圈速,结果表明最小曲率路径圈速比最短距离路径圈速提高 25.31%,且最小曲率路径优化方向在弯道处加减速频率低,动力损失少,能够更好地发挥赛车性能。

3) 实车试验证明,最小曲率路径优化算法在动态环境下赛车能够规划出理想平滑的路径,路径的曲率值下降,且该算法具有有效性和稳定性,能够满足赛车在赛道上的行驶要求。

后续研究将根据速度规划进行动力学跟踪控制研究,进一步优化无人驾驶赛车在赛道上行驶的稳定性。

[参 考 文 献]

- [1] 吴红波,王英杰,杨肖肖. 基于 Dijkstra 算法优化的城市交通路径分析[J]. 北京交通大学学报, 2019, 43(4): 116-121, 130.
- [2] 胡满江,牟斌杰,杨泽宇,等. 基于 DBSCAN 与二分法的混合 A* 路径规划方法[J]. 汽车工程, 2023, 45(3): 341-349, 371.
- [3] 徐玉全. 狭窄空间下连续体机器人路径规划方法研究[D]. 合肥:合肥工业大学, 2022.
- [4] 江洪,蒋潇杰. 基于 RRT 改进的路径规划算法[J]. 重庆理工大学学报(自然科学), 2021, 35(7): 10-16, 124.
- [5] 孔慧芳,夏露,张倩. 基于改进人工势场法的智能车辆避障路径规划[J]. 合肥工业大学学报(自然科学版), 2023, 46(5): 583-589.
- [6] 郭泉鹏. 基于改进人工势场法的路径规划算法研究[D]. 哈尔滨:哈尔滨工业大学, 2017.
- [7] 朱敏,肖阳,臧昭宇. 基于改进蚁群算法的工业机器人路径规划研究[J]. 合肥工业大学学报(自然科学版), 2023, 46(4): 463-467, 534.
- [8] 张志军,董学平,甘敏. 基于优化蚁群算法的 AGV 路径规划研究[J]. 合肥工业大学学报(自然科学版), 2022, 45(7): 914-919, 924.
- [9] 何启嘉,王启明,李佳璇,等. 基于优势竞争网络的转运机器人路径规划[J]. 清华大学学报(自然科学版), 2022, 62(11): 1751-1757.
- [10] 李荣荣,庄伟超,殷国栋,等. 自动驾驶赛车路径与车速协同规划方法[J]. 机械工程学报, 2022, 58(10): 200-208.
- [11] BIANCO N D, BERTOLAZZI E, BIRAL F, et al. Comparison of direct and indirect methods for minimum lap time optimal control problems[J]. Vehicle System Dynamics, 2019, 57(5): 665-696.
- [12] GARLICK S, BRADLEY A. Real-time optimal trajectory planning for autonomous vehicles and lap time simulation using machine learning [J]. Vehicle System Dynamics, 2022, 60(12): 4269-4289.
- [13] 杨国林,柴天. 无人驾驶赛车时间最优轨迹规划[C]//2020 中国汽车工程学会年会论文集(8). 北京:机械工业出版社, 2020: 290-296.
- [14] LINIGER A, DOMAHIDI A, MORARI M. Optimization-based autonomous racing of 1:43 scale RC cars[J]. Optimal Control Applications and Methods, 2015, 36(5): 628-647.
- [15] 龚国铮,郑少武,钟思祺,等. 基于预测模型的无人赛车路径规划算法研究[J]. 汽车技术, 2022(7): 32-41.

(责任编辑 胡亚敏)