

DOI:10.3969/j.issn.1003-5060.2024.09.007

# 适用于宽带宽的快速锁定电荷泵锁相环设计

周涛<sup>1,2</sup>, 刘兴辉<sup>1</sup>, 尹飞飞<sup>1</sup>, 左什<sup>2</sup>, 李智<sup>2</sup>

(1. 辽宁大学 物理学院, 辽宁 沈阳 110036; 2. 中国科学院 微电子研究所感知中心, 北京 100029)

**摘要:**文章基于 TSMC 0.18  $\mu\text{m}$  CMOS 工艺, 设计一种适用于宽带宽下可快速锁定的电荷泵锁相环(charge pump phase-locked loop, CPPLL)。采用一种自适应快速锁定结构, 比较参考信号与反馈信号的频率、相位, 通过开启大电流与小电流快速锁定通路, 对环路滤波器中的电容进行放电使得压控振荡器的控制电压降至锁定电平附近的方法, 最大限度地减小锁定时间。通过 SPECTRE 仿真验证表明, 在 1.8 V 供电电压下, 输出频率为 768 MHz 时, 锁定时间仅需 1.5  $\mu\text{s}$ , 缩短了 78%, 功耗为 3.6 mW。

**关键词:**锁相环; 快速锁定; 宽带宽; 电荷泵

中图分类号: TN911.8

文献标志码: A

文章编号: 1003-5060(2024)09-1196-06

## Design of fast-lock charge pump phase-locked loop for wide bandwidth

ZHOU Tao<sup>1,2</sup>, LIU Xinghui<sup>1</sup>, YIN Feifei<sup>1</sup>, ZUO Shi<sup>2</sup>, LI Zhi<sup>2</sup>

(1. School of Physics, Liaoning University, Shenyang 110036, China; 2. Sensing Center of Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

**Abstract:** Based on the TSMC 0.18  $\mu\text{m}$  CMOS technology, a charge pump phase-locked loop (CPPLL) suitable for fast locking in wide bandwidth is designed. An adaptive fast-lock structure is used to compare the frequency and phase of the reference signal with those of the feedback signal. By turning on the high current fast-lock and small current fast-lock paths, the capacitor in the loop filter is discharged so that the control voltage of the voltage controlled oscillator (VCO) drops near the lock level, thereby minimizing the locking time. SPECTRE simulation verifies that at 1.8 V supply voltage and 768 MHz output frequency, the locking time only needs 1.5  $\mu\text{s}$ , which reduces 78%, and the power consumption is 3.6 mW.

**Key words:** phase-locked loop; fast lock; wide bandwidth; charge pump

随着通信技术的发展, 频率合成器得到广泛应用。常用的频率合成方法有直接模拟频率合成、直接数字频率合成、锁相环技术<sup>[1]</sup>。其中锁相环技术相比其他 2 种方法, 具有相噪低、分辨率高、频段高、抖动小等优点, 但其锁定时间长。因此, 解决锁相环技术中的锁定时间问题是目前通信领域的一大难题<sup>[2-4]</sup>。

为了缩短锁相环锁定时间, 文献[5]通过比较 2 个频率的绝对相位差来改变电荷泵充放电电

流, 进而改变带宽, 减小锁定时间; 文献[6]通过带宽控制单元比较两频率差, 以此改变电荷泵的充放电电流, 进而改变带宽, 达到优化锁定时间的目的; 文献[7]通过比较鉴频鉴相器输出的相位误差值与控制模块的延迟时间, 进而改变电荷泵的充放电电流, 改变带宽, 缩短锁定时间。但上述文献采用动态调整电荷泵电流的方法需要考虑改变带宽的同时, 还要通过改变环路滤波器参数等方式以保证环路的稳定性, 因而较为复杂, 而且不能最

收稿日期: 2022-05-22; 修回日期: 2022-11-10

基金项目: 辽宁省自然科学基金资助项目(2021-MS-148)

作者简介: 周涛(1997—), 男, 四川广安人, 辽宁大学硕士生;

刘兴辉(1972—), 男, 辽宁辽阳人, 博士, 辽宁大学教授, 硕士生导师, 通信作者, E-mail: liuxinghui@lnu.edu.cn.

大限度地优化电荷泵锁相环(charge pump phase-locked loop, CPPLL)的锁定时间。

因此,本文提出一种自适应的快速锁定锁相环,比较参考信号与反馈信号的频率、相位,通过建立大电流与小电流快速锁定通路,对环路滤波器中的电容进行放电使得压控振荡器的控制电压降至锁定电平附近的方法,最大限度地减小锁定时间。并基于 TSMC 0.18  $\mu\text{m}$  CMOS 工艺完成电路设计与仿真,结果表明锁定时间仅需 1.5  $\mu\text{s}$ ,功耗 3.6 mW,满足对快速锁定要求。

## 1 CPPLL 电路的设计

### 1.1 CPPLL 电路的结构

传统的 CPPLL 主要包含鉴频鉴相器(phase frequency detector, PFD)、电荷泵(charge pump, CP)、压控振荡器(voltage controlled oscillator, VCO)、环路滤波器(loop filter, LPF)、缓冲器(BUFFER)、分频器(DIV)。PFD 通过对比参考时钟相位与分频器输出的反馈信号的相位进行比较,产生与相位差成正比的脉冲信号,去控制 CP 的开关,CP 产生的电流给 LPF 的电容充放电,继而改变 VCO 的控制电压(VCTRL),改变其振荡频率,其产生的信号经过 BUFFER 与 DIV 后,继续与参考信号相比较,由于处于负反馈环路,最终稳定后会产生与输入参考信号同相位、频率为参考信号频率  $N$  倍( $N$  为分频比)的输出信号(VOUT)。

系统开环传递函数  $H(s)$  为:

$$H(s) = \frac{I_{CP}K_{VCO}}{2\pi Ns} Z_{LPF} \quad (1)$$

其中: $I_{CP}$  为 CP 的充放电电流; $K_{VCO}$  为压控振荡

器增益。

$$Z_{LPF}(s) = \frac{1}{C_2 s} // \left( R_1 + \frac{1}{C_1 s} \right) = \frac{R_1 C_1 s + 1}{s(R_1 C_1 C_2 s + C_1 + C_2)} \quad (2)$$

由式(1)可得开环带宽  $\omega_c$  为:

$$\omega_c = \frac{R_1 I_{CP} K_{VCO} b}{2\pi N(b+1)} \quad (3)$$

其中, $b$  为  $C_1$ 、 $C_2$  的比值。

阻尼因子为:

$$\zeta = \frac{R_1}{2} \sqrt{\frac{I_{CP} C_1 K_{VCO}}{2\pi N}} \quad (4)$$

利用拉普拉斯变换对系统求阶跃响应,可以得到锁定时间  $t_{lock}^{[8]}$ ,即

$$t_{lock} = \frac{2}{\omega_c} \ln \frac{\Delta f}{(f_1 + \Delta f) | \alpha |} \quad (5)$$

其中: $\alpha$  为锁定精度; $f_1$  为初始频率; $\Delta f$  为跳变频率。

由式(5)可知,传统 CPPLL 的锁定时间与环路带宽成反比。带宽越大,锁定时间越短,但考虑到系统的相位噪声以及环路的稳定性,带宽设计的上限一般为 0.1 倍的参考频率。

CPPLL 的结构如图 1 所示。为了进一步优化宽带宽下的锁定时间,本文在传统的 CPPLL 基础上,增加了自适应快速锁定结构,即 FAST-LOCK 模块,其包含 1 个大电流快速锁定模块(FLOCKL)与小电流快速锁定模块(FLOCKS)。图 1 中: $I_{C_1}$  为大电流快速锁定通路对  $C_1$  的放电电流; $I_{C_2}$  为小电流快速锁定通路对  $C_2$  的放电电流。通过  $I_{C_1}$ 、 $I_{C_2}$  对环路滤波器里的电容进行预放电,使得 VCTRL 迅速下降至锁定电平附近,从而优化锁定时间。

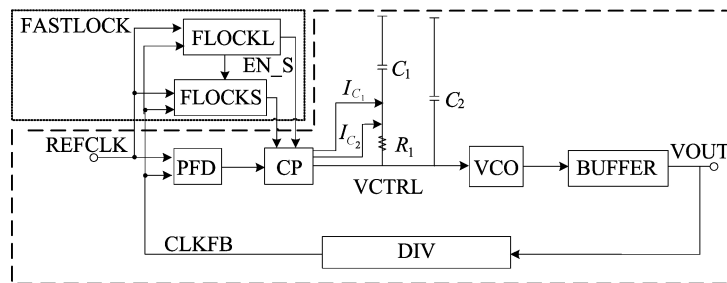


图 1 CPPLL 的结构

经过推导,锁定时间  $t_{fastlock}$  可以表示为:

$$t_{fastlock} \approx \frac{C_1 [V_{ctrl}(t) - V_{ctrl}(0)]}{I_{C_1} + I_{C_2}} \quad (6)$$

由式(6)可知,上电后的一段时间由  $V_{ctrl}$ 、

$I_{C_1}$ 、 $I_{C_2}$ 、 $C_1$  共同决定。因此调整大电流与小电流快速锁定通路的电流大小可获得最小的锁定时间。

### 1.2 自适应快速锁定结构的设计

当锁相环刚开始上电时,VCTRL 很高,振荡

频率很低,经过分频器所得到的反馈信号频率很低,远低于参考频率,此时大电流与小电流快速锁定通路均开启,使得 VCTRL 急速下降,增加环路振荡器的电流,增大振荡频率,从而快速增大反馈信号频率。当参考频率接近或等于反馈频率时,大电流快速锁定模块输出拉低,关断此大电流快速锁定通路。若参考频率小于反馈频率或在一段时间内反馈信号的相位一直滞后于参考信号的相

位,则关断小电流快速锁定通路,此时的 VCTRL 已非常接近锁定后的 VCTRL 值,并且小幅度波动,最后利用传统的工作模式对 LPF 的电容充放电,从而实现快速锁定,其输出 VOUT 频率稳定在 768 MHz 附近。

大电流快速锁定模块电路如图 2 所示,由图 2 可知,该电路由基本的 D 触发器、或门、延迟单元等构成。

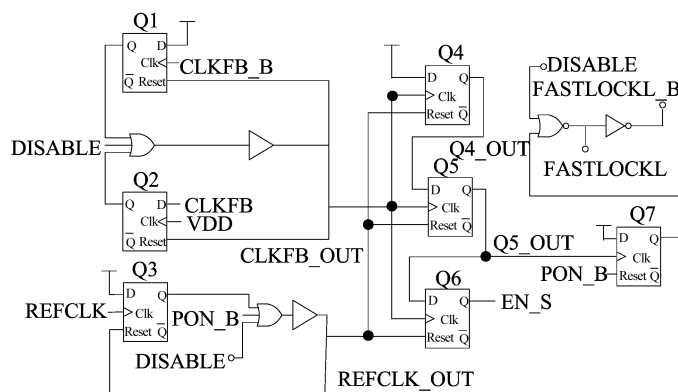


图 2 大电流快速锁定模块电路

考虑到芯片的面积、功耗等因素,采用结构简单的真单相时钟(true single phase clock, TSPC)构成的带 RESET 复位端的 D 触发器。DISABLE 控制信号能在快速锁定与传统锁定方式间进行选择切换,当 DISABLE 信号为低时,开启快速锁定通路;当其为高时,关断快速锁定通路,切换至传统的工作模式完成锁定过程。使能信号 PON-B 在正常工作时一直为低,其作用是在刚开始上电时,给触发器等模块赋初值。当参考时钟上升沿到来时, Q1 输出拉高,经过或门、延迟单元后,控制复位端,从而生成对应频率大小的脉冲信号 REFCLK\_OUT。同理,当分频器的输出 CLKFB 与取反的信号 CLKFB\_B 到来时,经过

触发器、或门、延迟单元,从而生成 2 倍频率大小的脉冲信号 CLKFB\_OUT。触发器 Q4、Q5、Q6 构成移位寄存器,分别由 CLKFB\_OUT 与 REFCLK\_OUT 控制,当参考信号频率接近或大于等于反馈信号的频率时,触发器 Q5 输出为高,继而 Q7 输出为高,FASTLOCK 拉低,FASTLOCK\_B 拉高,关断大电流快速锁定通路。其中只有当反馈信号的频率大于参考信号的频率时, Q6 的输出 EN-S 才会拉高,控制小电流快速锁定模块 Q13 的复位端,强制关断小电流快速锁定通路。此时 VCO 的振荡频率已接近稳定后的振荡频率,有效地减小了锁定时间。

大电流快速锁定模块时序图如图 3 所示。

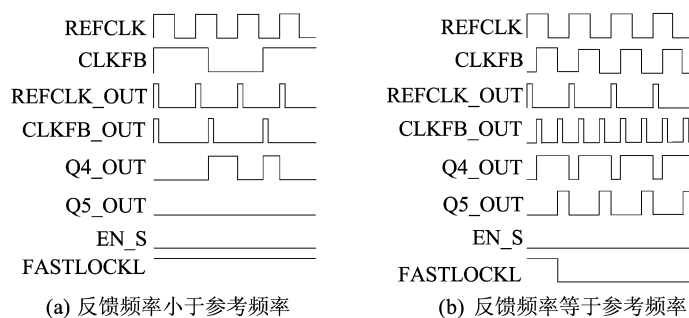


图 3 大电流快速锁定模块时序图

从图 3a 可以看出, REFCLK\_OUT 是与参考

信号 REFCLK 同频率的脉冲信号, CLKFB\_OUT

是反馈信号 CLKFB 2 倍频率的脉冲信号,触发器 Q5 输出恒为低,继而 Q7 输出一直为低,FAST-LOCKL 恒为高,大电流快速锁定通路一直打开,持续给 LPF 的电容  $C_1$  放电,使得 VCTRL 下降,振荡频率上升。从图 3b 可以看出,当 REFCLK\_OUT 为低、CLKFB\_OUT 第 1 个上升沿到来时, Q4\_OUT 拉高;CLKFB\_OUT 第 2 个上升沿到来时, Q5\_OUT 才拉高,继而 Q7 输出拉高,FAST-LOCKL 拉低,FASTLOCKL\_B 拉高,关闭大电流快速锁定通路。

小电流快速锁定模块电路如图 4 所示。当 DISABLE 信号为低、使能信号 PON\_B 为低时,自适应快速锁定结构开启正常工作。触发器 Q10、Q11、Q12 构成移位寄存器,触发器 Q8 比较

参考信号的相位与分频器输出的反馈信号的相位,触发器 Q9 比较参考信号取反的相位与反馈信号取反的相位,两输出经过或门、延迟单元后,控制触发器 Q10、Q11、Q12 的 RESET 端。当在一定时间内反馈信号的相位均滞后参考信号的相位时, Q12 的输出会拉高, Q13 的输出 Q 端也会拉高, FASTLOCKS 跳变为低电平, FASTLOCK\_B 拉高,关断小电流快速锁定通路。当反馈信号的频率大于参考信号的频率时导致 EN\_S 拉高,也会导致 Q13 的输出 Q 端拉高, FASTLOCKS 跳变为低电平, FASTLOCK\_B 拉高,关断小电流快速锁定通路。此时 VCTRL 值非常接近锁定电平,从而实现最大化地缩短锁定时间。

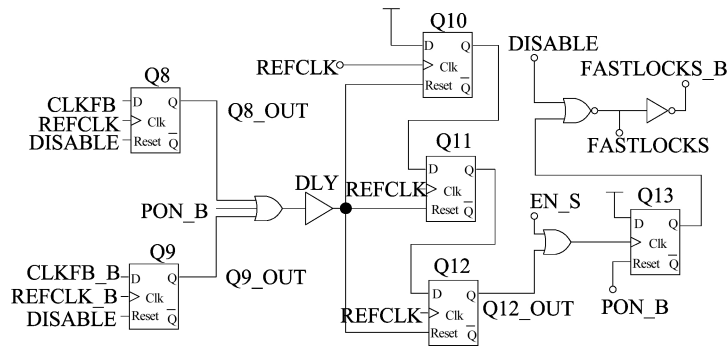


图 4 小电流快速锁定模块电路

小电流快速锁定模块时序图如图 5 所示。从图 5a 可以看出,触发器 Q12 的输出 Q 端恒为低电平,FASTLOCK 一直为高,小电流快速锁定通路一直打开,持续给 LPF 的电容  $C_1$  放电,使得 VCTRL

下降,振荡频率上升。从图 5b 可以看出,触发器 Q8、Q9 的输出 Q 端均为低电平,经过 3 个参考时钟周期后, Q12\_OUT 拉高, FASTLOCK 跳变为高电平,关闭小电流快速锁定通路。

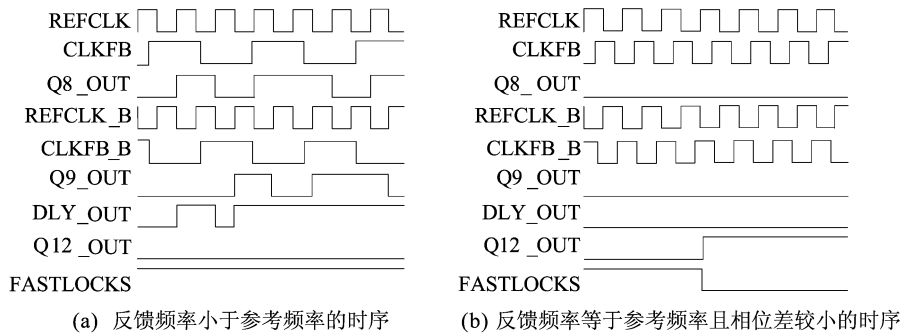


图 5 小电流快速锁定模块时序图

### 1.3 CP 电路的设计

传统与改进的 CP 结构如图 6 所示。从图 6a 可以看出,通过 PFD 输出 UP、DN 信号来控制开关,从而控制对 LPF 中电容的充放电。在锁定时,由于 CP 的非理想因素,如开关的延时失配、

上下电流的失配、管子的漏电流、沟道电荷注入、时钟馈通、电荷共享等,导致压控振荡器的控制电压出现纹波<sup>[9]</sup>,即周期性的毛刺,导致输出频率波动,最终给锁相环带来杂散。

从图 6b 可以看出,由于 UP、UP\_B、DN、

DN-B 信号在传输时,可能出现失配,导致未同时作用于 CP,因此采用互补开关。由于管子的沟道长度调制效应,考虑到低电压下管子的阈值电压,采用长沟道器件,使镜像电流尽可能精准,减少电流失配。沟道电荷注入是指当管子断开时,存在于沟道中的电荷注入到源端和漏端,导致源漏电压的变化,一般通过减小栅长来减少注入,但栅长过小会导致管子的导通阻抗增加,降低电压裕度,增大电流失配。时钟馈通是指由于管子寄

生电容,时钟信号在跳变时耦合到源端与漏端的现象,因此采用传输门做开关,调整 P 管与 N 管的尺寸,减小沟道电荷注入、时钟馈通带来的影响。电荷共享是指当 CP 一条支路关断时,相应的节点会被上拉或下拉,当该支路再次导通时,LPF 的电容对 CP 充放电,导致 VCTRL 的波动。因此采用轨到轨运放构成的单位增益负反馈,钳制两点电位,消除电流不匹配的问题,减小电荷共享带来的影响。

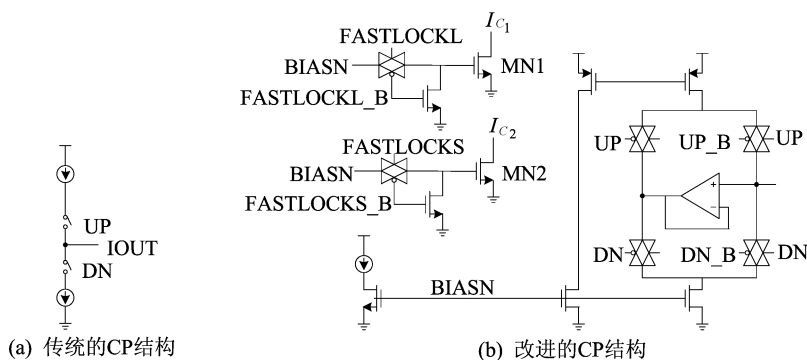


图 6 传统与改进的 CP 结构

当 FASTLOCKL 为高电平、FASTLOCKL-B 为低电平时,传输门开启,BIASN 作用于 MN1 栅极上,大电流快速锁定通路打开,通过电流  $I_{C1}$  对 LPF 里的电容  $C_1$  放电,使得 VCTRL 下降,振荡频率升高。同理,当 FASTLOCKS 为高电平、FASTLOCKS-B 为低电平时,BIASN 作用于 MN2 栅极上,小电流快速锁定通路打开,通过电流  $I_{C2}$  给 LPF 里的电容  $C_2$  放电,使得 VCO 振荡频率升高。

## 2 仿真验证与分析

基于 SMIC 0.18  $\mu\text{m}$  工艺,采用 Cadence 完成电路设计与仿真验证。其中参考频率由 12 MHz 的晶振提供,采用 64 分频,考虑到相位噪声与系统的稳定性,环路带宽设置在 1 MHz。FASTLOCKL、FASTLOCKS、VCTRL、输出 VOUT 在系统锁定过程中的波形如图 7 所示。

开始上电时,FASTLOCKL、FASTLOCKS 均被拉高,快速锁定通路打开,使得 VCTRL 迅速下降;当两者频率接近时,FASTLOCKL 变为低电平,关闭大电流快速锁定通路;当反馈频率大于参考频率时,此时的 VCTRL 稍低于锁定后的 VCTRL 值,因此 FASTLOCKS 变为低电平,关闭小电流快速锁定通路。

最后利用传统的工作模式继续对 LPF 的电容充放电,从而实现快速锁定,输出 VOUT 频率稳定在 768 MHz 附近。

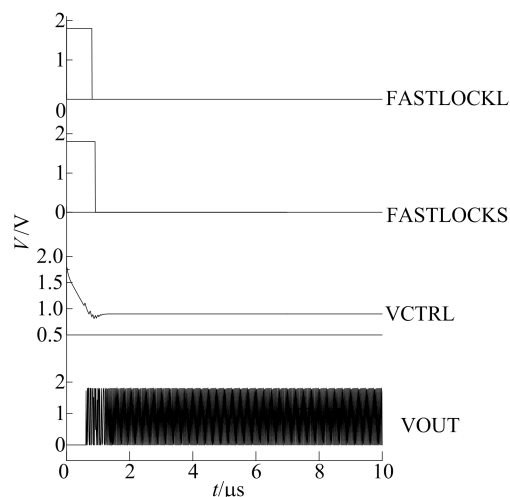


图 7 CPPLL 瞬态仿真曲线

锁相环控制电压锁定曲线的瞬态仿真结果如图 8 所示。图 8 中:曲线 V1 是采用传统 CP 且 DISABLE 为 0(开启自适应快速锁定电路)时的 VCTRL 瞬态波形,纹波值约为 3 mV;曲线 V2 是采用改进型 CP 且 DISABLE 为 0 时的 VCTRL 瞬态波形,纹波值约为 20  $\mu\text{V}$ ,因此采用改进型

CP,极大地优化了纹波值,降低了杂散;曲线 V3 是采用改进型 CP 且 DISABLE 为 1(未开启自适应快速锁定电路)时的 VCTRL 瞬态波形,锁定时间约为 7  $\mu\text{s}$ 。

曲线 V2 锁定时间约为 1.5  $\mu\text{s}$ ,相比于未开启自适应快速锁定通路,锁定时间缩短了 78%。因此通过自适应快速锁定电路对 LPF 的电容  $C_1$  进行放电使 VCTRL 降至锁定电平附近的方法,锁定时间明显缩短。

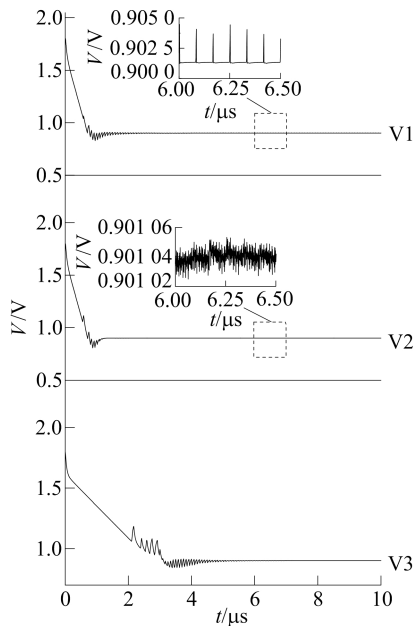


图8 锁相环 VCTRL 曲线

本文与其他相关文献的参数对比结果见表 1 所列。从表 1 可以看出,采用自适应快速锁定结构的 CPPLL 在锁定时间、功耗等方面具有很大优势。

表 1 本文与其他文献参数对比

参数	工艺尺寸/ $\mu\text{m}$	电源电压/ V	功耗/ mW	锁定时间/ $\mu\text{s}$
文献[10]	0.18	1.8		2.0
文献[11]	0.13	1.5	8.9	4.0
文献[12]	0.18	1.8	19.8	20.0
文献[13]	0.18	1.8	11.0	50.0
本文	0.18	1.8	3.6	1.5

### 3 结 论

为实现适用于宽带宽下可快速锁定的锁相环设计,本文在传统锁相环的基础上,增加了自适应快速锁定结构,详细分析了该自适应快速锁定结

构的工作原理,并列出行序图加以验证。针对 CP 的非理想因素,提出了适当的解决办法。最后基于 TSMC 0.18  $\mu\text{m}$  CMOS 工艺完成了电路设计与仿真,结果表明:1.8 V 供电电压、输出频率 768 MHz 情况下,锁定时间仅需要 1.5  $\mu\text{s}$ ,缩短了 78%,功耗 3.6 mW,很好地满足了对快速锁定的需求。

### [参 考 文 献]

- [1] 梅文华,王淑波,邱永红,等. 调频通信[M]. 北京:国防工业出版社,2005:88-96.
- [2] SUN Y F, YU X Y, RHEE W G. A fast settling dual-path fractional-N PLL with hybrid-mode dynamic bandwidth control[J]. IEEE Microwave and Wireless Components Letters, 2010, 20(8): 462-464.
- [3] YIN Y D, YAN Y P, LIANG W W. A fast lock frequency synthesizer using an improved adaptive frequency calibration[J]. Journal of Semiconductors, 2010, 31(6): 1-6.
- [4] JAEWOOK S, HYUNCHOL S. A 1.9-3.8 GHz  $\Delta$  fractional-N PLL frequency synthesizer with fast auto-calibration of loop bandwidth and VCO frequency[J]. IEEE Journal of Solid-State Circuits, 2012, 47(3): 665-675.
- [5] JOONSUK L, BEOMSUP K. A low-noise fast-lock phase-locked loop with adaptive bandwidth control[J]. IEEE Journal of Solid-State Circuits, 2000, 38(5): 1137-1145.
- [6] 雷鑑铭,何威,邹志革,等. 快速锁定的宽频带 CMOS 锁相环设计[J]. 华中科技大学学报(自然科学版), 2012, 40(7): 71-74.
- [7] 谭茗,唐立军,黄水龙,等. 基于 40 nm CMOS 工艺可快速锁定的宽带锁相环电路设计[J]. 微电子学与计算机, 2014, 31(1): 156-159.
- [8] 陈敏华,李江,夏时翔,等. 基于锁定时间分析的锁相环频率合成器[J]. 微波学报, 2012, 28(1): 57-61.
- [9] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿,译. 西安:西安交通大学出版社,2002:458-470.
- [10] 郇昌红,吴秀山,吕威. 2.4 GHz 频率综合器中低杂散锁相环的设计[J]. 微电子学, 2013, 43(3): 390-394.
- [11] 吴江,虞致国,王亚军,等. 一种低杂散锁相环频率综合器[J]. 微电子学, 2016, 46(4): 463-466, 470.
- [12] ARAVINDA K, TELUGU K R. Integer-N charge pump phase locked loop for 2.4 GHz application with a novel design of phase frequency detector[J]. IET Circuits, Devices & Systems, 2019, 1751(858): 60-65.
- [13] CHIU W H, HUANG Y H, LIN T H. A dynamic phase error compensation technique for fast-locking phase-locked loops[J]. IEEE Journal of Solid-State Circuits, 2010, 45(6): 1137-1149.

(责任编辑 张 镛)