

DOI:10.3969/j.issn.1003-5060.2024.06.006

一种高电源抑制比快速启动的带隙基准的设计

吴宏元, 张章, 程威, 马永波

(合肥工业大学 微电子学院, 安徽 合肥 230601)

摘要:文章采用5 V、0.35 μm CMOS工艺,设计一种适用于低噪声高速系统的带隙基准电压源电路。为了保证电路具有较高的电源抑制比(power supply rejection ratio, PSRR),设计一种抑制电源电压波动的负反馈回路,并且在电路中采用具有较高增益的两级放大器结构。针对某些系统快速启动的需求,设计快速启动电路,当电源上电时启动电路直接作用于基准电压,加速带隙基准电路的启动,在电路正常启动后通过开关管使启动电路停止工作。仿真结果表明,温度在 $-40 \sim 125$ $^{\circ}\text{C}$ 范围内,带隙基准的温漂系数为 13.05×10^{-6} $^{\circ}\text{C}^{-1}$;低频时PSRR为100.6 dB;线性调整率(line regulation, LNR)为0.024 mV/V;启动时间为4 μs 。

关键词:电源抑制比(PSRR);快速启动;带隙基准;负反馈回路;温漂系数;线性调整率(LNR)

中图分类号:TN432 **文献标志码:**A **文章编号:**1003-5060(2024)06-0762-05

Design of a fast start-up bandgap voltage reference with high PSRR

WU Hongyuan, ZHANG Zhang, CHENG Wei, MA Yongbo

(School of Microelectronics, Hefei University of Technology, Hefei 230601, China)

Abstract: Based on 5 V 0.35 μm CMOS process, this paper proposes a bandgap voltage reference circuit suitable for low-noise and high-speed systems. In order to ensure that the circuit has a higher power supply rejection ratio(PSRR), a negative feedback loop is designed to suppress the fluctuation of the power supply, and a two-stage amplifier structure with higher gain is used in the circuit. A fast start-up circuit is designed to meet the requirements of some high-speed systems for the start-up sequence. When the power supply starts to be turned on, the fast start-up circuit directly acts on the reference voltage, which accelerates the start-up of the bandgap reference. After the bandgap voltage reference is normally started, the start-up circuit stops working by turning off the transistors quickly. According to the simulation results, the proposed bandgap voltage reference has a temperature drift coefficient of 13.05×10^{-6} $^{\circ}\text{C}^{-1}$ between -40 $^{\circ}\text{C}$ and 125 $^{\circ}\text{C}$ and the PSRR at low frequency is 100.6 dB. In addition, its line regulation(LNR) and starting time are 0.024 mV/V and 4 μs , respectively.

Key words: power supply rejection ratio(PSRR); fast start-up; bandgap voltage reference; negative feedback loop; temperature drift coefficient; line regulation(LNR)

0 引言

在模拟电路(模拟数字混合信号电路)中,带隙基准电压源是一个基本的电路模块,在电路系

统中有着非常重要的作用。带隙基准的作用是可以提供与电源电压、温度和工艺几乎无关的参考电压值,因此被广泛应用于低压差线性稳压器(low-dropout regulator, LDO)、模数/数模转换器

收稿日期:2022-03-07;修回日期:2022-04-21

基金项目:国家自然科学基金区域创新发展联合基金资助项目(U19A2053)

作者简介:吴宏元(1997—),男,安徽宿州人,合肥工业大学硕士生;

张章(1982—),男,安徽淮南人,博士,合肥工业大学教授,博士生导师,通信作者, E-mail: zhangzhang@hfut.edu.cn.

(ADC/DAC)、开关电源(DC-DC)以及传感器等电路中^[1]。因此,整个电路系统的性能和精度很大程度上取决于带隙基准对温度的敏感程度、受工艺偏差的影响以及抑制电源噪声的能力。温漂系数、电源抑制比(power supply rejection ratio, PSRR)、线性调整率(line regulation, LNR)和启动时间是设计带隙基准电压源时主要关注的几项指标。温漂系数表征的是器件的物理属性受温度变化的影响大小,温漂系数越高说明基准电压值的稳定性越容易受温度影响。带隙基准的 PSRR 和线性调整率分别是交流和直流的角度表征电源电压的变化对输出基准电压值的影响。为了降低电源电压的噪声对基准电压值的干扰,要求带隙基准具有较高的 PSRR。

DC-DC 等电路系统一般可以在较宽的输入电压范围内工作,这对其带隙基准的线性调整率指标提出更高的要求。启动时间反映带隙基准电压源对系统上电的反应快慢,ADC、DAC 等电路系统由于时序较快,若上电时带隙基准反应时间过长,则可能造成系统时序混乱,甚至导致系统无法正常工作^[2-4]。

本文提出一种具有较高电源抑制比的快速启动的带隙基准电压源电路。基于传统的带隙基准电路^[5],设计增加负反馈回路,结合高增益两级放大器和简单密勒补偿,进一步降低电源电压波动对基准电压的影响,从而提高带隙基准电路的电源抑制比。针对 ADC 等系统对上电速度和启动时序的要求,设计快速启动电路,当电源上电时启动电路直接作用于基准电压,加速带隙基准电路的启动,在电路正常启动后通过开关管使启动电路停止工作。另外,设计的带隙基准电路具有较好的温度特性和较低的线性调整率。

1 电路原理与结构分析

1.1 典型的带隙基准结构

以 NPN 双极性结型晶体管(bipolar junction transistor, BJT)为例,BJT 具有如下 2 个温度特性:① 基极-发射极电压 V_{BE} 与绝对温度成反比的关系;② 2 个 BJT 在不同集电极电流的情况下,其基极-发射极电压的差值 ΔV_{BE} 与绝对温度成正比关系^[6]。典型的带隙基准电路如图 1 所示。图 1 中, A_1 为运算放大器,根据放大器的特性可知,节点 X、Y 电位相同。

由于电阻 R_1 、 R_2 阻值相同,因此流过 R_1 、 R_2 的电流值相等,双极晶体管 Q_1 、 Q_2 上也流过相等

的电流。设 Q_1 、 Q_2 晶体管并联个数的比值为 n , 可得 Q_1 、 Q_2 基极-发射极电压的差值 ΔV_{BE} 的表达式^[7]为:

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln \frac{I_0}{I_S} - V_T \ln \frac{I_0}{nI_S} = V_T \ln n \quad (1)$$

其中: V_{BE1} 、 V_{BE2} 分别为晶体管 Q_1 、 Q_2 的基极-发射极电压; V_T 为热电压; I_0 为流过晶体管 Q_1 或者 Q_2 的集电极电流; I_S 为双极型晶体管的饱和电流。

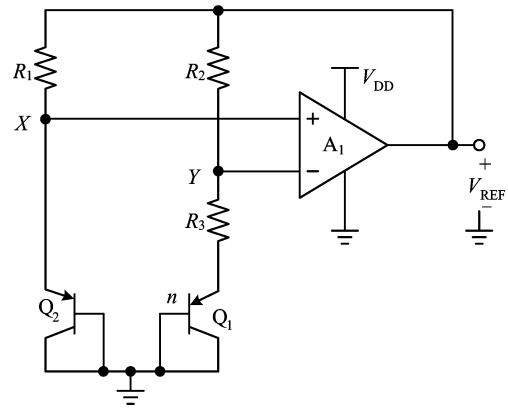


图 1 典型的带隙基准电路

因为流过电阻 R_2 、 R_3 的电流为 $(V_T \ln n)/R_3$, 所以运算放大器 A_1 输出端的电压,即带隙基准电压 V_{REF} 的值为:

$$V_{REF} = V_{EB1} + \frac{R_2 + R_3}{R_3} V_T \ln n \quad (2)$$

对于 PNP 型双极晶体管 Q_1 , V_{EB1} 具有负温度系数, V_T 具有正温度系数,由式(2)可知,通过合理地选择 R_2 、 R_3 和 n 的值,可以得到与电源电压、温度、工艺几乎无关的带隙基准电压^[8]。

1.2 带隙基准核心电路

根据上述原理,本文采用 5 V、0.35 μm CMOS 工艺设计了带隙基准电路,如图 2 所示。图 2 中, Q_1 、 Q_2 、 $M_1 \sim M_3$ 、低阈值管 $M_{L1} \sim M_{L4}$ 、 $R_1 \sim R_7$ 、 C_m 、 R_m 构成带隙基准核心电路。

在核心电路中, $M_1 \sim M_3$ 、 $M_{L1} \sim M_{L4}$ 、 R_1 、 R_2 和 R_7 组成两级运算放大器,其中第 1 级是共源共栅结构,第 2 级是共源极,因此该两级放大器可以实现较高的增益。 C_m 、 R_m 分别为密勒补偿电容和电阻, X、Y 2 个节点分别为两级放大器的输入端, V_{REF} 为放大器的输出端,同时 V_{REF} 也是带隙基准电压。

将 Q_1 、 Q_2 的晶体管并联个数设置为 8 : 1, 电阻 R_4 与 R_5 阻值相同,根据带隙基准的工作原理

可得,电阻 R_5 上的压降为 ΔV_{BE} , 因此流过 R_5 的电流为:

$$I_{R_5} = V_{BE}/R_5 = (V_T \ln n)/R_5 \quad (3)$$

带隙基准电压 V_{REF} 的表达式为:

$$V_{REF} = V_{BE1} + \frac{2(R_3 + R_6)}{R_5} V_T \ln n \quad (4)$$

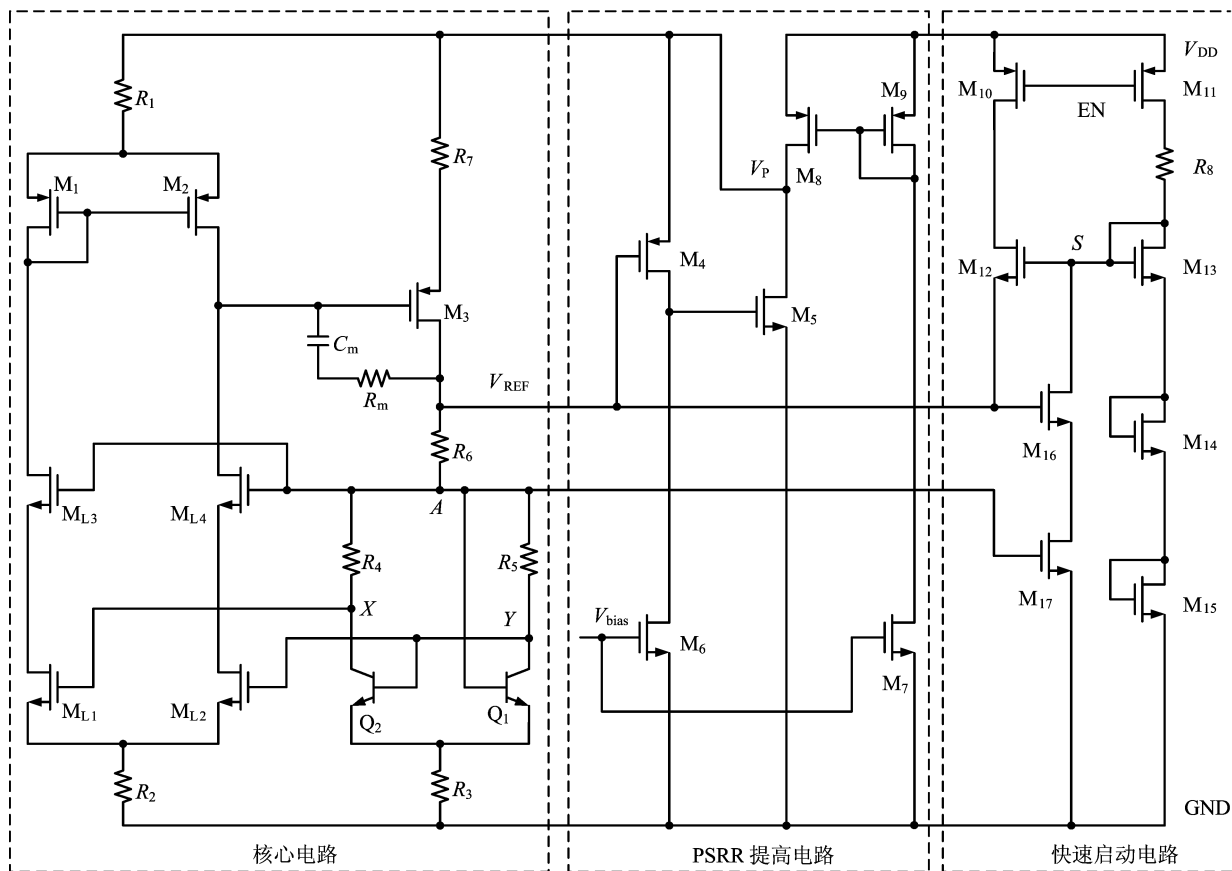


图 2 本文提出的带隙基准电路

1.3 PSRR 提高电路

对于典型的带隙基准电路,基准电压与电源电压小信号之比的表达式^[9]为:

$$\frac{V_{REF}}{V_{DD}} \approx \frac{r_{Q2} + R_3 + R_6}{R_5} \frac{1 - A_{dd}}{A} \quad (5)$$

其中: r_{Q2} 为双极型晶体管 Q_2 的等效小信号电阻; A_{dd} 为放大器中电源到输出端的增益; A 为运算放大器的增益。

从式(5)可以看出,通过提高运算放大器的增益可以提高带隙基准的 PSRR,但同时太高的增益也会降低系统的稳定性。为了提高 PSRR,本文设计增加一路负反馈回路,当电源电压产生波动时,通过负反馈可以减小噪声对基准电压的影响,从而提高 PSRR。从图 2 可以看出,PSRR 提高电路由 $M_4 \sim M_9$ 组成, V_{DD} 为电源电压, V_P 为给核心电路供电的实际电压。晶体管 M_4 、 M_5 以及节点 V_P 构成负反馈回路, M_6 、 M_7 分别为所在支路提供偏置电流。

负反馈回路工作原理如下:当电源电压 V_{DD} 增大引起 V_P 增大时, M_4 可看成共栅极放大器, V_P 增大导致 M_5 栅极电压增大。因为 M_5 是共源极放大器,所以 M_5 的漏极电压相应降低,即 V_P 上升被抑制。通过此负反馈回路,减小电源电压的噪声对核心电路实际供电电压产生的影响,从而进一步提高带隙基准电路的 PSRR。

1.4 快速启动电路

除了正常的工作状态,带隙基准电路还有可能工作在另一种无限关断的状态中,这是由于电路中存在“简并”偏置点,在电源上电过程中,存在各支路电流都为 0 的情况,因此需要增加启动电路。针对某些高速电路系统对启动速度和时序的需求,设计的快速启动电路由晶体管 $M_{10} \sim M_{17}$ 和电阻 R_8 组成。

在快速启动电路中, M_{10} 、 M_{11} 为开关管, M_{12} 、 M_{13} 为电流镜。 $V_{GS_{M_i}}$ 、 $V_{DS_{M_i}}$ 和 $V_{TH_{M_i}}$ 分别为晶体管 M_i 的栅源电压、漏源电压以及阈值电压。

快速启动的原理为:当系统上电后, M_{10} 、 M_{11} 栅极 EN 接低电平,当满足 $|V_{GS_{M_{10}}}| \geq |V_{TH_{M_{10}}}|$ 、 $|V_{GS_{M_{11}}}| \geq |V_{TH_{M_{11}}}|$ 时, M_{10} 、 M_{11} 导通,若不考虑 M_{16} 、 M_{17} , V_{REF} 被快速拉高,即

$$V_{REF} = V_{GS_{M_{13}}} + V_{GS_{M_{14}}} + V_{GS_{M_{15}}} - V_{TH_{M_{12}}} \quad (6)$$

带隙基准核心电路启动后,当 V_{REF} 满足式(7)时, M_{16} 、 M_{17} 导通,节点 S 拉低, M_{12} 、 M_{13} 截止,快速启动电路停止工作。

$$V_{REF} \geq V_{TH_{M_{16}}} + V_{DS_{M_{17}}} \quad (7)$$

2 仿真结果

利用 Cadence 的 Spectre 仿真工具,在电源电压为 5 V 情况下仿真 tt (typical NMOS and typical PMOS)、ff (fast NMOS and fast PMOS) 和 ss (slow NMOS and slow PMOS) 3 种工艺角下带隙基准的温漂系数、RSRR 和启动时间。

温漂系数 T_C 的计算公式^[10]为:

$$T_C = \frac{V_{max} - V_{min}}{V_{mean}(T_{max} - T_{min})} \times 10^6 \quad (8)$$

其中: V_{max} 、 V_{min} 、 V_{mean} 分别为仿真温度范围内基准电压的最大值、最小值和平均值; T_{max} 、 T_{min} 分别为仿真的最高温度和最低温度。温漂系数仿真结果如图 3 所示,从图 3 可以看出,在 $-40 \sim 125^\circ\text{C}$ 范围内,基准电压在 3 个工艺角下的温度特性趋势相似。结合式(8)、图 3 仿真结果可得,tt 工艺角的温漂系数约为 $13.05 \times 10^{-6} \text{ }^\circ\text{C}^{-1}$ 。

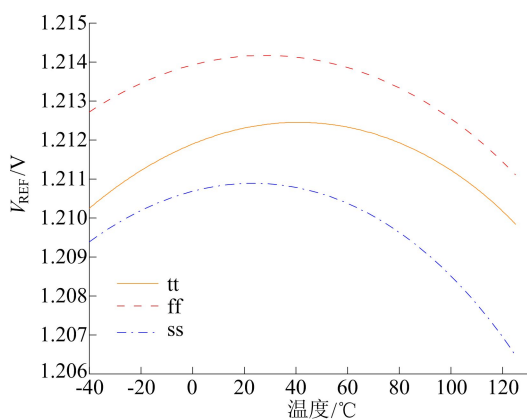


图 3 带隙基准温度特性曲线

常温(25°C)条件下带隙基准在 tt、ff、ss 3 种工艺角的 PSRR 仿真结果如图 4 所示。从图 4 可以看出,3 种工艺角下设计的带隙基准低频 PSRR 范围为 $-102.0 \sim -95.0 \text{ dB}$ 。其中,tt 工艺角下带隙基准低频时的 PSRR 为 -100.6 dB 。

带隙基准启动时间的仿真结果如图 5 所示。从图 5 可以看出,电源电压 V_{DD} 上电时间设为 $1 \mu\text{s}$ 时,基准电压建立时间约为 $4 \mu\text{s}$,设计的快速启动电路有效提高了带隙基准的启动时间。

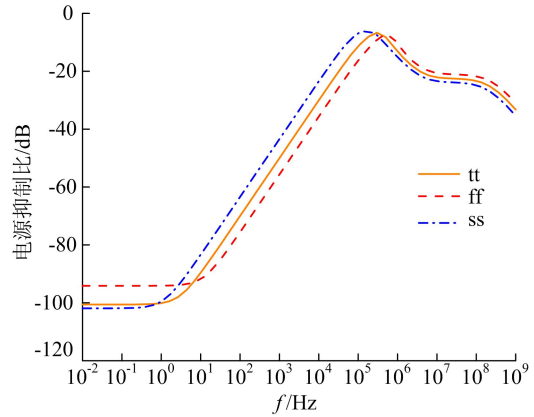


图 4 带隙基准 PSRR 仿真结果

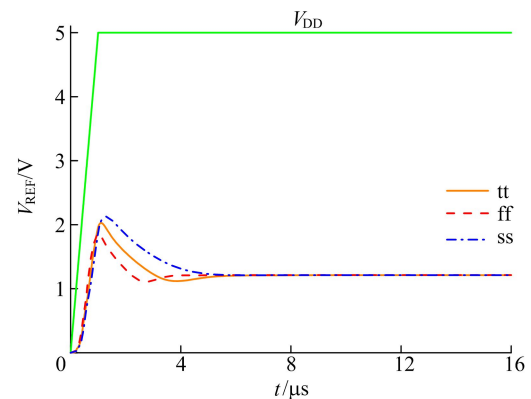


图 5 带隙基准启动时间仿真结果

带隙基准的线性调整率表征电源电压单位变化引起基准电压的变化量。线性调整率越低,说明电源电压的变化对基准电压造成的影响越小。带隙基准的线性调整率仿真结果如图 6 所示。

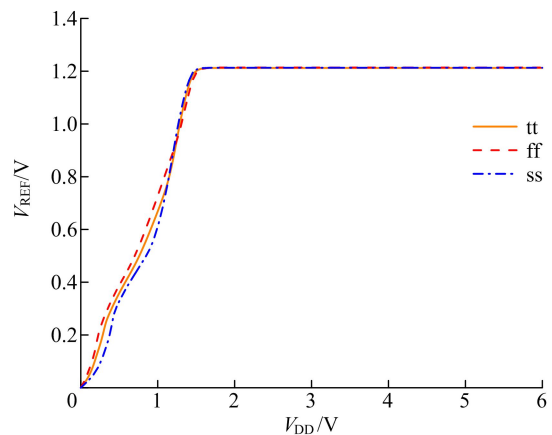


图 6 带隙基准线性调整率仿真结果

由图 6 可知,当电源电压在 1.80~6.00 V 范围变化时,基准电压稳定在 1.212 V 左右,线性调整率为 0.024 mV/V。

本文设计的带隙基准的性能指标与相关文献对比结果见表 1 所列。文献[11]中基于 CMOS 亚阈值区的指数特性,利用曲率补偿技术降低带隙基准的温漂系数,但没有针对电路的启动时间和 PSRR 进行优化;文献[12]通过局部和整体

2 个反馈回路以增强 PSRR,但没有考虑电路的温漂系数和启动时间;文献[13]对带隙基准的启动时间和 PSRR 进行优化,但是由于电路采用了无运放的结构,使得其温度特性较差。

从表 1 可以看出,在相似的仿真条件下,综合考虑温漂系数、PSRR、启动时间和线性调整率等参数,本文方法设计的带隙基准性能相对较好。

表 1 本文与其他文献电路的参数对比

参数	文献[11]	文献[12]	文献[13]	本文方法
工艺参数/nm	90	180	350	350
温度范围/°C	10~80	-55~125	-40~125	-40~125
工作电压/V	1.15	3.00~5.00	3.00	1.80~6.00
温漂系数/(10 ⁻⁶ /°C)	10.10	25.00	25.30	13.05
电源抑制比/dB	-51.5	-76.0	-90.1	-100.6
启动时间/ μ s	78	10	9	4
线性调整率/(mV/V)	2.160	0.100		0.024

3 结 论

本文提出一种高电源抑制比快速启动的带隙基准电压源电路,为了提高电路的电源抑制比、加快启动速度,在带隙基准核心电路的基础上,分别设计负反馈回路和快速启动电路。仿真结果表明,设计的带隙基准电路低频时具有较高的 PSRR,启动时间明显缩短,同时该电路也具有良好的温度特性和线性调整率。

[参 考 文 献]

- [1] ZHOU Z K, SHI Y, WANG Y, et al. A resistorless high-precision compensated CMOS bandgap voltage reference [J]. IEEE Transactions on Circuits and Systems I (Regular Papers), 2019, 66(1): 428-437.
- [2] CHEN K, PETRUZZI L, HULFACHOR R, et al. A 1.16 V 5.8-to-13.5-ppm/°C curvature-compensated CMOS bandgap reference circuit with a shared offset-cancellation method for internal amplifiers [J]. IEEE Journal of Solid-State Circuits, 2021, 56(1): 267-276.
- [3] NAGULAPALLI R, PALANI R K, BHAGAVATULA S. A 24.4 ppm/°C voltage mode bandgap reference with a 1.05V supply[J]. IEEE Transactions on Circuits and Systems II (Express Briefs), 2021, 68(4): 1088-1092.
- [4] WANG S M, MOK P K. An 18-nA ultra-low-current resistorless bandgap reference for 2.8 V-4.5 V high voltage

- supply Li-ion-battery based LSIs[J]. IEEE Transactions on Circuits and Systems II (Express Briefs), 2020, 67(11): 2382-2386.
- [5] GUNAWAN M, MEIJER G, FONDERIE J H, et al. A curvaturecorrected low-voltage bandgap reference [J]. IEEE Solid-State Circuits, 1993, 28(6): 667-670.
- [6] 何乐年, 王忆. 模拟集成电路设计与仿真[M]. 北京: 科学出版社, 2008: 196-232.
- [7] RAZAVI B. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 程军, 张瑞智, 等, 译. 西安: 西安交通大学出版社, 2002: 307-327.
- [8] ZHANG Z, XU S, CHENG X, et al. An output capacitorless low-dropout regulator with wide load capacitance and current ranges[J]. International Journal of Circuit Theory and Applications, 2021, 49(3): 853-863.
- [9] 闫志光. 低压低温系数高电源抑制比的带隙基准源设计[D]. 沈阳: 辽宁大学, 2012.
- [10] GRAY P R. 模拟集成电路的分析与设计[M]. 张晓林, 译. 北京: 高等教育出版社, 2005: 301-319.
- [11] LEE K K, LANDE T S, HFLIGER P D. A sub- μ W bandgap reference circuit with an inherent curvature-compensation property[J]. IEEE Transactions on Circuits and Systems I (Regular Papers), 2015, 62(1): 1-9.
- [12] SHI Y, LI S L, CAO J W, et al. A 180 nm self-biased bandgap reference with high PSRR enhancement [J]. Nanoscale Research Letters, 2020, 104: 1-10.
- [13] 唐威, 马姗姗, 穆新华, 等. 一种可快速启动的高 PSRR 带隙基准源[J]. 西安邮电大学学报, 2021, 26(1): 54-59.

(责任编辑 张 镗)