

DOI:10.3969/j.issn.1003-5060.2024.03.012

一种基于 MIPI D-PHY 物理层的高速比较器

张欣瑶^{1,2}, 黄尊恺¹, 汪辉¹, 田犁¹, 汪宁¹, 封松林¹

(1. 中国科学院上海高等研究院, 上海 201210; 2. 中国科学院大学 集成电路学院, 北京 100049)

摘要:基于 MIPI D-PHY 物理层传输协议, 文章设计一种高速低功耗的自偏置比较器电路, 并对电路进行理论分析和仿真验证。该高速比较器总体结构由二级运放构成: 共栅极和共源极以及工作在线性区的 NMOS 管组成第 1 级放大结构; 电流源作负载的四管运放组成第 2 级放大结构。差分信号通过 NMOS 源极进行输入, 提升信号的共模电压接收范围。电路结构中无额外电流源偏置, 提高数据传输速率的同时减小了功耗。基于 SMIC 0.18 μm CMOS 工艺设计, 采用 1.8 V 电压供电, 仿真结果表明: 高速比较器能准确接收低共模电平的差分信号, 直流增益为 37.4 dB, 传输速率达到 2.5 Gb/s, 功耗达到 326 $\mu\text{W}/(\text{Gb/s})$, 可以接收到差分信号的共模电平范围为 30~330 mV。

关键词:移动产业处理器接口(MIPI); 高速接收电路; MIPI D-PHY 物理层; CMOS 图像传感器; 高速比较器
中图分类号: TN432 **文献标志码:** A **文章编号:** 1003-5060(2024)03-0360-07

A high-speed comparator based on MIPI D-PHY physical layer

ZHANG Xinyao^{1,2}, HUANG Zunkai¹, WANG Hui¹, TIAN Li¹, WANG Ning¹, FENG Songlin¹

(1. Shanghai Advanced Research Institute, Chinese Academy of Sciences, Shanghai 201210, China; 2. School of Integrated Circuits, University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Based on the MIPI D-PHY physical layer transmission protocol, a high-speed and low-power self-biased comparator circuit is designed, and the circuit is theoretically analyzed and simulated. The overall structure of comparator is composed of two stages of op-amps: the common gate, the common source and the NMOS transistor working in the linear region form the first-stage amplification structure, and the op-amp with the current source as the load forms the second-stage amplification structure. The differential signal is input through the NMOS source, which improves the common-mode voltage receiving range of the signal. There is no additional current source bias in the circuit structure, which improves the data transmission rate and reduces power consumption. The circuit is designed based on SMIC 0.18 μm CMOS process, powered by 1.8 V voltage. Simulation results show that the high-speed comparator can accurately receive differential signals with low common-mode voltage, the DC gain is 37.4 dB, and the transmission rate reaches 2.5 Gb/s; the power consumption is 326 $\mu\text{W}/(\text{Gb/s})$; the common-mode voltage range of the received differential signal reaches 30-330 mV.

Key words: mobile industry processor interface (MIPI); high-speed receiving circuit; MIPI D-PHY physical layer; CMOS image sensor; high-speed comparator

收稿日期: 2022-12-01; 修回日期: 2023-02-17

基金项目: 国家重点研发计划资助项目(2021YFB2206302); 国家自然科学基金资助项目(62004201)

作者简介: 张欣瑶(1997—), 女, 辽宁沈阳人, 中国科学院大学硕士生;

黄尊恺(1989—), 男, 河北邯郸人, 博士, 中国科学院上海高等研究院副研究员, 硕士生导师, 通信作者, E-mail: huangzk@sari.ac.cn;

汪辉(1975—), 男, 上海市人, 博士, 中国科学院上海高等研究院研究员, 博士生导师。

0 引言

移动产业处理器接口(mobile industry processor interface, MIPI)是由 MIPI 联盟发起的,该协议的提出简化了设备内置组件的集成,同时标准化不同供应商产品之间的接口,提高了移动设备的兼容性^[1-2]。MIPI 协议的出现有效地缩短了产品上市时间和移动设备的研发成本,通过该协议 MIPI 实现了更高的数据传输速率和更丰富的通用功能。相较于传统的接口电路,如数字视频接口^[3](digital video port, DVP)和低压差分信号^[4](low-voltage differential signaling, LVDS)接口等,MIPI 具有低电压摆幅、低功耗、高数据传输速率等优点,被广泛应用于智能手机和平板电脑等便捷设备中。

MIPI D-PHY 物理层属于模拟电路模块,在上层调配下实现模式的切换,是实现数据底层传输的基础。其中高速接收端是决定数据传输中信号接收完整性以及传输速率的关键模块。传统的高速接收电路均采用信号由栅极进行输入的形式,且电路中有额外电流源偏置,导致差分信号的共模电压接收范围小且功耗增加。基于 MIPI D-PHY 传输协议,本文针对传统的高速接收端电路结构进行改善,设计一款接收速率达到 2.5 Gb/s 的自偏置低功耗高速比较器。相较于传统的高速比较器,本文提出的电路结构数据接收速率更高、功耗更低且共模电压接收范围更广。通过对此电路结构的小信号模型分析以及后仿真验证,结果表明高速比较器能够实现低共模电平差分信号的准确接收。

1 MIPI D-PHY 简介

1.1 MIPI D-PHY 的电气特征

MIPI D-PHY 是针对 DSI 和 CSI 协议的高速、低功耗的源同步物理层。此协议可用于定义移动设备的处理器与摄像模组、显示模组之间的连接方式。

相较于传统的最小化差分信号传输(transition minimized differential signaling, TMDS)和低压差分信号传输(low voltage differential signaling, LVDS)等传输接口,MIPI D-PHY 具有高速、低功耗的传输特点。该传输优势在于 MIPI D-PHY 定义的高速(high speed, HS)模式和低功耗(low power, LP)模式 2 种传输模式,2 种模式使用不同的传输机制。

MIPI D-PHY 2 种模式的电气特征如图 1 所示。HS 模式用于传输信息量比较庞大的数据及时钟信号,使用低摆幅的差分信号进行传输,有利于抗电磁干扰和降低功耗,一个通道的数据传输速率范围在 0.08~1.50 Gb/s;LP 模式用于传输低速的控制命令信号,采用单端信号进行传输,数据率一般不大于 10 Mb/s。HS 模式和 LP 模式的相互配合实现在传输高速信号的同时节省功耗,在上层的调配下实现按需进行 HS 模式与 LP 模式的转换,达到高速率与低功耗的折衷设计。从图 1 可以看出,在 HS 模式下信号通过低电压摆幅的差分信号进行传输,信号电平在 0.1~0.3 V(共模电平 0.2 V,差模电平 0.2 V);LP 模式下为单端信号传输,数据率一般不大于 10 Mb/s,信号电平^[2]为 0~1.2 V。

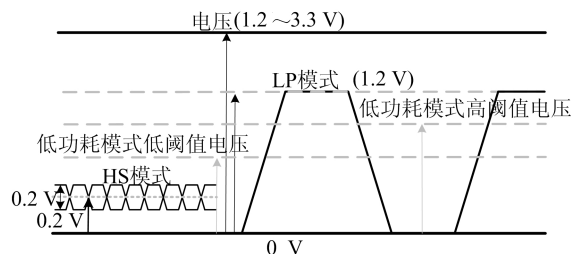


图 1 D-PHY 2 种模式的电气特征

1.2 MIPI D-PHY 通道的工作原理

MIPI D-PHY 通道包含突发模式、控制模式和逃离模式 3 种操作模式。D-PHY 通道状态见表 1 所列,在高速模式时, D_p 、 D_n 代表高速数据的 2 条差分信号,产生高速模式的逻辑高、低 2 种输出格式。当 D_p 为逻辑低电平、 D_n 为逻辑高电平时,代表输出格式为高速模式的逻辑低电平;当 D_p 为逻辑高电平、 D_n 为逻辑低电平时,代表输出格式为高速模式的逻辑高电平。相较于高速模式,低功耗模式下根据 D_p 、 D_n 不同的组合有 4 种输出格式。

在控制模式下,线路默认处于停止状态,状态转换由此开始,结束后回到此状态。低功耗-01、低功耗-10 分别代表高速模式请求和低功耗模式请求,当通道要进入高速模式或者逃离模式,发送模块驱动线路为低功耗-01 或低功耗-10,在发送请求序列之后便进入了相应的工作模式。发送低功耗-11 便退出传送回到初始停止状态^[5]。接收端需要时刻进行低功耗接收端的接收,侦测线路电平明确通道的工作模式。

表 1 D-PHY 通道状态

状态编码	线上电平		高速	低功耗	
	D _p 线	D _n 线	突发模式	控制模式	逃离模式
高速-1	低电平	高电平	差分-0		
高速-0	高电平	低电平	差分-1		
低功耗-00	低电平	低电平		桥接	空闲
低功耗-01	低电平	高电平		高速请求	标记-0
低功耗-10	高电平	低电平		低功耗请求	标记-1
低功耗 11	高电平	高电平		停止	

2 整体结构和电路设计

MIPI D-PHY 物理层的整体结构如图 2 所示,图 2 中包含高速发送模块(HS_TX)、高速接收模块(HS_RX)、低功耗发送模块(LP_TX)和低功耗接收模块(LP_RX)4 种模块^[6]。HS_TX 和 HS_RX 组成 HS 模式,LP_TX 和 LP_RX 组成 LP 模式。每条数据通道上仅有 2 根数据线 D_p、D_n,负责在不同物理层模块之间进行数据传输及状态的转换,且时钟通道上的 D-PHY 物理层与数据通道电路结构相同,整体结构使用 1 条时钟通道、4 条数据通道。

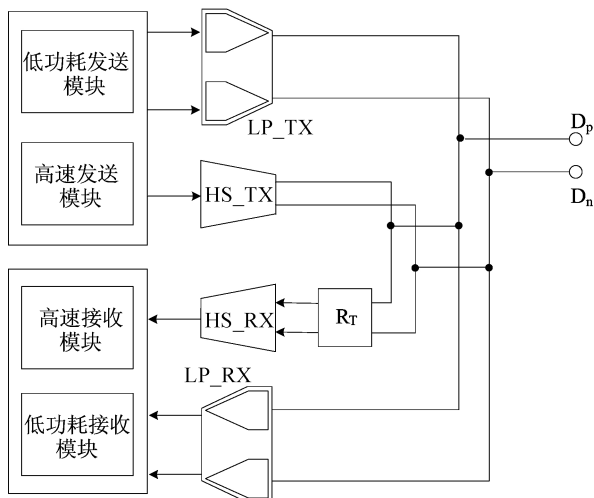


图 2 D-PHY 整体功能结构

2.1 高速发送模块

高速发送模块将数字端输入的单端信号转换成 0.1~0.3 V 的差分信号并进行发送,此模块由单端转差分电路以及开关管组成。高速模式的整体结构如图 3 所示, V_{INN} 、 V_{INP} 是单端转差分模块输出 0~ V_{DD} 摆幅的差分信号,此信号输入到由 M_1 、 M_2 、 M_3 、 M_4 组成的开关管中。 M_1 、 M_2 、 M_3 、 M_4 由 0.4 V 电源电压供电,在正常工作过程中工作在线性区,等效为 50 Ω 的电阻。HS_RX 接

收电阻 R_{ID} 为 100 Ω ,在 0.4 V 的电源电压下由于电阻分压作用实现 0.1~0.3 V 的差分信号输出。

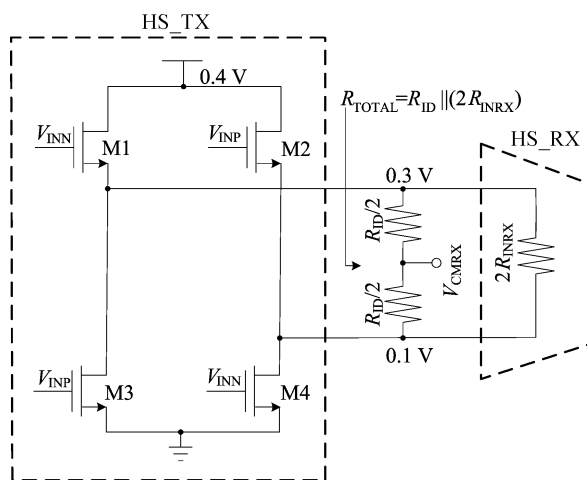


图 3 高速模式整体结构

由图 3 可知,高速接收端的等效输入电阻对数据通路上差分信号电平也有一定的影响。图 3 中: $2R_{INRX}$ 为 HS_RX 端等效输入电阻; R_{ID} 为 HS_RX 的接收电阻,值为 100 Ω 。设 $R_{OD,H}$ 、 $R_{OD,L}$ 分别为 M_1 、 M_2 和 M_3 、 M_4 的等效电阻; $V_{DD,IO}$ 为 HS_TX 端 0.4 V 电源电压,因此 HS_RX 接收到的差分电压可以表示为:

$$V_{HS_RX} = \frac{R_{TOTAL} V_{DD,IO}}{R_{TOTAL} + R_{OD,H} + R_{OD,L}} \quad (1)$$

其中, R_{TOTAL} 为总等效输入电阻,即

$$R_{TOTAL} = R_{ID} // (2R_{INRX}) \quad (2)$$

在实际设计中,HS_RX 端输入电阻 R_{INRX} 应该远远大于终端电阻 R_{ID} ,减少由于高速接收端的有限输入电阻引起的总电阻变化。

2.2 高速接收模块

高速接收端是整个电路设计的核心,它是决定单通道接收最大数据率以及信号接收质量的关键模块。高速接收端将通道链路上的高速时钟/数据信号准确接收转换成单端信号,并输入到后续的数字电路中,因此对其增益、带宽、功耗以及

共模信号电平接收范围都有较高要求,在设计过程中需要折衷考虑^[7-9]。

现有的几种高速接收端结构如图 4 所示。

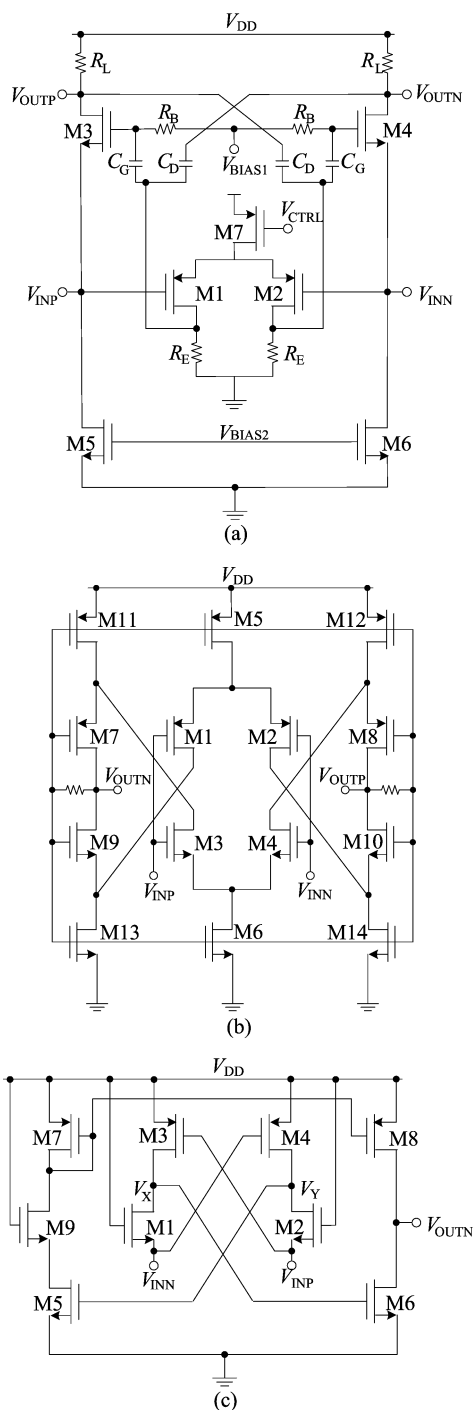


图 4 几种高速比较器结构

图 4a 是一种嵌入了连续时间线性均衡器 (continuous-time linear equalizer, CTLE) 的共栅极电平移位器 (common-gate level shifter, CGLS)^[10], CTLE 的加入使电路的电压增益以及带宽有一定的提升,通过 M_3 、 M_4 源端输入可以

容纳 200 mV 以下更低的共模接收电压。图 4b 是一种超宽共模接收范围的差分放大器 (very-wide-common mode differential amplifier, VC-DA)^[11], 轨对轨的输入形式具有广泛的共模接收范围,同时可以抑制共模输入电压 ΔV_{CMRX} 以及差分输入 ΔV_{OD} 的波动。但是这 2 种结构都需要加入额外的电路进行偏置,引起功耗的增加。为了进一步降低功耗,一种自偏置可扩展的低压差分信号接收端被提出来^[12] (图 4c)。第 1 级运放由 M_1 、 M_2 的共栅极放大结构以及 M_3 、 M_4 的共源极结构组成。相较于前 2 种结构,信号由 NMOS 的源端进行输入,不受阈值电压 V_{th} 的影响,因此接收到的差分信号的共模电压更低,同时没有额外的偏置电路,进一步减小了功耗。但是由于共栅极 M_1 、 M_2 栅端电压由电源提供偏置电压,为维持 M_1 、 M_2 饱和和区的状态电源电压不能太高,图 4 中使用 1.2 V 电源电压限制 V_X 、 V_Y 点电压的提升,进而限制信号的转换速率。

本文提出的一种接收速率达到 2.5 Gb/s 的高速接收电路如图 5 所示。第 1 级放大结构由 M_1 、 M_2 、 M_3 、 M_4 、 M_5 、 M_6 组成,其中: M_3 、 M_4 作为共栅极放大器; M_5 、 M_6 作为共源极放大器;均工作在饱和区; M_1 、 M_2 工作在线性区。第 2 级放大结构由 M_7 、 M_8 、 M_9 、 M_{10} 组成,是一种电流源作负载的差分转单端信号放大结构。

采用 1.8 V 电压源供电,由于 M_3 、 M_4 共栅极的偏置电压由 1.8 V 电源提供,为维持 M_3 、 M_4 工作在饱和区状态,提升 V_X 、 V_Y 点电压,本文采用分压 MOS 管 M_1 、 M_2 串联在 M_3 、 M_4 的源端。由于 M_1 、 M_2 的栅极开启电压为单端转差分模块输出的高电平电压,其值很高,且漏极电压 V_M 、 V_N 很低,因此在工作过程中 M_1 、 M_2 始终处于线性区,即等效于 2 个线性电阻的作用。 M_1 、 M_2 的主要作用如下: ① 工作在线性区等效于线性电阻的作用,通过电阻分压的形式消耗一部分压降,使 V_M 、 V_N 以及 V_X 、 V_Y 的电压提升,保证 M_3 、 M_4 工作在饱和区; ② V_X 、 V_Y 点电压的提升导致输入到 M_7 、 M_8 栅极电压升高,根据饱和区电流公式流经 M_7 、 M_8 的电流增大,即 M_7 、 M_8 、 M_9 、 M_{10} 组成的第 2 级运放中电流增大,因此提升了数据的转换速率; ③ 因为信号是由 M_1 、 M_2 的源极进行输入,所以需要考虑输入电阻的影响, M_1 、 M_2 等效于电阻串联在电路中,因此会提升整个电路的输入电阻。

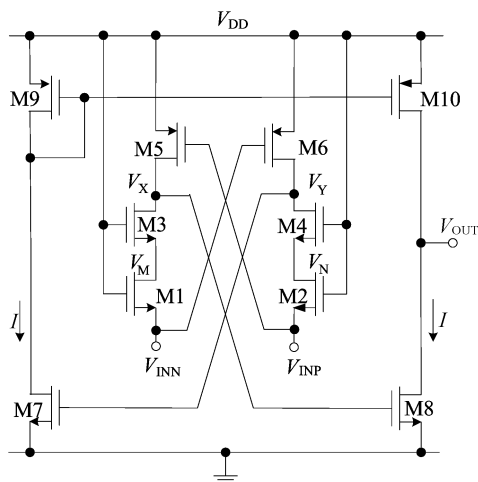


图 5 本文提出的高速比较器

2.2.1 增益

在高速接收端工作过程中, M_3 、 M_4 作为共栅极放大, M_5 、 M_6 作为共源极放大, M_1 、 M_2 等效为线性电阻。设 M_1 的等效电阻为 r_{o1} , 则 V_X 、 V_Y 点的输出电阻 R_{OUT} 为:

$$R_{OUT} = g_{m3} r_{o3} r_{o1} // r_{o5} \quad (3)$$

因此第 1 级电压增益 A_{v1} 为:

$$A_{v1} = -(g_{m3} + g_{m5})(g_{m3} r_{o3} r_{o1} // r_{o5}) \quad (4)$$

第 2 级电压增益 A_{v2} 为:

$$A_{v2} = -g_{m8}(r_{o8} // r_{o10}) \quad (5)$$

其中, g_m 、 r_o 分别为 MOS 管的跨导及内阻。总电压增益为:

$$A_v = A_{v1} A_{v2} \quad (6)$$

2.2.2 输入电阻

该结构由输入晶体管的源端进行信号输入, 由于其输入电阻有限, 总电阻是终端电阻与高速接收端输入电阻的并联结果。对输入电阻的小信号等效模型进行分析, 如图 6 所示。

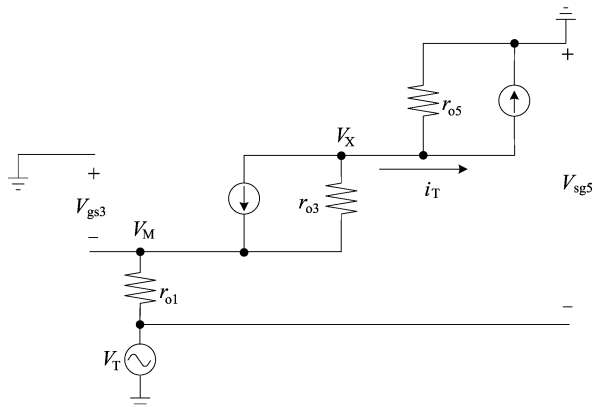


图 6 半边电路的小信号模型

输入电阻可以由 V_T/i_T 表达式计算得出, 即

$$V_{sg5} = -V_T \quad (7)$$

$$V_{gs3} = i_T r_{o1} - V_T \quad (8)$$

$$i_T = g_{m5} V_{sg5} + V_X/r_{o5} \quad (9)$$

$$i_T = -g_{m3} V_{gs3} + (V_T - i_T r_{o1} - V_X)/r_{o3} \quad (10)$$

由此可以推算出输入电阻为:

$$R_{INRX} = \frac{V_T}{i_T} = \frac{r_{o1} + r_{o3} + r_{o5} + g_{m3} r_{o1} r_{o3}}{g_{m3} r_{o3} - g_{m5} r_{o5} + 1} \quad (11)$$

经过上述计算, 此结构的差分接收端的等效输入电阻可以达到几十千欧姆以上。

3 版图设计及仿真结果

电源模块和 MIPI D-PHY 整体版图如图 7 所示。图 7 包括电源模块、4 个数据通道以及 1 个时钟通道。每个通道均包含高速发送端、高速接收端、低功耗发送端和低功耗接收端。总面积为 $1\,500\ \mu\text{m} \times 113\ \mu\text{m}$, 其中高速接收端模块面积为 $54\ \mu\text{m} \times 18\ \mu\text{m}$ 。

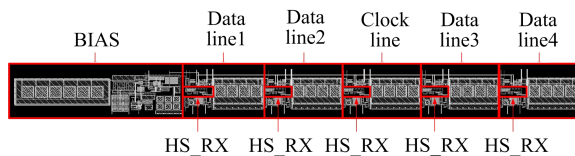


图 7 电源模块及 MIPI D-PHY 的版图

本文采用 SMIC $0.18\ \mu\text{m}$ 的 CMOS 工艺设计, $1.8\ \text{V}$ 电压供电。在完成高速接收端的版图后, 对其进行参数提取及后仿真, 本文设计的高速比较器增益带宽的仿真结果如图 8 所示。

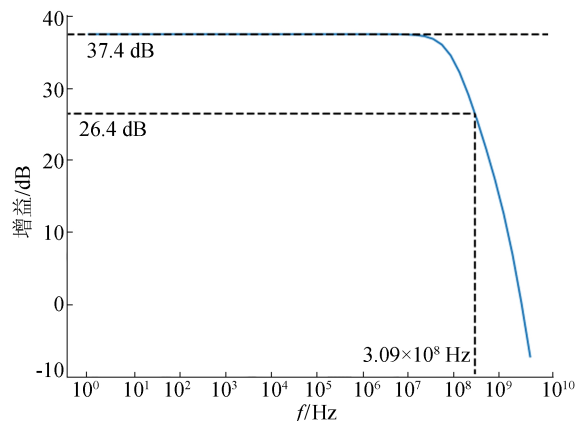


图 8 高速比较器增益带宽仿真结果

该比较器的低频增益为 $37.4\ \text{dB}$, $-3\ \text{dB}$ 带宽为 $309\ \text{MHz}$, 当数据率为 $2\ \text{Gb/s}$, 即输入信号频率为 $1\ \text{GHz}$ 时, 该比较器增益仍然可以达到

15.5 dB。仿真结果表明,此结构的高速比较器满足增益带宽的设计要求。

在 1.0、2.5 Gb/s 信号速率和不同的共模电压 V_{cm} 、差分电压 V_{dm} 下,高速接收端的后仿真眼图如图 9、图 10 所示。

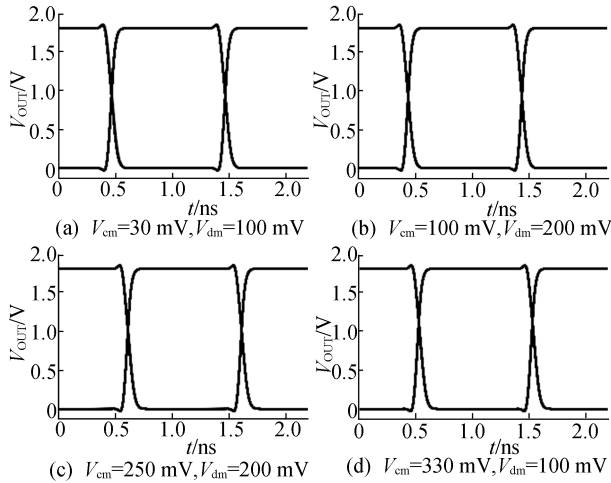


图 9 10 Gb/s 信号速率下高速接收端的后仿真眼图

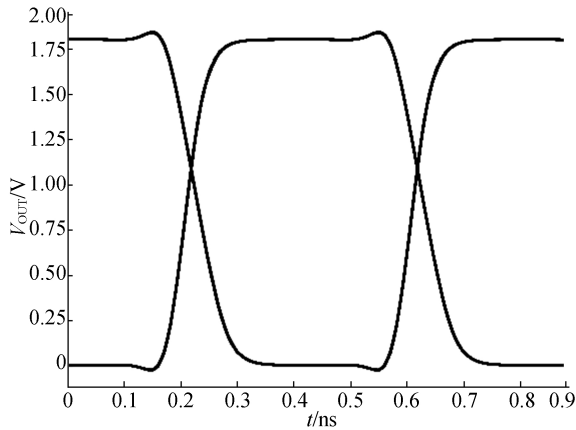


图 10 2.5 Gb/s 信号速率、 $V_{cm}=200$ mV、 $V_{dm}=200$ mV 下高速接收端的后仿真眼图

HS 模式整体仿真结果如图 11 所示。图 11 中:第 1 行是输入到高速发送模块的信号,数据率为 2.5 Gb/s;第 2 行是经过高速发送模块,输入到传输线上传输的差分信号,仿真结果显示其摆幅为 117.7~300.0 mV;第 3 行是高速接收端输

出的信号。本文提出的高速比较器输出信号眼图仿真如图 12 所示。

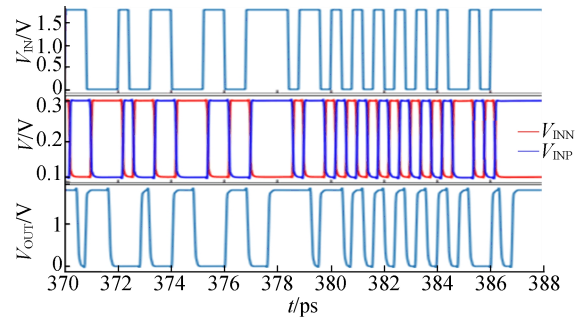


图 11 HS 模式整体仿真结果

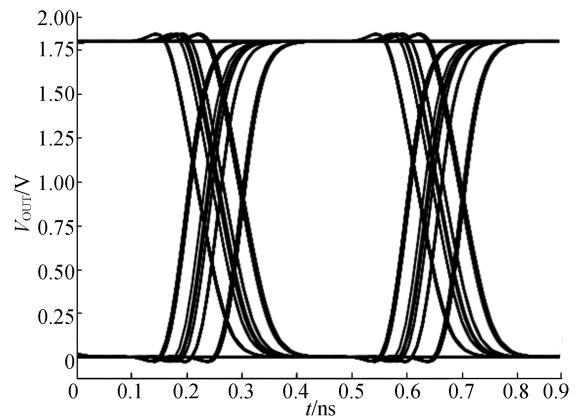


图 12 本文提出的高速比较器输出信号眼图

从图 12 可以看出,在 SMIC 0.18 μm 的 CMOS 工艺、1.8 V 电源电压下,此结构的高速比较器的接收速率可达 2.5 Gb/s;传输线上差分信号的差模电压值为 182.3 mV(协议规定在 140~270 mV 范围内),可见本文提出的高速比较器的有限输入电阻对接收到的差分信号电平影响较小。在不同工艺角和温度条件下进行仿真,结果显示均满足设计要求。

将本文提出的高速比较器与参考文献的进行对比,结果见表 2 所列。相较于传统高速比较器结构,本文提出的结构具有信号的共模电压接收范围更广、接收速率更高且功耗更低等优势。

表 2 本文设计与参考文献的高速比较器对比

参数	文献[8]	文献[12]	文献[13]	文献[14]	本文设计
电压/V	1.2	1.2	1.2	3.3	1.8
工艺参数/ μm	0.13	0.18	0.065	0.18	0.18
应用	SLVS(D-PHY)	SLVS(D-PHY)	LVDS/SLVS	LVDS	SLVS(D-PHY)
共模电平/mV	70~330	50~330	800	1 250	30~330
速率/(Gb/s)	1.00	2.00	2.56	2.00	2.50
功率/mW	0.740	0.184	0.500	2.000	0.815
功耗/ $[\mu\text{W}/(\text{Gb/s})]$	740	92	195	1 000	326

4 结 论

本文提出一种适用于 MIPI 接口电路高速接收模块的高速比较器,并对此电路结构进行理论分析与仿真设计。首先介绍 MIPI D-PHY 物理层的整体电路功能结构以及高速、低功耗模式的电气特征;其次总结现有的几种高速比较器结构,并分析各个结构的优缺点;最后提出一种自偏置高速低功耗的高速比较器,分别对增益、输入电阻进行小信号模型分析,并完成了版图设计和后仿真。

本文基于 SMIC 0.18 μm CMOS 工艺对提出的高速比较器进行电路和版图设计,完成后仿真验证。仿真结果表明:在 1.8 V 的供电电压下,在不同仿真工艺及温度条件下传输速率均可达到 2.5 Gb/s,共模电平接收范围可达 30~330 mV,功耗为 326 $\mu\text{W}/(\text{Gb}/\text{s})$ 。与传统的结构相比,在提升传输速率的同时进一步减小了功耗,并提升了共模电压的接收范围。

[参 考 文 献]

- [1] TI,ST,ARM 与 Nokia 共组 MIPI 联盟[J]. 世界电子元件,2003(8):59.
- [2] MIPI Alliance. Specification for D-PHY version 1.00.00 [S]. [S. l.]:MIPI Alliance,2009:20.
- [3] KHAN T H, WAHID K. Design of a DVP compatible bridge to randomly access pixels of high speed image sensors[C]//IEEE International Conference on Consumer Electronics (ICCE). [S. l.]:IEEE,2011:9-12.
- [4] KIM K, HWANG S, SONG J, et al. An 11.2-Gb/s LVDS receiver with a wide input range comparator [J]. IEEE Transactions on Very Large Scale Integration Systems, 2014,22(10):2156-2163.
- [5] 承文龙,胡越黎,杨晔晨,等. 基于 MIPI 标准下的 D-PHY 的设计与验证[J]. 计算机测量与控制,2017,25(9):295-297,301.
- [6] KIM T J, HWANG J I, LEE S, et al. A 14-Gb/s dual-mode receiver with MIPI D-PHY and C-PHY interfaces for mobile display drivers[J]. Journal of the Society for Information Display,2020,28(6):535-547.
- [7] WU S, WANG Q, NING N, et al. An inductive peaking technology for high-speed MIPI receiver bandwidth expanding in a 90 nm CMOS process[C]//2016 IEEE International Nanoelectronics Conference (INEC). [S. l.]:IEEE,2016:1-2.
- [8] KIM B D, LEE S J, KIM D H, et al. Design of D-PHY chip for mobile display interface supporting MIPI standard. [C]//2012 IEEE International Conference on Consumer Electronics (ICCE). [S. l.]:IEEE,2012:660-661.
- [9] MCKEONE P, IEPURE B, AGILI S, et al. Time domain reflectometer measurements on MIPI D-PHY protocol for signal integrity analysis[C]//2019 IEEE International Conference on Consumer Electronics (ICCE). [S. l.]:IEEE,2019:1-6.
- [10] LEE P H, LEE H Y, KIM Y W, et al. A 10-Gbps receiver bridge chip with deserializer for FPGA-based frame grabber supporting MIPI CSI-2[J]. IEEE Transactions on Consumer Electronics,2017,63(3):209-215.
- [11] LEE P H, JANG Y C. A 20-Gbps receiver bridge chip with auto-skew calibration for MIPI D-PHY interface[J]. IEEE Transactions on Consumer Electronics, 2019, 65 (4): 484-492.
- [12] KIM W, LEE M. A 92- $\mu\text{W}/\text{Gbps}$ Self-Biased SLVS receiver for MIPI D-PHY applications[J]. IEEE Transactions on Circuits and Systems, II. Express Briefs, 2021, 68 (10): 3219-3223.
- [13] FAES B, CHRISTIANSEN J, MOREIRA P, et al. A 2.56 Gbps radiation hardened LVDS/SLVS receiver in 65 nm CMOS[C/OL]//AMICSA & DSP 2016. (2016-06-14)[2022-11-10]. <https://indico.esa.int/event/102/contributions/84/attachments/54/64/PaperBramFaesv02.doc.pdf>.
- [14] HUI H, JIA L, SUN L, et al. Design of 2 Gb/s LVDS transmitter and 3 Gb/s LVDS receiver for optical communication in 0.18 μm CMOS technology[C]//China-Japan Joint Microwave Conference. [S. l.]:IEEE,2011:1-3.

(责任编辑 张 镅)