

DOI:10.3969/j.issn.1003-5060.2024.03.011

基于 USB PD 3.0 协议的新型双相标记 解码电路设计与验证

史轶男, 赵宏亮, 尹飞飞

(辽宁大学 物理学院, 辽宁 沈阳 110036)

摘要:文章提出一种基于 USB PD 3.0 协议的新型双相标记解码电路设计并予以验证。通过状态机控制计数器的起始与停止,实现单个数据周期突变 25% 以内的解码结果的预测和产生;通过有限长单位冲激响应滤波器计算得到解码阈值,支持对周期在增减 7.13% 范围内变化的、连续 13 个数据的解码,增大解码范围;增加完善的错误检测机制,提高电路的安全性;增加门控,空闲时关闭解码电路,节约能耗。在 Synopsys 公司的 DC 开发平台下,对电路进行仿真验证,结果表明相较参考文献中的解码电路,该文的电路结构更简单,解码准确性更高,电路面积更小,功耗更低,解码的安全性更高。

关键词:双相标记编解码;有限长单位冲激响应滤波器;USB PD 3.0 协议;快充协议;低功耗

中图分类号:TN919.32 **文献标志码:**A **文章编号:**1003-5060(2024)03-0354-06

Design and verification of new biphas mark coding decoding circuit for USB PD 3.0 protocol

SHI Yanan, ZHAO Hongliang, YIN Feifei

(School of Physics, Liaoning University, Shenyang 110036, China)

Abstract:In this paper, a new biphas mark coding(BMC) decoding circuit based on USB PD 3.0 protocol is designed and verified. Firstly, the state machine is used to control the start and stop of the counter to predict and generate the decoding result within 25% of the sudden change of the data cycle of a single data. Secondly, the decoding threshold is calculated by finite impulse response filter. It supports the successful decoding of 13 consecutive data whose cycle changes by 7.13%. Thirdly, an error detection mechanism is added to improve the safety of the circuit. Finally, the decoding circuit is turned off when idle to save energy. The circuit is simulated and verified on the DC development platform of Synopsys. Compared with the decoding circuit in the literature, the new circuit has simpler structure, higher decoding accuracy, smaller circuit area, lower power consumption and higher decoding security.

Key words:biphas mark coding(BMC); finite impulse response filter; USB PD 3.0 protocol; fast charging protocol; lower power consumption

随着智能手机的应用,人们对充电效率的要求不断提高,各种快充协议芯片应运而生^[1]。为了统一规范,USB-IF 协会定义了基于双相标记

编解码电路的 USB Power Delivery 3.0 协议^[2]。

双相标记编解码是 PD 协议的核心模块,使

收稿日期:2021-11-19;修回日期:2022-02-25

基金项目:辽宁省自然科学基金资助项目(2021-MS-148)

作者简介:史轶男(1996—),女,辽宁大连人,辽宁大学硕士生;

赵宏亮(1982—),男,辽宁沈阳人,博士,辽宁大学副教授,硕士生导师,通信作者,E-mail:ZZHHZLL-7.13@163.com.

单线传输的波形中既包含时钟信息也包含真实数据^[3-4],由于信号在传输过程中可能受到干扰产生突变,近年来研究人员提出一些优化方案^[5-7]。文献[5]采用计边沿个数的方法确定64 bit前导码,再利用前导码总的计数值求平均获得解码阈值,该方法计算复杂,无法发现错码,没有错误恢复机制;文献[6]采用前34 bit的前导码,即初始2 bit加上4组8 bit的计数值求平均的方法获得解码阈值,该方法易出现解码错误。文献[5-6]只能解码(300±75) kHz频率的数据,解码范围比较小,并且计算复杂,使电路的面积大,功耗高;文献[7]利用有限长单位冲激响应滤波器计算解码阈值,但计算精度较低,解码范围小,准确性较差,且没有错误检测和前导码分辨机制,功能不全面,功耗也比较大。

本文提出的设计能够弥补上述不足,解码模块增加6阶有限长单位冲激响应滤波器,设定全面的前导码预测机制、错误恢复机制。电路采用状态机实现功能,且整个电路复用计数器,节省了面积和功耗;并增加了门控,在空闲时关闭解码电路,节约能耗。增大信号的解码频率范围,支持相邻13个数据的传输周期连续变化7.13%。与其他参考文献比较,解码能力更强,电路结构更简单,面积显著减小,功耗大幅降低,能有效降低成本。

1 传统双相标记解码系统的设计

双相标记编解码的规则是首先设定每一个数据的持续时间为一个单位时间长度,简称1个UI。在每个UI的开始,先将电平翻转,在每一个UI的中间处,若电平翻转,则数据代表1;否则代表0^[7]。规定前导码始终为1、0交替发送。

文献[5]的解码阈值计算方式如下:利用前导码是1、0交替的规则,所有前导码的数据边沿数量是固定值,可以通过当前收到输入信号的边沿个数确定是否为前导码。对64 bit的前导码过采样,得到的总计数值除以64,乘以3/4,即可得到3/4 UI的计数值作为解码阈值,然后解码后面真实的数据。

文献[5]通过数边沿的方式确定前导码的范围,如果前导码出现错码、漏码,那么就会把真实的数据当作前导码,从而会发生解码错误。由于没有错误检测机制,解码错误也无法及时发现;再加上计算量较大,整个电路面积很大,功耗很高。

文献[6]的解码阈值计算方式如下:前导码最

初始2 bit为一组,判断先发0还是先发1,后面以检测到12个边沿即8 bit数据为一组,每一组与前面的解码阈值求平均值作为新的解码阈值,共求5次。以第1次的解码阈值为例,如果前2 bit的计数值为 $C_{2 \text{ bit}}$,第1次的8 bit计数值为 $C_{\text{First}_{8 \text{ bit}}}$,那么解码阈值的计算公式为:

$$T_{\text{thes1}} = \frac{\frac{1}{2}C_{2 \text{ bit}} \times 8 + C_{\text{First}_{8 \text{ bit}}}}{16} \times \frac{3}{4} \quad (1)$$

解码只对3/4 UI过采样,有翻转则为1;无翻转则为0,剩余1/4 UI不采样。采用式(1)得到的解码阈值解出第2个8 bit,并将第2个8 bit的计数值和前面的值求平均,更新解码阈值。此后的每8 bit数据的解码和解码阈值的更新以此类推,直到接收到34 bit前导码后,解码阈值固定不变。

文献[6]的解码阈值来自每8 bit一组求得的平均值,解码范围为(300±75) kHz。但如果数据的周期在此范围内不是固定值,而是变化的,那么就可能会出现解码错误。如在18 MHz的采样频率下,若某一时刻求得解码阈值为49(频率367 kHz),此时实际能解码的数据对应的解码阈值范围为49.00±12.25(频率290~458 kHz)。当新的数据频率为225~290 kHz,将会错误地认为解码失败,放弃解码,并将电路复位。

文献[7]的解码阈值计算方式如下:首先利用有限长单位冲激响应滤波器使解码阈值随每个UI的长度变化而变化。每收到1 UI数据,根据计数值与解码阈值的关系,得到解码值为1或0,并更新解码阈值;然后在解码模块内设置状态机,通过状态机跳转实现解码。文献[7]的解码模块状态转换图如图1所示。

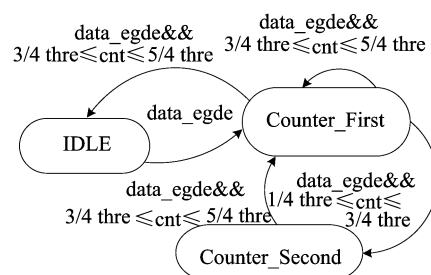


图1 文献[7]的解码模块状态转换

若空闲状态IDLE下检测到边沿,则会跳转到Counter_First状态,此状态下检测到边沿时,如果计数值cnt的值处于解码阈值的3/4~5/4 thre之间,那么解码值为0;如果cnt的值处

于 $1/4 \sim 3/4$ thre 之间,那么跳转到 Counter-Second,继续计数。在 Counter-Second 下有边沿时,如果 cnt 值处于 $3/4 \sim 5/4$ thre 之间,那么解码值为 1。

文献[7] 解码阈值计算方式缺点如下:① 解码阈值的计算精度较低,只能对周期以 6.25% 增加的连续 10 位解码;② 没有错误检测机制,若出现错码、漏码,则把一连串错误的解码结果输出;③ 没有 PD 协议必需的前导码检测机制,无法分辨真实数据,将增加其他模块的负担,不利于各个模块的协同工作,且前导码错误依然继续解码,产生不必要的功耗。

2 新型双相标记解码系统的设计

新型的解码电路模块结构如图 2 所示,该结构包含滤波模块、解码模块、预期模块、输出模块。

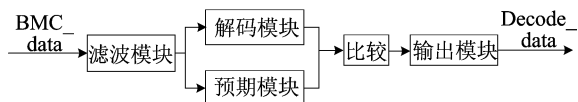


图 2 新型的双相标记解码电路模块结构

解码电路设计流程如图 3 所示。

1) 输入数据 BMC_data 经过滤波模块去掉 3 MHz 频率以上毛刺。

2) 解码模块需要对信号过采样,利用采样的计数值获得解码阈值。必须首先确定最初 2 UI 数据是在默认的 (300 ± 75) kHz 解码频率范围之内,否则不会接收后面的数据。解码模块在解码过程中,每收到 1 UI 数据,若计数值在 $1/4 \sim 3/4$ 解码阈值之间,则解码为 1;若计数值在 $3/4 \sim 5/4$ 解码阈值之间,则解码为 0。每一个 UI 解出新的解码数值,同时将新的 1 UI 计数值加入解码阈值的计算中,更新一次新的解码阈值。

3) 因为在前导码阶段,数据的发送顺序是固定的,所以预期模块能够根据当前数据预期到下一个数据是什么。利用解码阈值在输出模块对数据解码。以每 2 UI 为一组进行计数,前 32 组数代表 64 个 1、0 交替的前导码。在前导码阶段需要比较每个解码值是否与预期值相等,如果相等,那么继续解码;否则电路复位,等到新的数据来临,整个解码过程再重新开始。

经过上述步骤后,如果确定前导码接收完毕且没有错误,那么开始对真实数据解码,只有真实

数据解码结果会从输出模块输出。

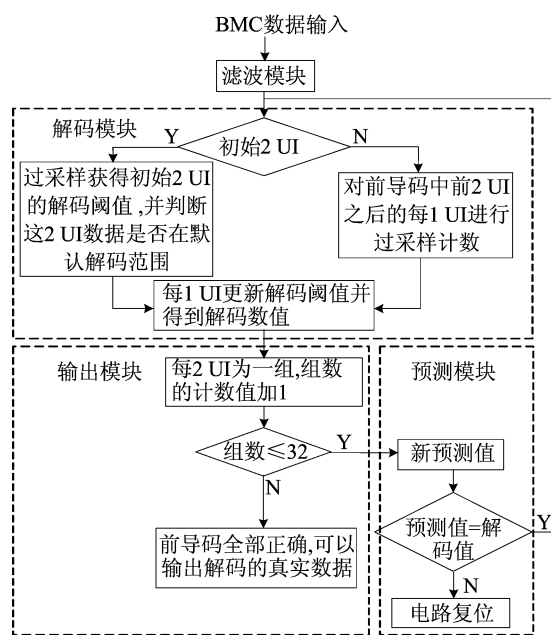


图 3 新型的双相标记解码电路设计流程图

新型设计利用状态机来进行解码和预测模块的工作以及错误状况的检验。增加 3 个状态寄存器控制计数器的复用,减少更多计数器的寄存器数量。解码模块状态转换如图 4 所示。每 2 bit 数据作为一组,状态机分 5 个状态,其中: IDLE 为空闲状态; First-1 bit-front、First-1 bit-behind 状态判断前 1 个数, Second-1 bit-front、Second-1 bit-behind 判断后 1 个数,然后每 2 个数循环 1 次。

具体的状态跳转如下: IDLE 时检验到边沿,进入 First-1 bit-front; First-1 bit-front、Second-1 bit-front 判断收到新的 1 UI 及中间有无翻转,有翻转则分别跳到 First-1 bit-behind、Second-1 bit-behind,解码为 1;无翻转则分别跳到 Second-1 bit-front、First-1 bit-front,解码为 0。如果在任意时刻出现了解码错误或线上空闲超时,那么状态机将会重新回到空闲状态。

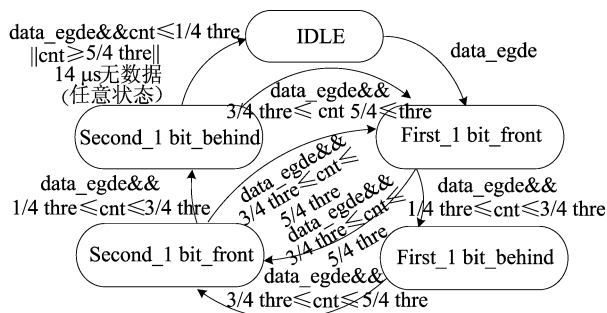


图 4 解码模块状态转换

新型设计的双相标记解码模块电路如图 5 所示,图 5 中 BMC_data_filtered 为滤除毛刺后的输入信号。

在前导码阶段,训练时钟标志 Train_start 为高,在真实数据解码阶段,Decode_begin 为高。将每 1 UI 的计数值 Counter 进行移位相加等操作得到 1/4、3/4、5/4 thre。多路复用器用于判断状态跳转和解码结果。若 IDLE 时检验到边沿,则进入 First-1 bit-front。First-1 bit-front 状态下,当新 1 UI 的 Counter 小于 1/4 或大于 5/4 thre, Nor 1 输出为 1,解码错误,状态寄存器将回到 IDLE 状态,解码结果寄存器 D Register 1 保持为 0;处于 1/4~3/4 thre 之间, D Register 1 为 1;处于 3/4~5/4 thre 之间, D Register 1 为 0。

解码过程中有如下 3 种错误检测机制。

1) 前导码丢码、错码。D Register 2 为预测

值 Predict_data 的寄存器,根据状态跳转,每当收到 1 个前导码,产生 1 个预测值。当前导码的解码值 Decode_data 与 Predict_data 不相等,则 Xor 1 输出 1, Train_error 为 1;若相等,则 Xor 1 输出 0, Train_error 为 0。

2) 输入信号频率超出解码范围。如某 1 UI 计数值大于 5/4 thre 或小于 1/4 thre, 信号 BMC_error 拉高。

3) 当 14 μs 内无电平翻转即无数据输入,拉高空闲超时标志 Rx_IDLE 信号。Train_error、BMC_error、Rx_IDLE 任一为 1,则 Nor 2 输出为 0, Error_rst 为 0, And 3 输出 0, 电路复位。最终输出结果 Decode_result 为 0; 否则, Error_rst 为 1, And 3 输出 1, 电路正常工作, 输出结果 Decode_result 即为解码值 Decode_data。

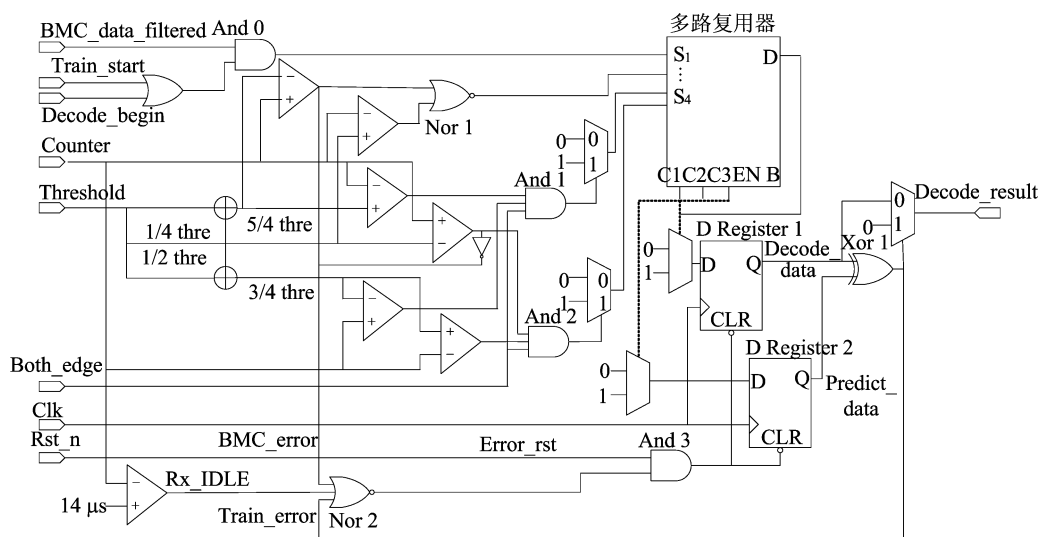


图 5 解码模块电路图

在新型的解码系统中,解码阈值为 1 UI 的计数值,新型双相标记编解码规则如图 6 所示。如果计数器的值在 1/4~3/4 解码阈值之间检测到边沿,那么解出的码为 1;如果在 3/4~5/4 解码阈值之间检测到边沿,那么解出的码为 0。其余情况表示解码错误。

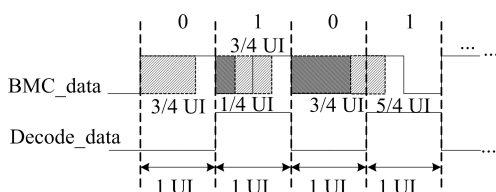


图 6 新型双相标记编解码规则

本文的设计为解码模块增加了六阶有限长单位冲激响应滤波器,利用滑动平均计算获得解码阈值。有限长单位冲激响应滤波器的计算公式为:

$$y(n) = \sum_{k=0}^{N-1} a(k)x(n-k) \quad (2)$$

其中: N 为滤波器的级数; $a(k)$ 为系数; $x(n-k)$ 为每一级计算时该项的取值^[8]。

有限长单位冲激响应滤波器结构如图 7 所示。图 7 中: $x(n)$ 为输入,对应电路中每一个 UI 的计数值; z^{-1} 为对数据做一阶滤波; $y(n)$ 为滤波后的最终输出,对应解码阈值。本设计中的六阶有限长单位冲激响应滤波器对应的抽头系数

$a(k)$ 分别为 1/2、1/4、1/8、1/16、1/16。

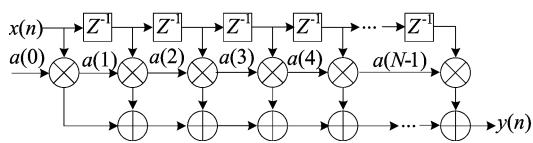


图 7 有限长单位冲激响应滤波器结构

新型设计的解码阈值计算公式为：

$$T_{\text{thres}2} = \frac{1}{2}C_{\text{Cnt}_1 \text{ UI}_5} + \frac{1}{4}C_{\text{Cnt}_1 \text{ UI}_4} + \frac{1}{8}C_{\text{Cnt}_1 \text{ UI}_3} + \frac{1}{16}C_{\text{Cnt}_1 \text{ UI}_2} + \frac{1}{16}C_{\text{Cnt}_1 \text{ UI}_1} \quad (3)$$

其中, $C_{\text{Cnt}_1 \text{ UI}}$ 为一个 UI 的计数值, 连续 5 次的计数值与抽头系数的乘积和等于实时解码阈值。

新型的双相标记解码系统中, 因为用状态机来控制一个计数器的复用, 所以计数器的最大计数值更小, 解码电路需要的寄存器数量也减少了很多, 面积因而可以大幅减小。另外, 因为采用更准确的解码阈值计算方式, 所以使用频率更低的过采样时钟。同时还增加错误检测机制, 当电路出现错误时不再解码。以上这些设计也使功耗大幅减小。

3 新型解码系统的仿真验证

新型双相标记解码系统能够成功对周期连续增大 7.13% 的 13 个输入数据进行解码, 仿真结果如图 8 所示。输入信号 BMC_data 频率由 300 kHz 逐渐减小, 每 1 UI 的计数值 Counter 由 30 逐渐增大到 68, 解码阈值 $\text{thres}_1 \text{ UI}$ 随之由 27 最终到 60 不断更新, 到标识 4 处成功解码了 13 个数据。

具体解码过程如下: 用 9 MHz 的时钟信号 CLK_9M 对输入信号 BMC_data 过采样^[9]。State 为解码过程中的状态机, 在实际的电路设计代码编写中, 分别使用数字 0 代表 IDLE 空闲状态, 1 代表 First_1 bit-front 状态, 2 代表 First_1 bit-behind 状态, 3 代表 Second_1 bit-front 状态, 4 代表 Second_1 bit-behind 状态(与图 4 对应)。图 8 标识线 1 处, 每当输入信号传输完 1 UI 电平翻转, 则 One_edge 产生一个脉冲信号, 将 1 UI 的计数

值存储到 X-Value 中。将信号 X-Value 的连续 5 个值的 1/2、1/4、1/8、1/16、1/16 移位相加, 得到新的 $\text{thres}_1 \text{ UI}$ 为 30, 再进行移位或相加得到 $\text{thres}_1/4 \text{ UI}$ 为 7, $\text{thres}_1/8 \text{ UI}$ 为 22, $\text{thres}_1/16 \text{ UI}$ 为 37。Counter 此时为 34, 处于 $\text{thres}_1/8 \text{ UI}$ 与 $\text{thres}_1/16 \text{ UI}$ 之间, 则解码结果 Decode-Data 为 0。然后计数器清零, 状态机从 1 跳转到 3。图 8 标识线 2 处, 每当传输 1 UI 的中间有电平翻转, 则 Half-edge 产生一个脉冲, Counter 为 18, 处于 $\text{thres}_1/4 \text{ UI}$ 与 $\text{thres}_1/8 \text{ UI}$ 之间, 计数器继续计数, 状态机由 3 跳转到 4。图 8 标识线 3 处, 传输 1 UI 有电平翻转, One-edge 产生一个脉冲, Counter 为 36, 处于 $\text{thres}_1/8 \text{ UI}$ 与 $\text{thres}_1/16 \text{ UI}$ 之间, 解码结果 Decode-Data 为 1。然后计数器清零, 状态机由 4 跳转到 1。前导码的初始 2 个 UI 接收后拉高 Train_start 信号, 每成功接收 2 个 UI, Pre2-Cnt 计数值加 1, 直到接收全部 32 组。在此期间 Decode-Data 必须始终与预测值 Predict-Data 相等, 即所有前导码全部正确, 才会继续解码后的真实数据, 并将解码结果输出到解码模块之外。

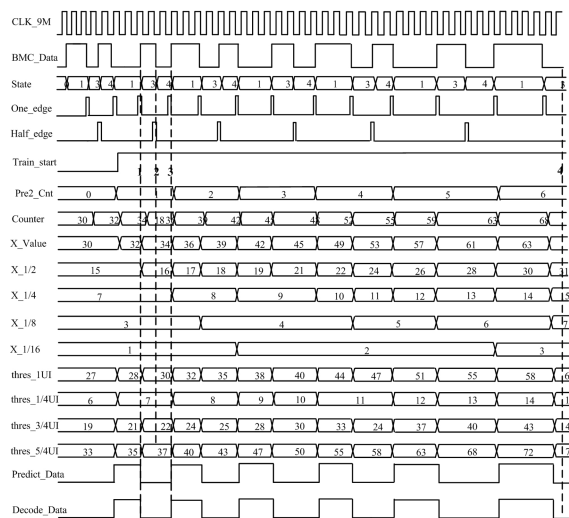


图 8 新型双相标记解码系统的仿真结果

在 Synopsys 公司的 DC 平台用华虹 0.18 μm 工艺对电路面积和功耗评估, 相同工艺性能结果比较见表 1 所列。

表 1 性能对比

性能	文献[5]	文献[6]	文献[7]	本文设计
面积/ nm^2	89 693.603 1	87 769.967 2	37 491.664 4	38 169.717 6
功耗/ mW	2.945 9	2.886 5	0.314 5	0.200 4
解码范围	小	小	较大	最大

由表1可知:本文设计比文献[5]面积减小57.44%,功耗降低93.19%;也比文献[6]面积减小56.51%,功耗降低93.06%;比文献[7]面积大1.81%,功耗降低36.28%,且解码的范围更大,准确性更高。

4 结 论

本文通过对双相标记解码电路增加状态机以及计数器的复用,减少寄存器的使用,从而降低面积和功耗;通过增加六阶有限长单位冲激响应滤波器实时计算解码阈值,可解码的频率范围更大,提高解码准确性;通过设置错误检测机制提高电路的安全性。并增加了门控,在电路闲置时,关闭解码电路,进一步节约能耗。采用Synopsys公司的数字前端仿真工具VCS进行电路的仿真验证,成功对单个周期突变25%的数据、相邻周期增加或减少7.13%的连续13个数据解码。电路仿真后得到更好的面积和功耗表现。在USBPD 3.0协议芯片中使用可以提高对信号的解码能力,降低芯片的成本。

[参 考 文 献]

[1] 刘高鹏. 兼容USB PD3.0的快充控制系统研究与设计[D].

长沙:湖南大学,2019.

- [2] 阮志芳. USB Type-C 技术分析与应用[J]. 信息通信,2020(11):100-102.
- [3] 牛雨萌,焦继业,李晨. 基于FPGA的USB PD控制器的设计与实现[J]. 计算机与数字工程,2020,48(5):1238-1242.
- [4] DELSHADPOUR S, KULKARMI A, ZHANG X. A BMC analog and digital PHY for USB type-C power delivery[J]. Canadian Journal of Electrical and Computer Engineering, 2020,43(3):195-202.
- [5] 赵旺. 一种BMC码自适应解码系统:CN 208768080 U[P]. 2019-04-19.
- [6] 方侃飞,蔺智挺,赵建中. 面向USB PD 3.0协议的新型BMC解码电路设计[J]. 信息技术,2020,25(3):14-17.
- [7] 张万荣,王飞虎. 新型PD协议芯片BMC解码电路的设计与验证[J]. 电子技术应用,2021,47(11):29-32,38.
- [8] WANG T, ZHANG L, FANG G H, et al. Fault detection based on FIR filters with variable discount factors for industrial robot drive systems[J]. Wuhan University Journal of Natural Sciences,2021,13(2):165-173.
- [9] 郝少帅,杨玉华,王淑琴. 基于FPGA的高精度采集系统的研究与实现[J]. 电子测量技术,2020,43(19):154-158.

(责任编辑 张 镛)

(上接第332页)

基亲水链的金纳米粒子POE-Au NPs。TEM显示,POE-Au NPs在pH=5.5条件下会因表面原酸酯键断裂、亲水链的解离、疏水基团暴露而从5 nm单分散体聚集成几百纳米的团簇。光热效果测试表明,酸响应聚集后的POE-Au NPs显示出比单分散性PEG-Au NPs更高的光热转换效率,此外细胞安全性评估结果证实POE-Au NPs具有良好的生物安全性。这种新型酸响应聚集性金纳米粒子的设计制备为开发高效抗肿瘤光热治疗材料提供了新策略。

[参 考 文 献]

- [1] 武霖,李卓妍,张韫,等. 光热纳米材料在肿瘤治疗中的研究进展[J]. 江苏大学学报(医学版),2020,30(3):203-208.
- [2] LI Z C. Cancer theranostics with near-infrared light-activatable multimodal nanoparticles [J]. Accounts of Chemical Research,2011,44(10):947-956.
- [3] 李治,千维娜,魏思敏,等. 光热转换纳米材料在肿瘤光热治疗中的应用[J]. 激光与光电子学进展,2020,57(17):52-68.
- [4] CHEN H, SHAO L, LI Q, et al. Gold nanorods and their plasmonic properties[J]. Chemical Society Reviews, 2013, 42(7):2679-2724.
- [5] 凌云云,夏云生. 金纳米复合材料:制备、性质及其癌症诊疗

应用[J]. 物理化学学报,2020,36(9):80-94.

- [6] HUSSAIN I, ZHANG H, BRUST M, et al. Emulsions-directed assembly of gold nanoparticles to molecularly-linked and size-controlled spherical aggregates[J]. J Colloid Interface,2010,350(1):368-372.
- [7] WANG J Q, SUN X R, MAO W W, et al. Tumor redox heterogeneity responsive prodrug nanocapsules for cancer chemotherapy [J]. Advanced Materials, 2013, 25 (27): 3670-3676.
- [8] LING D, PARK W, PARK S J, et al. Multifunctional tumor pH-sensitive self-assembled nanoparticles for bimodal imaging and treatment of resistant heterogeneous tumors[J]. Journal of the American Chemical Society, 2014, 136(15): 5647-5655.
- [9] HU Q Y, SUN W J, LU Y, et al. Tumor microenvironment-mediated construction and deconstruction of extracellular drug-delivery depots [J]. Nano Letters, 2016, 16 (2): 1118-1126.
- [10] NAM J, WON N, JIN H, et al. pH-induced aggregation of gold nanoparticles for photothermal cancer therapy [J]. Journal of the American Chemical Society, 2009, 131(38): 13639-13645.
- [11] 吴頔,樊森,张露云,等. 金纳米星/双锥的可控制备、光热转换及体外光热治疗[J]. 发光学报,2018,39(3):280-286.

(责任编辑 闫杏丽)