

DOI:10.3969/j.issn.1003-5060.2023.05.009

一种高速可配置二维 CFAR 检测器设计实现

陶相颖^{1,2}, 张多利^{1,2}, 刘文娟^{1,2}, 倪伟^{1,2}, 宋宇鲲^{1,2}

(1. 合肥工业大学 微电子学院, 安徽 合肥 230601; 2. 教育部 IC 设计网上合作研究中心, 安徽 合肥 230601)

摘要:恒虚警率(constant false alarm rate, CFAR)检测是雷达在干扰背景下检测目标的重要自适应算法。二维 CFAR 算法随着参考窗口尺寸增大, 运算量较大, 仅靠软件实现并不能满足较高的实时性需求。文章基于现场可编程门阵列(field programmable gate array, FPGA)设计实现了一种兼容 CA-CFAR、GO-CFAR、SO-CFAR 和 OS-CFAR 4 种二维 CFAR 算法的硬件加速器, 同时实现标称化因子、检测器类型、排序值 K 、参考窗口和保护窗口大小可配置的灵活性, 对于 256×2048 点距离-多谱勒矩阵(Range Doppler Matrix, RDM)数据, 4 种检测器均可在 2.71 ms 内完成检测。设计采用全流水结构, 具有高实时性。

关键词:雷达目标检测; 二维恒虚警率(CFAR); 滑动窗口; 硬件加速; 矩形窗

中图分类号: TN47 **文献标志码:** A **文章编号:** 1003-5060(2023)05-0627-06

Design and implementation of a high-speed configurable 2D CFAR detector

TAO Xiangying^{1,2}, ZHANG Duoli^{1,2}, LIU Wenjuan^{1,2}, NI Wei^{1,2}, SONG Yukun^{1,2}

(1. School of Microelectronics, Hefei University of Technology, Hefei 230601, China; 2. IC Design Web-cooperation Research Center of Ministry of Education, Hefei 230601, China)

Abstract: Constant false alarm rate(CFAR) detection is an important adaptive algorithm for radar target detection under interference. With the increase of the reference window size, the two-dimensional (2D) CFAR algorithm has heavier computation. The software implementation alone cannot meet the needs of high real-time performance. Based on field programmable gate array(FPGA), this paper designs and implements a hardware accelerator compatible with four 2D CFAR algorithms: CA-CFAR, GO-CFAR, SO-CFAR and OS-CFAR. At the same time, it realizes the configurable flexibility of nominal factor, detector type, ranking value K , and reference window and protection window sizes. For 256×2048 point Range Doppler Matrix(RDM) data, four detectors can complete the detection within 2.71 ms. The design adopts full pipeline structure and has high real-time performance.

Key words: radar target detection; two-dimensional constant false alarm rate(2D CFAR); sliding window; hardware acceleration; rectangular window

0 引言

雷达目标检测需要自适应处理, 根据局部噪声功率自动调整检测门限, 以保持恒虚警率(constant false alarm rate, CFAR), 在复杂的杂波环境中检测出所关心的运动目标回波。单元平均

(cell averaging, CA)CFAR 处理算法作为最经典的 CFAR 算法^[1], 在均匀杂波背景下具有较好的检测性能, 但在杂波边缘和多目标环境中的检测性能明显下降。因此, 具有更好的多目标分辨能力的最小(smallest of, SO)选择检测器^[2]和在杂波边缘具有良好性能的最大(greatest of, GO)选

收稿日期: 2022-02-28; 修回日期: 2022-05-17

基金项目: 国家自然科学基金资助项目(61874156); 安徽省高校协同创新资助项目(GXXT-2019-030)

作者简介: 陶相颖(1997—), 女, 安徽淮北人, 合肥工业大学硕士生;

张多利(1976—), 男, 黑龙江七台河人, 博士, 合肥工业大学研究员, 博士生导师, 通信作者, E-mail: zhangduoli@hfut.edu.cn.

择检测器^[3]相继被提出。不同于以上 3 种均值思想的 CFAR 算法,有序统计(ordered statistics, OS)CFAR 算法通过对参考集排序,在非理想杂波环境中获得了更好的鲁棒性^[4],在多目标情况下具有较高的分辨率。在一维 CFAR 算法的基础上,研究者们结合多普勒维雷达回波信息,提出了相应的多种二维 CFAR 算法^[5-6]。

二维 CFAR 检测利用了信号和杂波的频域特性差异且增加了有效的参考单元数。相比一维 CFAR 处理,二维 CFAR 算法能有效降低虚警,提高检测性能^[7],但同时带来了较大计算量。目前对二维 CFAR 算法实现,以 DSP 软件层面为主^[8]。文献[9]提出一种基于 DSP 的二维十字窗 CA-CFAR 检测实现,以数据块矩阵操作代替 CFAR 检测的逐点实现提高时间效率。其对 64×1024 点的距离-多普勒矩阵处理,在 500 MHz 时钟频率下仍需 31.534 ms。面对高速的大规模雷达数据,现场可编程门阵列(field programmable gate array, FPGA)在实时性方面更具优势。

目前关于一维 CFAR 算法的 FPGA 实现已有大量的研究,而二维 CFAR 算法设计复杂度和计算量相对增大, FPGA 实现较少,且大多通过调整窗口形状降低计算复杂度。文献[10]提出了支持 CA、GO 及 SO 算法的二维十字窗均值类 CFAR 实现结构;文献[11]提出了基于 FPGA 的二维米字型参考窗的 FOSCA-CFAR 实现方案。以上 2 种二维 CFAR 实现窗口大小固定,通过采用十字窗或米字窗减少参考单元数量,回避了矩形窗带来的巨大计算量,但是由于放弃大量有效信息,从而导致其杂波估计值的可靠性低于矩形窗^[12]。

随着 FPGA 的发展,CFAR 硬件实现不再需要以牺牲性能为代价来节省资源。近期,文献[13]提出了一种面向二维 CFAR 检测需求,目前实现复杂度最高且完善的先进方案。该方案采用矩形窗,实现了动态可配置二维 CFAR 处理器,兼容 CA、GO、SO 及 OS 算法且参考窗口尺寸和保护窗口尺寸可以动态配置,具有灵活的配置和较广的应用场景。但是其计算模块采用资源平铺的方法,资源消耗极大,同时关键路径较长导致主频受限。本文参考文献[13]的高可配置性优点,同时,通过链式先进先出(first input first output, FIFO)队列结构和滑动窗口处理降低资源消耗,求解参考单元累加和的计算量,充分利用数据集之间固有的数据依赖关系,使得硬件资源开销大

幅降低,主频得到明显提升。

1 二维 CFAR 算法

上述研究者们关于二维 CFAR 算法的实现,多为固定参考窗口和保护窗口设计。然而,在实际雷达目标检测应用中,可通过参考窗口和保护窗口大小的调整,以优化检测性能。根据目标在二维空间的局部拓展性,二维矩形参考窗相较于其他窗型 CFAR 能够获得更稳定且准确的背景杂波估计值^[14]。因此本文以 FPGA 为实验平台,采用矩形窗型,设计实现了兼容 CA、GO、SO、OS 4 种经典 CFAR 算法且参考窗尺寸(N)、保护窗尺寸(M)可动态配置的二维 CFAR 算法硬件加速器结构,其中, $3 \leq N \leq 31$, $1 \leq M \leq 21$, N, M 为奇数。本文采用链式 FIFO 队列结构和滑动窗口处理,实现了对既有计算结果的重复利用,即对于均值类 CFAR 的硬件实现减少了传统矩形窗口累加和求解所需加法器个数,对于 OS-CFAR 的硬件实现减少了数据反复读取带来的延迟,使用流水线设计实现每周可以连续获得 CFAR 检测结果,具有较高的检测效率。在 220 MHz 的主频下,对于 256×2048 点的距离-多普勒矩阵数据,4 种 CFAR 检测器均在 2.71 ms 内完成。该二维 CFAR 检测器具有较大灵活性,提升了二维 CFAR 硬件实现的实时性和实用性。

本文关注算法的硬件实现结构,关于 CFAR 算法原理不作赘述。参考窗口尺寸为 $N \times N$ 大小的二维矩形窗 CFAR 算法如图 1 所示。

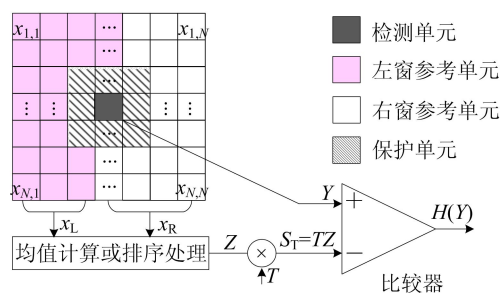


图 1 二维矩形窗 CFAR 算法

矩形窗中心黑色单元为检测单元,记为 Y 。为防止目标能量泄露到背景单元中导致检测性能下降,通常在检测单元四周设置尺寸为 $M \times M$ 大小的区域作为保护单元,即图 1 中阴影区域。矩形窗内其余单元为参考单元,红色区域为左窗参考单元 x_L ,白色区域为右窗参考单元 x_R 。

为兼容 CA、GO、SO 3 种均值类 CFAR 算

法,可通过计算出全部左窗参考单元均值 M_L 、右窗参考单元均值 M_R ,继而求得全窗均值。OS-CFAR 算法需对所有参考单元升序排序,以获取第 K 个排序样本值 X_K 作为背景杂波估计值。根据算法种类选择对应的杂波背景功率的估计值 Z ,与标称化因子 T 相乘得到检测门限 S_T 。若待测单元幅值 Y 大于检测门限 S_T 则判定该检测单元为目标,否则为杂波。CA、GO、SO、OS 4 种 CFAR 算法关于 Z 的取值见表 1 所列。

算法	Z
CA	$(M_L + M_R) / 2$
GO	$\max(M_L, M_R)$
SO	$\min(M_L, M_R)$
OS	X_K

2 硬件实现

2.1 系统结构

CFAR 检测器以 256×2048 点二维距离-多谱勒矩阵(Range Doppler Matrix, RDM)为输入数据。本设计整体结构如图 2 所示,主要由链式 FIFO 队列、滑动窗口求和处理模块、OS-CFAR 流水比较模块、目标判定模块和检测单元预处理模块组成。链式 FIFO 队列负责数据的存储管理和 RDM 边缘扩展补充。滑动窗口求和处理模块每周计算输出一个左窗累加和与对应右窗累加和。OS-CFAR 流水比较模块采用二元积累法,每周计算输出一个检测单元对应的二元积累和。目标判定模块则根据配置的算法类型选择对应的窗口累加和与经过预处理的参考单元幅值比较,得到最终的 CFAR 算法处理结果。

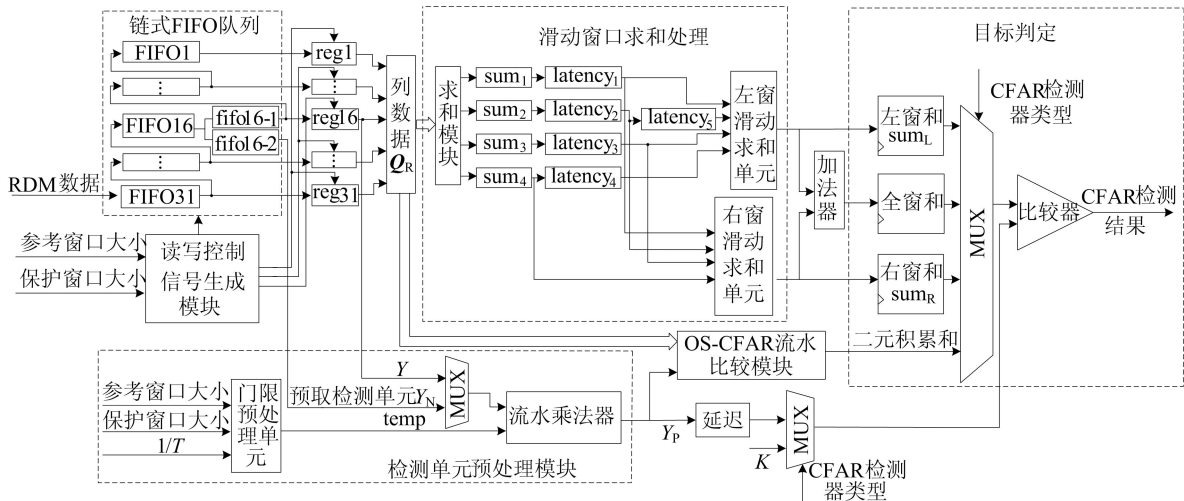


图 2 兼容均值类和有序统计 CAFR 的硬件设计框图

2.2 链式 FIFO 队列

二维 CFAR 实现面临的首要问题是 RDM 输入数据每周期逐点更新,而滑动窗口计算需要每周期逐列更新。因此,本设计以 31 个 256 深度的 FIFO 首尾相连,构成链式 FIFO 队列,将串行输入数据转化为 31 个输出端口并行输出。实现每个时钟周期更新滑动窗口所需的包含 N 个数据的列向量 Q_R ,提高数据吞吐效率,为后续计算模块的全流水实现提供保障。巧妙设计 FIFO 深度为多普勒维采样点个数,使得链式 FIFO 队列只需在初始化时进行一次队列预存,无需在滑动窗口由各行行末移动到下一行行首时重新对 FIFO 队列缓存。即当本周期 FIFO 队列读出的 Q_R 为第 i 行最后一个参考窗口的第 N 个列向量时,下

一个时钟周期 FIFO 队列读出的数据即为第 $i+1$ 行中第 1 个参考窗口所需的第 1 个列向量。

链式 FIFO 队列的另一作用是实现对 RDM 的边缘补充且不增加额外缓存资源。由于检测单元位于 RDM 数据边缘时存在窗口内参考单元缺失的情况,本设计以复制补边的方式对 RDM 边缘参考窗内缺失数据加以补充。根据配置的参考窗口大小,通过对 RDM 首行和末行重复 $(N-1)/2$ 次缓存到 FIFO 中,实现行数据补充。当 FIFO 组读出数据为首列或末列后,通过控制 FIFO 组读写能拉低 $(N-1)/2$ 时钟周期,实现 RDM 列数据的边缘填充。

2.3 滑动窗口设计

不同于二维 CFAR 滑动窗口结构简单,二维

矩形窗 CFAR 剔除保护窗口再被分为左窗和右窗后,窗口形状不规则,同时需要兼顾参考窗口和保护窗口尺寸可动态配置的设计目标,给滑动窗口设计带来一定难度。本设计对于每周更新的一系列数据,首先由链式 FIFO 队列后的 31 个寄存器根据参考窗口配置,将超过窗口的数据点置 0,实现参考窗口尺寸的控制。每列数据 Q_R 在求和模块中根据保护窗口大小切割成:保护窗上方的各参考单元累加和 sum_1 、保护窗范围内的各参考单元累加和 sum_2 、保护窗下方的各参考单元累加和 sum_3 3 个部分。由以上 3 个部分之和求得全列数据累加和 sum_4 。

本文滑动窗口设计如图 3 所示,窗口向右滑动。根据窗口形状产生的数据组织规律,在滑动窗口求和模块求出当前检测单元对应的左窗参考单元累加和 sum_L 后,对 sum_L 加入沿左窗边缘右侧的参考单元幅值(图 3 中黄色部分),减去左窗最左侧一列参考单元幅值(图 3 中蓝色部分),即可实现左窗累加和的向右滑动。对于右窗累加和 sum_R 的滑动求解方法同理。

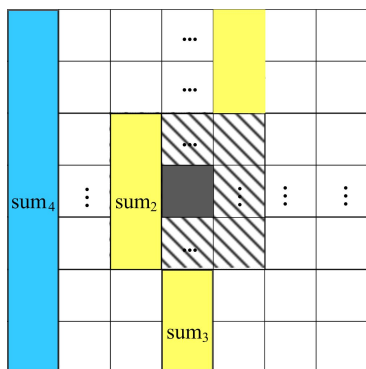


图 3 均值类 CFAR 滑动窗口设计

在均值类 CFAR 设计中,根据参考窗尺寸和保护窗尺寸,通过控制 sum_1 、 sum_2 、 sum_3 、 sum_4 的延迟关系实现对多种窗口尺寸的兼容设计。图 2 中延迟关系为:

$$\begin{cases} l_{latency_1} = (N-1)/2, \\ l_{latency_2} = (N-1)/2 - (M-1)/2, \\ l_{latency_3} = (N+1)/2, \\ l_{latency_4} = N, \\ l_{latency_5} = M-1 \end{cases} \quad (1)$$

滑动窗口设计充分利用了已经求出的部分和信息,均衡了计算资源,减少了求和模块的数据吞吐压力,使得计算效率得到提升。

2.4 检测单元预处理

均值类 CFAR 算法对门限计算的常见处理是将左窗和、右窗和分别除以参考单元数目得到均值,再与标称化因子 T 相乘,得到检测门限。该方法需要 2 个除法器 and 1 个乘法器,每步计算为串行。本设计以 $1/T$ 作为均值类检测器输入。通过对标称化因子的预处理,在链式 FIFO 队列初始化预存数据的同时,并行完成 $temp$ 等于参考单元个数与 $1/T$ 相乘的计算。因此,在计算窗口累加和的同时,可以并行计算出检测单元幅值与 $temp$ 的乘积 Y_P 。以 Y_P 与窗口累加和的比较,代替门限 S_T 与检测单元幅值的比较,作为检测单元是否为目标判定条件。优化后,本设计只需 2 次乘法,且可以由一个乘法器分时复用完成计算,节约了硬件资源的同时,利用 FPGA 的并行性压缩了计算时间。当运行 OS-CFAR 检测器时, $temp$ 直接被赋值为 $1/T$, Y_P 作为预取检测单元 Y_N 与 $1/T$ 的乘积,称为压缩检测单元幅值。

2.5 OS-CFAR 流水比较与二元积累

传统的 OS-CFAR 算法需要对参考单元数据进行全排序以获得杂波背景功率的估计值。显然,对于较大尺寸的二维矩形窗,全排序带来极大的计算量和比较器资源消耗。大窗口数据全排序成为 OS-CFAR 进行 FPGA 实现的瓶颈。

全排序为获得第 K 个排序样本值,需要计算其他各参考单元之间的大小关系,从而带来冗余信息及巨大的计算复杂度。其实,算法只关注压缩检测单元幅值与参考单元第 K 个排序样本的大小关系,即压缩检测单元幅值是否大于 K 个参考单元样本。因此,解决这一问题的关键在于消除冗余信息,将二元积累法应用于 OS-CFAR 可使判定条件等效转换,若 sum_B 大于等于 K 则为目标,否则为杂波。其中 sum_B 为压缩检测单元幅值与各参考单元幅值比较结果的二元积累和。二元积累法的应用将计算复杂度降低为 N^2 次比较和累加。二维矩形窗 OS-CFAR 硬件设计通过复用均值类 CFAR 的链式 FIFO 队列结构以节约资源,沿用滑动窗口思想,充分利用相邻窗口的数据依赖关系以减少缓存。由于链式 FIFO 队列每周输出数据为包含 N 个数据的列向量 Q_R ,在不加额外控制和存储资源的情况下,每个列向量读且只读一次。而每一个列向量将作为 N 个连续参考窗口中的一列参考单元。因此,当一个列向量 Q_R 读出时,希望可以同时获得所有需要与 Q_R 比较的压缩检测单元幅值,这些压缩检测单元

幅值所组成的队列记为待检测序列 Q_Y 。 Q_Y 与 Q_R 的相对位置关系如图 4 所示。

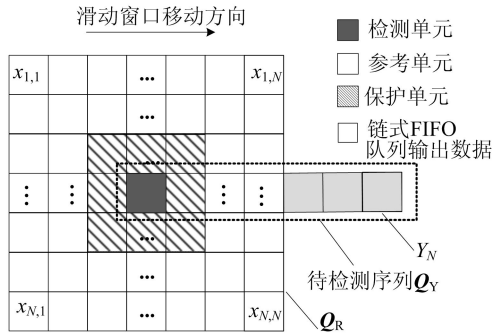


图 4 OS-CAFR 滑动窗口数据关系

根据图 4 中窗口向右滑动所需的数据更新规律,设计预取检测单元 Y_N 经过压缩后与列向量 Q_R 在同一周期到达图 2 中 OS-CAFR 流水比较模块的输入端口。OS-CAFR 流水比较模块内包含寄存 Q_Y 的 31 个移位寄存器和 961 个比较器,可在单周期完成 Q_Y 与 Q_R 中各元素幅值比较。由于 Q_R 为检测单元 Y 所在参考窗口的第 N 个列向量,将 Q_R 与 Y 比较的二元积累和记为列积累和 S_N 。同理,经过本周期比较后对于 Y_N 将得到对应的列积累和 S_1 。将检测单元 Y 对应的 S_N 与之前 $N-1$ 个周期获得的各列的列积累和相加,得到有效二元积累和 sum_B ,与 K 比较即可判定 OS-CAFR 检测结果。

3 实验结果

3.1 MATLAB 建模

根据 FMCW 雷达系统工作原理,基于 MATLAB 对 Chirp 序列的 Range Doppler 处理进行仿真。首先生成以均匀杂波为背景噪声、携带 2 个目标信息的差频信号,再分别对快时间维度采样和慢时间维度采样进行加窗和 FFT 处理,最终得到 RDM 信息三维图,如图 5 所示。RDM 数据即为二维 CFAR 检测器的输入。

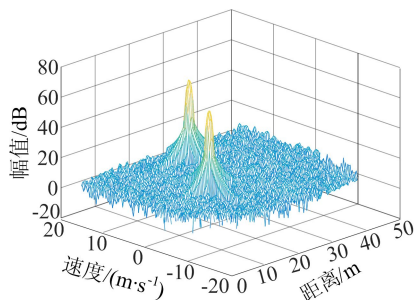


图 5 均匀杂波背景下存在 2 个目标的 RDM 信息三维图

3.2 FPGA 实现效果

本设计以 32 位无符号定点数作为数据输入,参考窗尺寸 N 和保护窗尺寸 M 可动态配置,其中, $3 \leq N \leq 31, 1 \leq M \leq 21, N, M$ 为奇数。设计以 Xilinx xc6vlx240t FPGA 开发板为实验平台,综合主频为 220 MHz。

对于 256×2048 点 RDM 4 种 CFAR 检测器均在 2.71 ms(594 659 周期)内完成检测,通过与 MATLAB 软件测试结果对比。验证了功能正确性,对于图 5 所示雷达回波信号的 CFAR 检测结果如图 6 所示。

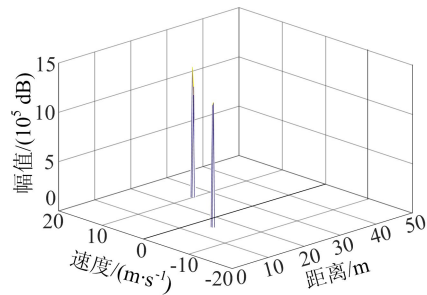


图 6 CAFR 算法检测结果

对比文献[13]提出的矩形窗动态可配置二维 CFAR 处理器设计,其设计最大主频为 120 MHz,平均单点的 CFAR 处理周期为 2.7 个周期。本文最大时钟频率为 220 MHz,平均单点处理周期为 1.1 周期。因此平均单点 CFAR 处理在时间上的加速比为 4.4 倍,本设计计算速度提升主要得益于链式 FIFO 队列在计算模块启动后无需在滑动窗口换行处理时浪费更新缓存的时间。文献[13]实现了 CA、GO、SO、OS 算法,根据其设计方案推测其中均值类 CFAR 检测计算模块消耗 961 个加法器。本设计采用滑动窗口设计使得均值类 CFAR 检测计算模块仅消耗 39 个加法器,加法器资源消耗节约 95.9%。关于 OS-CAFR 设计,若同样处理尺寸为 31 的参考窗口,文献[13]将参考窗口数据全部寄存以完成滑动窗口处理,至少消耗 961 个寄存器,而本设计通过对参考单元的预取更加充分地利用了窗口数据更新规律,只需要 31 个移位寄存器对 Q_Y 寄存即可,该模块寄存器资源节约 96.8%。文献[15]本质上为兼容均值类和有序均值类算法一维窗口设计,最大窗口参考单元数为 340。本设计仅使用该一维窗口接近的 FPGA 资源,完成二维矩形窗 CFAR 设计,且最大参考单元数为 961,其他各项资源对比见表 2 所列。

(下转第 677 页)

[32] GABRIEL L, ENRIQUE A. Genetic algorithms: theory and real-world applications [M]. Berlin: Springer-Verlag, 2011.

[33] 颜雪松, 伍庆华, 胡成玉. 遗传算法及其应用[M]. 武汉: 中国地质大学出版社, 2018.

[34] 周宁. 350 km/h 及以上弓网动态行为研究[D]. 成都: 西南交通大学, 2013.

[35] 唐周林, 吴积钦, 沈涛. 基于正交试验法的弓网动态性能优化研究[J]. 电气化铁道, 2017, 28(5): 69-74.

[36] European Committee for Electrotechnical Standardization. Railway applications-current collection systems-technical criteria for the interaction between pantograph and overhead line (to achieve free access): EN 50367[S]. London: British Standards Institution, 2012: 1-44.

(责任编辑 张 镛)

(上接第 631 页)

表 2 二维 CFAR 检测器硬件资源消耗与对比

算法	FPGA 实现平台	LUTs/10 ³	Registers/10 ³	BRAM	最大时钟频率/MHz	平均单点处理周期
本文算法	xc6v1x240t	34	11	23	220	1.1
文献[13]	XCVU440	342	227	19	120	2.7
文献[15]	XC7K325T	38	12	20	137	

4 结 论

本文给出了一种高速可配置兼容 CA、GO、SO、OS CFAR 检测器的硬件加速设计, 设计采用矩形窗, 实现检测器类型、标称化因子、排序值 K 、参考窗口尺寸、保护窗口尺寸可动态配置。对于 256×2048 点二维 RDM 数据可在 2.71 ms 内完成 CFAR 检测, 具有高效的检测效率和较小的硬件资源开销。

[参 考 文 献]

[1] FINN H M, JOHNSON R S. Adaptive detection mode with threshold control as a function of spatially sampled clutter-level estimates[J]. RCA Review, 1968, 29(3): 414-464.

[2] TRUNK G V. Range resolution of targets using automatic detectors[J]. IEEE Transactions on Aerospace and Electronic Systems, 1978, AES-14(5): 750-755.

[3] HANSEN V G, SAWYERS J H. Detectability loss due to "greatest of" selection in a cell-averaging CFAR[J]. IEEE Transactions on Aerospace and Electronic Systems, 1980, AES-16(1): 115-118.

[4] LONGO M, LOPS M. OS-CFAR thresholding in decentralized radar systems[J]. IEEE Transactions on Aerospace and Electronic Systems, 1996, 32(4): 1257-1267.

[5] LI D J, YU G L. 2D-OS-CFAR detector for cloud clutter suppression[C]//CIE International Conference on Radar Proceedings (Cat No. 01TH8559). [S. l. : s. n.], 2001: 350-353.

[6] 杨强, 刘永坦. 复杂背景下的二维检测研究[J]. 系统工程与电子技术, 2002, 24(1): 34-37.

[7] 何友, 关键, 彭应宁. 雷达自动检测与恒虚警处理[M]. 北京: 清华大学出版社, 1999.

[8] SHAFIQ M A. Real time implementation and profiling of different CFAR algorithms over DSP kit[C]//Proceedings of 2014 11th International Bhurban Conference on Applied Sciences & Technology (IBCAST) Islamabad, Pakistan, 14th-18th. [S. l. : s. n.], 2014: 466-470.

[9] 任磊, 陈辉, 陈建文, 等. 基于 DSP 的二维 CFAR 检测快速实现[J]. 系统工程与电子技术, 2009, 31(7): 1627-1631.

[10] 邓超. 杂波干扰环境下雷达恒虚警处理及其实现技术研究[D]. 成都: 电子科技大学, 2014.

[11] 周忠锦. 二维恒虚警率散发研究及实现[D]. 西安: 西安电子科技大学, 2017.

[12] ZHANG M, LI X. An efficient real-time two-dimensional CA-CFAR hardware engine[C]//2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC). [S. l. : s. n.], 2019: 845-847.

[13] 高巍, 杨昊, 蒋荣堃, 等. 一种动态可配置二维 CFAR 处理器的设计与实现[J]. 北京理工大学学报, 2020, 40(7): 797-802.

[14] 谢春思, 刘志赢, 吴帅, 等. 基于改进二维 CFAR 参考滑窗技术的目标检测研究[J]. 弹箭与制导学报, 2021, 41(3): 48-52.

[15] 高巍, 谢芳, 蒋荣堃, 等. 基于 FPGA 的二维双向 CFAR 处理器的设计与实现[J]. 北京理工大学学报, 2021, 41(5): 536-540.

(责任编辑 张 镛)