

DOI:10.3969/j.issn.1003-5060.2023.05.011

# 一种具有自校准、自控制功能的 I<sup>2</sup>C 接口电路

郑双双<sup>1</sup>, 刘兴辉<sup>1</sup>, 张文婧<sup>2</sup>, 张建龙<sup>2</sup>, 尹飞飞<sup>1</sup>

(1. 辽宁大学 物理学院, 辽宁 沈阳 110036; 2. 北京宏思电子技术有限责任公司, 北京 100085)

**摘要:**文章提出一种在开漏模式下通过硬件自检测、自校准实现高性能 I<sup>2</sup>C(inter-integrated circuit)接口的设计,并给出一种 I<sup>2</sup>C 接口自控制实现开漏功能的方法。在传统 I<sup>2</sup>C 接口电路的基础上,增加了自检测拉低时钟总线并进行自校准的功能,使得在开漏模式下,硬件能够自动检测到时钟总线在上拉过程中的低电平并进行自校准高电平,在改善通信稳定性的基础上实现了性能提升。考虑到不同的应用场合,增加了开漏使能控制电路,为提高 IP 的可移植性,I<sup>2</sup>C 接口可自控制开漏功能,支持软件配置,灵活地应用于各种通用输入输出(general-purpose input/output,GPIO)模型中。成品开发板电路测试表明,在系统时钟为 120 MHz 时,该电路在开漏模式下高速通信中的位速率高达 5.98 Mbit/s,在推挽模式下超快速通信中的位速率高达 30.00 Mbit/s。

**关键词:**I<sup>2</sup>C 接口电路;自校准;Verilog HDL 语言;开漏输出;自控制

**中图分类号:**TN432 **文献标志码:**A **文章编号:**1003-5060(2023)05-0641-05

## An I<sup>2</sup>C interface circuit with self-calibration and self-control function

ZHENG Shuangshuang<sup>1</sup>, LIU Xinghui<sup>1</sup>, ZHANG Wenjing<sup>2</sup>, ZHANG Jianlong<sup>2</sup>, YIN Feifei<sup>1</sup>

(1. School of Physics, Liaoning University, Shenyang 110036, China; 2. Beijing Hongsì Electronic Technology Co., Ltd., Beijing 100085, China)

**Abstract:** A design for achieving the high performance inter-integrated circuit(I<sup>2</sup>C) interface through hardware self-detection and self-calibration in open-drain mode is proposed, and a method of I<sup>2</sup>C interface self-control to achieve open-drain function is introduced. Based on the traditional I<sup>2</sup>C interface circuit design, the function of self-detection of pull-down of the clock bus and self-calibration is added, which enables the hardware to automatically detect the low level of clock bus in the pull-up process and automatically calibrate its high level in open-drain mode, achieving performance improvement on the basis of improving communication stability. Taking into account different applications, an open-drain enable control circuit is added in order to improve the portability of IP, I<sup>2</sup>C interface can self-control the open-drain function, support the software configuration, and be flexibly applied to a variety of general-purpose input/output(GPIO) models. The test of the finished development board circuit shows that when the system clock is 120 MHz, the bit rate in high-speed communication in open-drain mode is as high as 5.98 Mbit/s, and the bit rate in ultra-fast communication in push-pull mode is up to 30.00 Mbit/s.

**Key words:** inter-integrated circuit(I<sup>2</sup>C) interface circuit; self-calibration; Verilog hardware description language(Verilog HDL); open-drain output; self-control

I<sup>2</sup>C(inter-integrated circuit)总线是一种由 PHILIPS 公司开发的两线式同步串行半双工通信总线协议,用于连接微控制器及其外围设备,由

于它引脚少,可扩展性强,现已被广泛地应用于 SoC(system-on-a-chip)领域<sup>[1]</sup>。I<sup>2</sup>C 总线由 1 条双向串行数据线(I<sup>2</sup>C-SDA)和 1 条双向串行时

收稿日期:2021-08-13;修回日期:2021-12-07

基金项目:辽宁省自然科学基金资助项目(2021-MS-148)

作者简介:郑双双(1997—),女,辽宁沈阳人,辽宁大学硕士生;

刘兴辉(1972—),男,辽宁辽阳人,博士,辽宁大学教授,硕士生导师。

钟线(I<sup>2</sup>C-SCL)组成,数据线用于实现数据的传送,时钟线用于实现数据的收发同步。协议中规定了数据的有效性,在 I<sup>2</sup>C-SCL 的高电平周期对 I<sup>2</sup>C-SDA 线上的数据进行采样,因此在通信过程中,需要在稳定的 I<sup>2</sup>C-SCL 高电平周期内保持 I<sup>2</sup>C-SDA 线上的数据不变,数据线的高或低电平状态只有在 I<sup>2</sup>C-SCL 线为低电平时才能改变<sup>[2]</sup>。在一个 I<sup>2</sup>C 总线通信中,可连接多个 I<sup>2</sup>C 通信设备,支持多个通信主机及多个通信从机<sup>[3]</sup>。

I<sup>2</sup>C 接口的开漏输出模式不仅通过“线与”的方法实现了多主机的仲裁功能,并支持拉低时钟总线时的时钟同步,而且避免了主设备之间短路的情况<sup>[4]</sup>。开漏输出电路如图 1 所示,该 CMOS 门电路的输出只有 NMOS 管,并且它的漏极为开路,在漏极和电源之间接上拉电阻 R<sub>3</sub>,上拉电阻 R<sub>3</sub> 使 I<sup>2</sup>C-SCL 和 I<sup>2</sup>C-SDA 在总线空闲时保持高电平,该电路输出电平跳变速度由上拉电阻的电阻值决定,电阻越小上拉速度越快。当输入为高电平时,Q<sub>1</sub> 导通,Q<sub>2</sub> 截止,输出被弱上拉为高电平;当输入为低电平时,Q<sub>1</sub> 截止,Q<sub>2</sub> 导通,输出被强驱动为低电平。

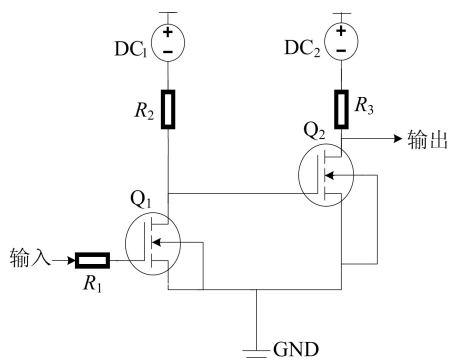


图 1 开漏输出电路

I<sup>2</sup>C 协议中规定了 5 种通信模式,每种通信模式的通信速度见表 1 所列。

表 1 I<sup>2</sup>C 协议中规定的通信模式及通信位速率

通信模式	通信位速率/(Mbit · s <sup>-1</sup> )
标准模式	0.10
快速模式	0.40
快速+模式	1.00
高速模式	3.40
超快速模式	5.00

与其他通信模式不同的是,超快速模式仅支持一个主机且该主机只能用作发送器进行单向通信,无需使用“线与”方法进行仲裁,因此协议中规

定在超快速模式下输出模式采用推挽输出方式,即 I<sup>2</sup>C-SCL 与 I<sup>2</sup>C-SDA 输出高电平与低电平均由内部强驱动输出实现,避免了使用开漏输出模式时上拉电阻对电平跳变速度的影响,超快速模式使用推挽输出功能可将通信速度提高至最大<sup>[5]</sup>。

I<sup>2</sup>C 协议中规定通信时钟始终由主机产生,传统的 I<sup>2</sup>C 接口电路从机拉低时钟功能的设计,一方面从机过早拉低 I<sup>2</sup>C-SCL 时钟总线会降低通信速度且影响数据的有效性;另一方面若过晚拉低 I<sup>2</sup>C-SCL 则会导致时钟总线上产生毛刺,影响正常通信,结果如图 2 所示,这种设计方法无法保证数据传输的稳定性和通信的性能<sup>[6]</sup>。除此之外,传统的 I<sup>2</sup>C 接口电路的设计缺少开漏使能控制功能电路,无法灵活地实现开漏输出模式与推挽输出模式之间的转换,只能依靠通用输入输出(general-purpose input/output, GPIO)模型的功能实现开漏使能位的配置,其应用具有局限性<sup>[7]</sup>。

本文在传统 I<sup>2</sup>C 接口电路的基础上,提出一种自检测拉低时钟总线并进行自校准的电路,能够在系统时钟为 120 MHz 的开漏模式下将高速模式通信位速率提升至 5.98 Mbit/s。通过增加开漏使能控制电路,提高了 I<sup>2</sup>C 接口 IP 的可移植性,灵活地实现开漏输出模式与推挽输出模式的转换,并将使用推挽输出的超快速模式通信位速率提高至 30.00 Mbit/s。

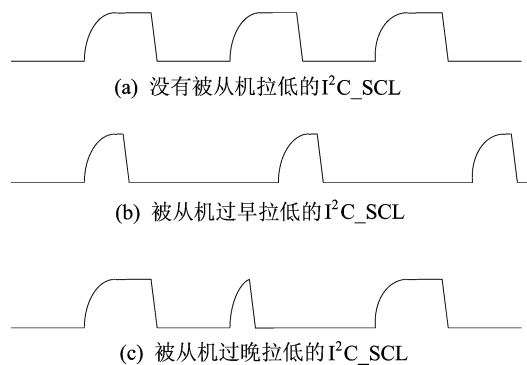


图 2 传统的从机拉低时钟总线结果

## 1 新型 I<sup>2</sup>C 接口电路设计

与传统 I<sup>2</sup>C 接口电路相比,本文增加了自检测拉低时钟总线并进行自校准的功能,以及开漏使能控制电路,新型 I<sup>2</sup>C 接口电路系统结构如图 3 所示,在传统 I<sup>2</sup>C 接口电路的开漏模式下的时钟单元中,增加了自检测时钟总线上拉过程中

的低电平并自校准完整的时钟周期功能,同时增加了开漏模式控制单元。在一定的系统时钟下,通过配置波特率寄存器可调节不同通信模式下的通信速率,标准模式和超快速模式下的位速率  $F_{bit1}$  计算公式为:

$$F_{bit1} = S_{sys\_clk} / (4B_R) \quad (1)$$

其中:  $S_{sys\_clk}$  为系统时钟;  $B_R$  为波特率寄存器值。

快速模式、快速+模式和高速模式的位速率

$F_{bit2}$  计算公式为:

$$F_{bit2} = S_{sys\_clk} / (3B_R) \quad (2)$$

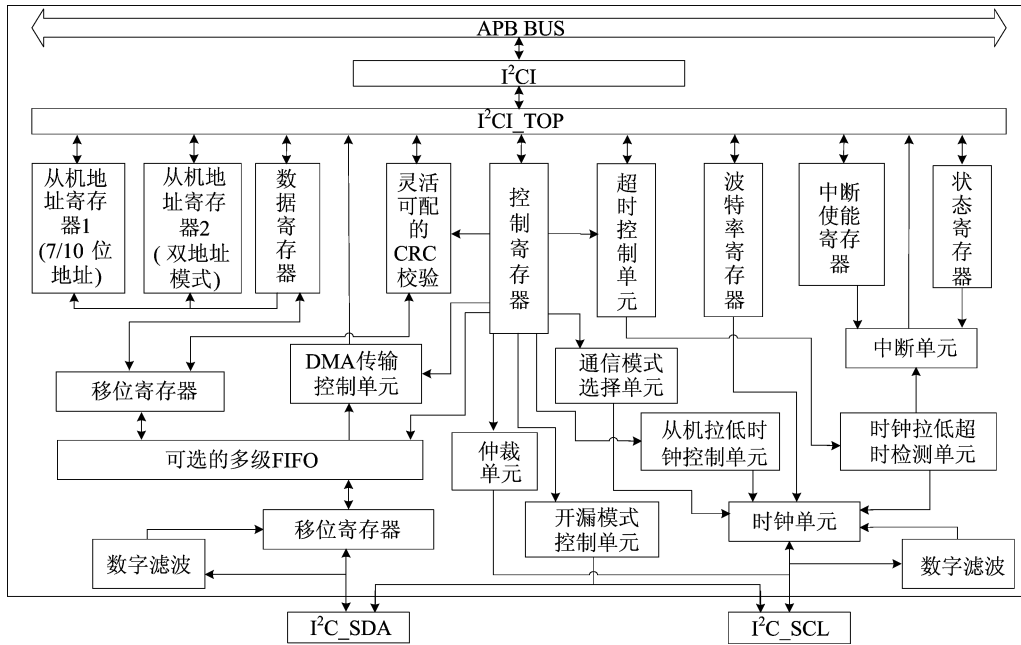


图 3 新型 I<sup>2</sup>C 接口电路系统结构

### 1.1 开漏模式下自检测、自校准时钟拉低功能

I<sup>2</sup>C 总线的通信时钟由主机产生并由主机时刻监测时钟线上的状态,从机为确保在每次的数据传输过程中准确地收发数据,在通信位速率过大的情况下会选择将时钟总线强制拉低,要求时钟总线等待数据,暂停通信直到释放 I<sup>2</sup>C-SCL 为高电平<sup>[8]</sup>。

本文设计的 I<sup>2</sup>C 接口电路兼具主从模式,支持可选的时钟延展特性并实现时钟同步,所设计的时钟单元不仅避免了从机拉低时钟总线时对时钟高电平周期完整性的影响,并且抑制了毛刺的产生,而且在开漏模式下, I<sup>2</sup>C-SCL 的时钟总线能够自动检测到上拉过程中的低电平,并自动校准 I<sup>2</sup>C-SCL 时钟总线的高电平。

I<sup>2</sup>C 总线协议中规定,高速模式下主机器件高电平和低电平是以 1 : 2 的比率产生一个串行时钟信号<sup>[9]</sup>。在开漏模式的高速通信下,具备自检测上拉过程中的低电平并进行自校准功能所产生的 I<sup>2</sup>C-SCL 时钟总线与不具备上述功能所产生的 I<sup>2</sup>C-SCL 时钟总线的对比结果如图 4 所示。

图 4b 因不具备检测上拉过程中低电平的功

能而在等到高电平持续时间  $t_h$  (图 4 中  $t_h : t_l = 1 : 2$ ) 结束时立刻将时钟线驱动为低电平,导致时钟线还未被上拉至高电平就被驱动为低电平。而图 4a 能够检测并识别时钟线上拉过程中的低电平 (图 4 中  $t_{up}$  表示所检测的低电平时间段) 并自动校准高电平持续时间  $t_h$ , 在不影响通信位速率的前提下, 仍能保证完整的时钟周期, 确保了数据在通信时的有效性, 改善了通信设备之间收发数据时的稳定性, 并在检测时钟拉低功能的同时实现了最高性能, 该功能适用于所有使用开漏功能的通信模式。

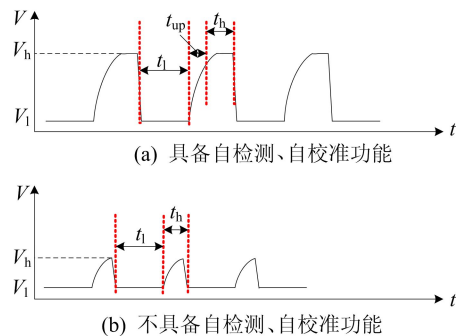


图 4 2 种 I<sup>2</sup>C-SCL 时钟总线对比结果

## 1.2 开漏使能控制电路

传统 I<sup>2</sup>C 接口电路的开漏使能控制功能是依靠 GPIO 自身的控制功能实现的,在具体应用场合中存在一定的局限性<sup>[10]</sup>。考虑到 IP 的可移植性,使接口适用于不同的 GPIO 模型,本文提出一种 I<sup>2</sup>C 接口自控制实现开漏使能控制功能的电路,并可通过软件编程控制是否使能开漏输出功能。实现该电路的逻辑框图如图 5 所示。在 I<sup>2</sup>C 接口的控制寄存器中增加了 I<sup>2</sup>C\_SCL 与 I<sup>2</sup>C\_SDA 的开漏模式使能位,其复位状态为使能开漏模式,若禁止开漏功能则需提前配置寄存器。在开漏输出模式下,当 I<sup>2</sup>C\_SCL 或 I<sup>2</sup>C\_SDA 输出高电平时关闭 I<sup>2</sup>C\_SCL 或 I<sup>2</sup>C\_SDA 的输出使能,由外接上拉电阻实现高电平的置位,当 I<sup>2</sup>C\_SCL 或 I<sup>2</sup>C\_SDA 输出低电平时,开启 I<sup>2</sup>C\_SCL 或 I<sup>2</sup>C\_SDA 的输出使能,由内部驱动实现低电平的置位。当禁止开漏模式使能位时,在推挽输出模式下,I<sup>2</sup>C\_SCL 或 I<sup>2</sup>C\_SDA 输出高电平或低电平均由内部驱动实现。

I<sup>2</sup>C 接口自控制实现开漏使能控制功能电路的提出,使得所设计的 I<sup>2</sup>C 接口电路支持所有通信模式,适用各种 GPIO 模型,可灵活应用于各种场合。

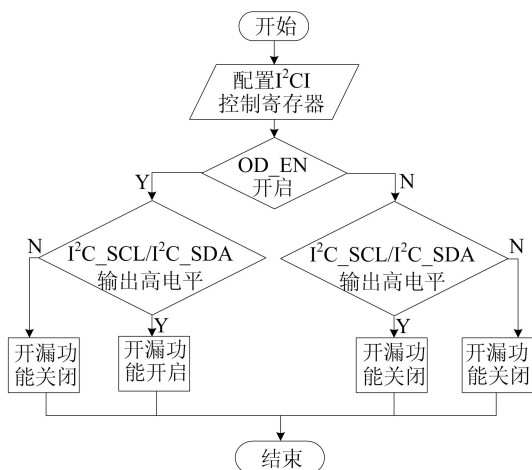


图 5 开漏使能功能控制流程图

## 2 结果与分析

本文基于上海华虹宏力的 HW\_55nm-Embedded NORD Flash Low Power 工艺进行设计,采用 Verilog HDL 实现 RTL 级设计,并对流片后的成品进行开发板测试。开发板的 I<sup>2</sup>C 接口管脚上接有 4.7 kΩ 的上拉电阻,上拉电源为 3.3 V。开发板测试结果如图 6、图 7 所示,图 6、

图 7 中横坐标表示示波器采样的时间精度,纵坐标表示电压值,每幅测试图中位于上方的测试曲线为 I<sup>2</sup>C\_SCL 时钟总线,位于下方的测试曲线为 I<sup>2</sup>C\_SDA 数据总线。

在通信双方的系统时钟均为 120 MHz 时,开漏模式的高速通信下 I<sup>2</sup>C 接口的自校准功能所实现的最大通信位速率为 5.98 Mbit/s,比协议中规定的速度高出近 76%(图 6),I<sup>2</sup>C\_SCL 时钟总线自动检测到电平上升过程中的低电位并进行自校准,将高电位瞬时延长以确保通信时钟高电平的稳定性,保证了对 I<sup>2</sup>C\_SDA 线上的数据有效采样,在改善通信稳定性的基础上提高了性能。在通信双方的系统时钟均为 120 MHz 时,推挽模式的超快速通信下所实现的最大通信位速率为 30.00 Mbit/s,是协议中规定速度的 6 倍(图 7),通过配置 I<sup>2</sup>C 接口控制寄存器中的开漏模式使能位,在所设计的开漏使能控制电路中实现将默认的开漏输出模式直接转换成推挽输出模式,使得输出模式的转换不受限于 GPIO 模型的功能,并使所设计的 I<sup>2</sup>C 接口电路支持所有的通信模式。

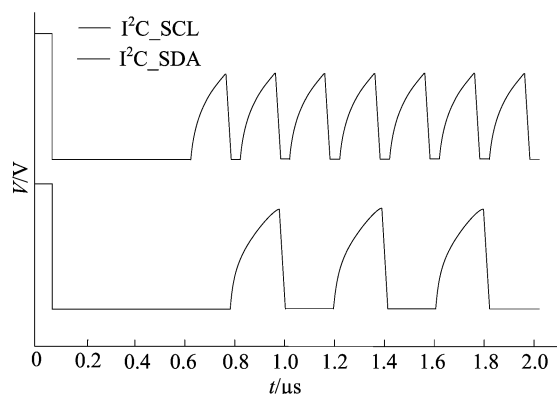


图 6 开漏模式下基于自校准功能所实现的最大通信位速率

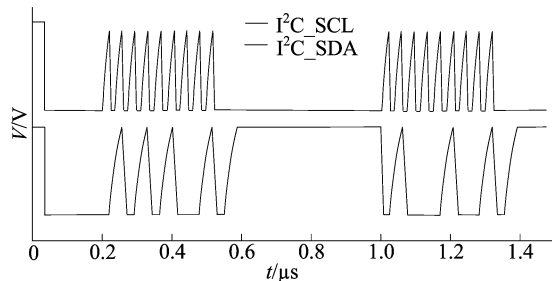


图 7 超快速模式下基于推挽输出所实现的最大通信位速率

## 3 结 论

本文提出一种具有自检测时钟上拉过程中低电平的功能并对时钟高电平进行自校准且自控制

实现开漏功能的I<sup>2</sup>C接口电路。在传统的I<sup>2</sup>C接口电路的设计上加入自检测拉低时钟总线并进行自校准功能和自控制开漏使能电路,其较高的通信稳定性和性能以及高移植性可以灵活地应用在数字集成电路的设计中。测试结果表明,该I<sup>2</sup>C接口电路拥有较高的通信位速率和通信稳定性,与现有I<sup>2</sup>C接口电路相比,具有自检测并自校准时钟总线和可控的开漏功能,在当前主流的集成电路设计中具有非常大的优势。

### [参 考 文 献]

- [1] NAOREM A, SHUMA A, LOITONGBAM S S. A review on bus protocols and conversion/translator between different protocols[J]. *Journal of Information and Optimization Sciences*, 2019, 40(8): 1665-1682.
- [2] YOST B. Inter-integrated circuit (I<sup>2</sup>C) bus extender; US 20170168976B2[P]. 2017-06-15.
- [3] LAZARO J, ASTARLOA A, ZULOAGA A, et al. I<sup>2</sup>C<sub>Sec</sub>: a secure serial chip-to-chip communication protocol[J]. *Journal of Systems Architecture*, 2011, 57(2): 206-213.
- [4] LEE T H, CHEN W L. Inter-integrated circuit bus arbitra-

tion system capable of avoiding host conflict; US10191883B2[P]. 2019-01-29.

- [5] SHIAU J K, HUNG W S, CHANG C M. Development of a distributed multi-MCU based flight control system for unmanned aerial vehicle[J]. *Tamkang Journal of Science and Engineering*, 2015, 18(3): 251-258.
- [6] TAILLIET F, HASSANI C A E. Apparatus for inter-integrated circuit (I<sup>2</sup>C) clock transmission channel wherein each filtering modules cooperates with the resistive circuit; US10558609B2[P]. 2020-02-11.
- [7] ZHU J, WU Y F, SUN B, et al. Advanced peripheral bus based inter-integrated circuit communication device; EP3729285A1[P]. 2020-10-28.
- [8] ABHISHEK N P. PIC32MZ custom I<sup>2</sup>C master communication API library[J]. *Electrical and Electronic Engineering*, 2019, 9(2): 45-52.
- [9] CHAITHANYA A S, SINDHUJA D, BHAVANA D, et al. Design and interfacing of I<sup>2</sup>C master with register and LCD slaves[J]. *International Journal of Engineering and Advanced Technology (IJEAT)*, 2020, 9(4): 2355-2360.
- [10] FU H L, ZHANG J, LU S J. Method and circuit for waking up I<sup>2</sup>C device; US20200065116A1[P]. 2020-02-27.

(责任编辑 张 镛)

(上接第 603 页)

### [参 考 文 献]

- [1] 丁子祈,何乃辉,韩先洪. 金属波纹管热屈曲成形数值模拟研究[J]. *塑性工程学报*, 2020, 27(11): 109-114.
- [2] WEI S G, XU L P, HE K, et al. Experimental study on manufacturing metal bellows forming by water jet incremental forming[J]. *The International Journal of Advanced Manufacturing Technology*, 2015, 81(1/2/3/4): 129-133.
- [3] 张清波,马咏梅,邹晗阳,等. 焊接金属波纹管结构参数对平衡直径的影响[J]. *润滑与密封*, 2020, 45(8): 47-52.
- [4] 周绍华,闫畅迪,黄永华. 波纹管结构尺寸及内芯对管内液氮流动的影响[J]. *哈尔滨工业大学学报*, 2018, 50(1): 107-113.
- [5] LIU J, LV Z Y, LIU Y, et al. Deformation behaviors of four-layered u-shaped metallic bellows in hydroforming[J]. *Chinese Journal of Aeronautics*, 2020, 33: 16-17.
- [6] JIANG L F, HE Y, LIN Y C, et al. Influence of process parameters on thinning ratio and fittability of bellows hydroforming[J]. *The International Journal of Advanced Manufacturing Technology*, 2020, 107(7/8): 3371-3387.
- [7] YANG J L, WANG G F, ZHAO T, et al. Study on the experiment and simulation of titanium alloy bellows via cur-

rent-assisted forming technology[J]. *JOM*, 2018, 70(7): 1118-1123.

- [8] GAWANDE S H, PAGAR N D. A combined numerical and experimental investigation on the effect of dynamics characteristics of metal expansion bellows[J]. *Journal of Vibration Engineering & Technologies*, 2018, 6(5): 401-416.
- [9] PRSANNA N K J, JOHNS K S, SARATHI J R K, et al. Effect of design parameters on the static mechanical behaviour of metal bellows using design of experiment and finite element analysis[J]. *International Journal on Interactive Design & Manufacturing*, 2017, 11(3): 535-545.
- [10] 周炬,苏金英. ANSYS Workbench 有限元分析实例详解[M]. 北京:人民邮电出版社,2017:13-14.
- [11] 高庆东. 航天用波纹管失稳、轴向刚度及结构优化设计研究[D]. 北京:北京化工大学,2020.
- [12] 刘春生. 波形参数对波纹管性能的影响[J]. *炼油设计*, 1996(1): 53-56.
- [13] 刘江. 管路用多层 U 形波纹管结构参数对性能影响研究[D]. 哈尔滨:哈尔滨工业大学,2012.
- [14] 田亚莉. 基于降噪的汽车进气波纹管基础研究[D]. 秦皇岛:燕山大学,2006.

(责任编辑 胡亚敏)