

DOI:10.3969/j.issn.1003-5060.2023.12.012

# 一种抗噪声折叠宽范围低杂散小数分频锁相环

蔡剑茹<sup>1,2</sup>, 尹勇生<sup>1,2</sup>, 滕海林<sup>1,2</sup>, 杨文杰<sup>1,2</sup>, 孟煦<sup>1,2</sup>

(1. 合肥工业大学 微电子设计研究所, 安徽 合肥 230601; 2. 合肥工业大学 教育部 IC 设计网上合作研究中心, 安徽 合肥 230601)

**摘要:** 由于电荷泵的电流失配, 小数分频锁相环反馈路径上经整形的量化噪声会被折叠回低频偏处, 恶化带内相位噪声的性能。文章提出一种自适应的抗噪声折叠技术, 根据工作频率产生合适脉宽的电流以线性化环路, 在全频带内避免噪声折叠的同时不恶化参考杂散性能; 设计基于 TSMC 130 nm CMOS 工艺, 锁相环覆盖的输出频率范围为 0.6 ~ 2.7 GHz。仿真结果显示: 当输出频率为 2.0 GHz 时, 环路功耗为 16 mW, 积分抖动为 1.98 ps, 品质因数为 -222 dB; 在电荷泵中引入 8% 的失配后, 提出的技术改善带内相位噪声达到 7 dB。

**关键词:** 小数分频锁相环; 噪声折叠; 带内相位噪声; 参考杂散; 低抖动

**中图分类号:** TN911.8

**文献标志码:** A

**文章编号:** 1003-5060(2023)12-1666-06

## An anti-noise folding wide range low spur fractional-N PLL

CAI Jianru<sup>1,2</sup>, YIN Yongsheng<sup>1,2</sup>, TENG Hailin<sup>1,2</sup>, YANG Wenjie<sup>1,2</sup>, MENG Xu<sup>1,2</sup>

(1. Institute of VLSI Design, Hefei University of Technology, Hefei 230601, China; 2. IC Design Web-cooperation Research Center of Ministry of Education, Hefei University of Technology, Hefei 230601, China)

**Abstract:** With the current mismatch in charge pump, quantization noise on the feedback path of a fractional-N phase locked loop(PLL) might be folded back to low frequency offset, thus deteriorating the in-band phase noise performance. This paper proposed an adaptive anti-noise folding technique, which linearized the loop with pulsed current that has proper width according to the operating frequency. Noise folding could be avoided in overall output frequency range without decreasing the reference spur performance. The design was made with TSMC 130 nm CMOS technology, and the PLL covered an output frequency ranging from 0.6-2.7 GHz. The simulation results showed that the loop consumed 16 mW when generating an output frequency of 2.0 GHz, and the integrated jitter was 1.98 ps, corresponding to an FOM of -222 dB. With 8% mismatch in charge pump, the proposed technique improved the in-band phase noise by 7 dB.

**Key words:** fractional-N phase locked loop(PLL); noise folding; in-band phase noise; reference spur; low jitter

II 型锁相环(phase locked loop, PLL) 具有良好的性能折衷和技术成熟度, 已成为当下各类片上系统中最为常用的时钟产生电路架构。基于环形振荡器(ring oscillator, RO)的设计具有多相位输出、输出频率范围广、芯片面积小等诸多优点, 受到设计者的重视。根据输出频率精度是否

受限于参考源频率  $f_{REF}$ , PLL 可以分为整数型和小数型 2 种类别。小数型 PLL 利用和差调制器(delta-sigma modulation, DSM) 控制多模分频器(multi-modulus divider, MMD) 的分频比动态变化, 从而在平均效果下实现  $N \cdot f$  分频。传统小数型 PLL 结构如图 1 所示。

**收稿日期:** 2022-04-07; **修回日期:** 2022-05-05

**基金项目:** 国家自然科学基金资助项目(61704043)

**作者简介:** 蔡剑茹(1997—), 女, 安徽宣城人, 合肥工业大学硕士生;

尹勇生(1973—), 男, 内蒙古锡林浩特人, 博士, 合肥工业大学教授, 硕士生导师;

孟煦(1989—), 男, 安徽合肥人, 博士, 合肥工业大学副教授, 硕士生导师, 通信作者, E-mail: xmen@hfut.edu.cn.

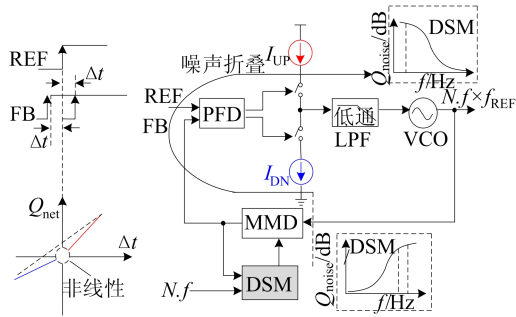


图 1 传统小型 PLL 结构

灵活的输出频率使得小数 PLL 逐渐替代整数 PLL 成为时钟和频率产生的主流架构。由于只能实现动态锁定, 小数锁相环路中的电荷泵 (charge pump, CP) 会随着反馈信号的超前或滞后, 对环路滤波器进行相应的放电或充电。从图 1 可以看出, 当电荷泵电流存在失配  $\Delta I_{CP}$  时, 流入环路滤波器的净电荷量为:

$$Q_{net}(\Delta t) = I_{CP}\Delta t + \frac{\Delta I_{CP}}{2} |\Delta t| + \Delta I_{CP}t_0 \quad (1)$$

其中,  $t_0$  为鉴频鉴相器 (phase frequency detector, PFD) 的复位延时。由式(1)中右边的第 2 项可以看出, PFD/CP 的输入输出特性中存在非线性关系, 即非线性环节存在, 会将 DSM 搬移至高频偏处的量化噪声重新折叠回低频偏处, 恶化带内噪声性能<sup>[1-4]</sup>。

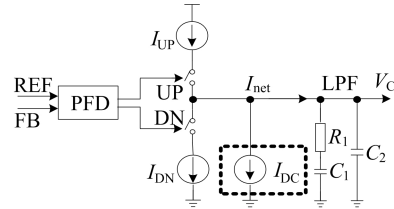
文献[5-6]通过刻意偏移 PFD/CP 的工作区, 实现对环路的线性化, 但在控制电压上引入的波动恶化了参考杂散性能; 文献[7]通过提出基于采样保持的线性化电荷泵及其时序控制电路, 在参考信号脉宽发生变化时, 仍具有较好的杂散抑制效果, 但是时序控制模块较为复杂; 文献[8]使用连续线性电流替代传统电荷泵, 对参考杂散的改善效果有限; 文献[9]通过使用脉冲偏移电流实现环路的线性化, 降低了控制电压上的波动, 但是固定的脉冲宽度仅适用于单一输出频率的情况, 与 RO 所能提供的宽输出范围相悖。

本文提出一种根据输出频率变化、自适应调节偏移脉冲电流宽度的线性化技术, 在避免噪声折叠的同时, 始终保持环路良好的参考杂散性能。

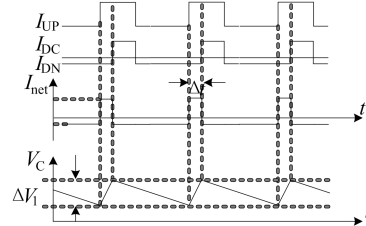
### 1 抗噪声折叠技术回顾

避开 PFD/CP 非线性工作区间是有效抑制噪声折叠的方法, 如在 PFD 充电<sup>[5]</sup> 或者放电<sup>[6]</sup> 路径的复位端引入一段延时, 或是在电荷泵与低通滤波器之间加入直流偏移电流, 因而 PLL 环路会在 PFD 的输入端引入反向的偏移以达到平衡, 维持

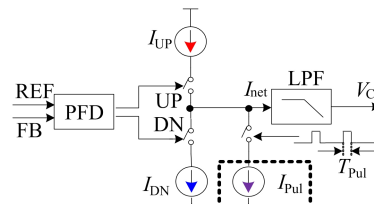
锁定。PFD/CP 线性化技术如图 2 所示。图 2b 中,  $I_{net} = I_{UP} - (I_{DC} + I_{DN})$ 。图 2d 中,  $I_{net} = I_{UP} - (I_{Pul} + I_{DN})$ 。



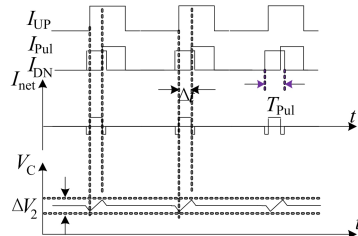
(a) 直流偏移补偿结构



(b) 直流偏移补偿下的控制电压波动



(c) 脉冲偏移补偿结构



(d) 脉冲偏移补偿下的控制电压波动

图 2 PFD/CP 线性化技术

由图 2a 可知, 若直流偏移电流大小为  $I_{DC}$ , 则环路锁定后, 为了维持参考电压即输出频率的不变, 参考信号 REF 相对于反馈信号 FB 的平均值将提前  $I_{DC} T_{REF} / I_{CP}$  的时间到达。根据 DSM 的设计及行为级仿真结果, 当选择足够大的  $I_{DC}$ , 即可保证在 FB 存在瞬时跳变的情况下, REF 仍始终领先。PFD/CP 的输入输出特性可表述为:

$$Q_{net}(\Delta t) = I_{UP}\Delta t - I_{DC}T_{REF} + \Delta I_{CP}t_0 \quad (2)$$

其中:  $I_{UP}$  为充电电流大小。

由式(2)可知非线性的分量得以去除。由图 2b 可知, 偏移电流  $I_{DC}$  的引入, 会使得控制电压  $V_C$  上出现约  $I_{DC} T_{REF} / C_2$  的波动, 恶化参考杂散。

由图 2c、图 2d 可知, 通过将偏移电流改为大

小为  $I_{Pul}$ 、宽度为  $T_{Pul}$  的脉冲电流<sup>[9]</sup>形式,即通过满足  $I_{Pul} T_{Pul} = I_{DC} T_{REF}$  的关系,可引入与前文相同的偏移电荷量,实现对环路的线性化;进一步保持脉冲的开启与参考源大致同步,可使环路控制电压上的波动大大改善。

### 2 基于自适应脉宽的线性化技术

上述仿真中的电流脉宽是为当前输出频率所定制选取的。考虑到 DSM 在反馈信号 FB 上所引入的跳变量与输出信号周期  $T_{VCO}$  相关,因此当输出频率减小时,所设定的脉冲电流的宽度可能不再足以将环路完全线性化,令噪声折叠现象不能被完全移除。相对地,根据 PLL 输出的最低频率设计一个较宽的偏移脉冲电流,虽然可以始终保持环路的线性化,在输出高频率时却令 CP 额外导通了不必要的时长,同样导致带内噪声性能较理想情况有所下降。

为了实现在输出频率变化时,依然能实现合适的偏移量,兼顾去噪声折叠和适当的 CP 导通时长,有必要令偏移电流的脉宽实时跟踪 VCO 的

输出频率,因此本文提出自适应脉宽产生电路(pulse generator, PG),如图 3 所示,其核心之处在于采用了与 VCO 相同的延时单元产生所需的脉冲宽度。若组成振荡器的延迟单元延迟时间为  $t_d$ ,则  $N$  级环形振荡器的工作频率为:

$$f_{VCO} = 1/T_{VCO} = 1/(2Nt_d) \quad (3)$$

因此使用  $m \times 2N$  个延迟单元即可实现  $m \times T_{VCO}$  长度的延迟,且由于与 PLL 共享了控制电压,所产生的延迟具有良好的抗 PVT 波动特性。

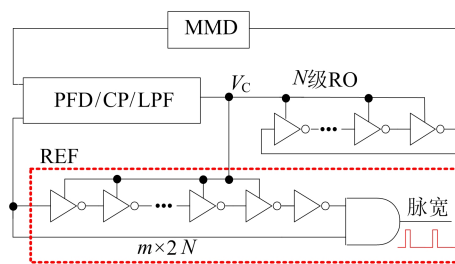


图 3 窄脉冲产生结构原理

### 3 电路设计及仿真结果

本文设计的小数分频 PLL 结构如图 4 所示。

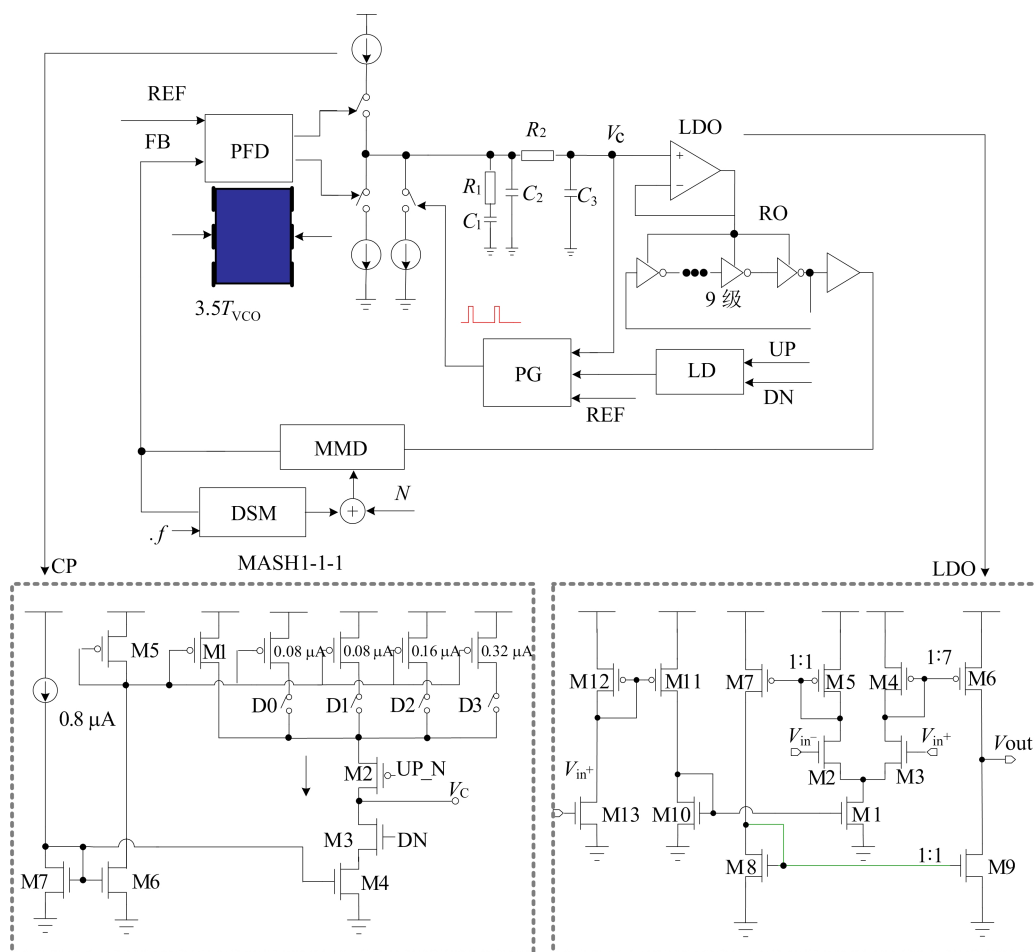


图 4 小数分频 PLL 结构

环路内嵌低压差线性稳压器(low dropout regulator, LDO)<sup>[10]</sup>提升了振荡器对电源噪声的抑制能力,从而可以简化振荡器的设计。仿真显示,设计的 DSM 在反馈路径上引起的瞬时跳变范围约为  $3.5T_{VCO}$ ,因此在脉宽产生电路中应输出约  $1.8T_{VCO}$  的延迟以线性化环路。锁定检测(locked detector, LD)<sup>[11]</sup>电路与 PFD 输出信号的相位差比较,当两者相位差维持低于设定值时,开启偏移脉冲电流产生模块。本文偏移电流的大小等于电荷泵电流大小,简化了整体设计考量。

因为环路结构具有优越的电源噪声抑制能力,所以在 VCO 的设计中采用 9 级单端反相器级联的形式,多相位的输出亦为后续的应用提供充足的便利性。脉冲产生模块仿真结果如图 5 所示。由图 5a 可知,当控制电压  $V_C$  从 0.60 V 变为 1.35 V 时,输出频率覆盖 0.6 ~ 2.7 GHz, VCO 增益  $K_{VCO}$  为 3 GHz/V; 当  $V_C$  为 1.05 V 时,输出目标频率为 2.0 GHz, 功耗为 7.5 mW。

由式(3)可得,偏移脉冲电流的脉宽应由约 32 个( $1.8 \times 2 \times 9$ )延迟单元构成,但如此数量的延迟单元会引起面积的大幅增加及功耗的上升。以反相器放电为例,考虑到反相器放电过程中的总寄生电容  $C_{tot}$  和 MOS 管的等效导通电阻  $R_n$ <sup>[12]</sup>,即

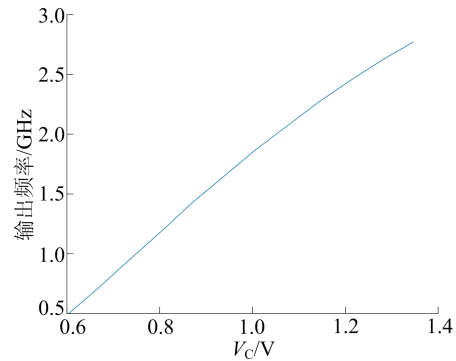
$$C_{tot} = \frac{5}{2}C_{ox}(W_n L_n + W_p L_p) \quad (4)$$

$$R_n = \frac{V_C}{I_{D,sat}} = \frac{V_C}{\frac{K_n}{2} \frac{W_n}{L_n} (V_C - V_{thn})^2} = R_n' \frac{L_n}{W_n} \quad (5)$$

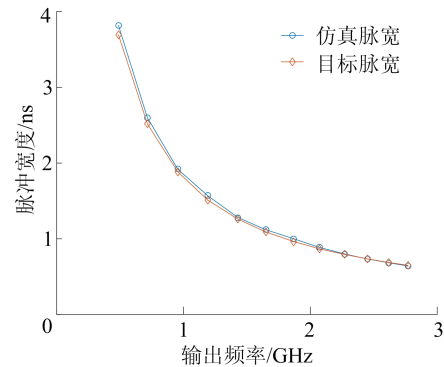
其中: $W_p$ 、 $L_p$  分别为 PMOS 管的栅宽和栅长; $W_n$ 、 $L_n$  分别为 NMOS 管的栅宽和栅长; $m$  为每一级反相器的 NMOS 与 PMOS 的并联个数; $W_n/L_n$  为 NMOS 的宽长比; $K_n$  为 NMOS 的场效应管增益系数; $I_{D,sat}$  指 MOS 管处于饱和区时的电流大小; $C_{ox}$  为单位面积栅氧化层电容大小。图 5a 中, $W_p = 700$  nm,  $W_n = 300$  nm,  $L_p = L_n = 130$  nm,  $m = 50$ 。

单级反相器所引入的延迟时间  $t_d = 0.7 R_n C_{tot}$ , 实则为一个与 NMOS 晶体管和 PMOS 晶体管宽度  $W$  的比值相关的量。这使得可以在实现目标脉宽的 32 个延迟单元中采用等比复制技术,如将  $m$  缩小为原值的 1/50, 进而实现脉宽产生电路面积和功耗大大降低。本文通过在振荡器和延迟单元中采用尺寸相同、数量不同的方式,进一步提高复制的精度。由图 5b 可知,在

VCO 的输出频率范围内,基于 1/50 等比复制单元所产生的脉宽始终与  $1.8T_{VCO}$  的目标宽度极为接近,两者误差最大仅为 3.75%。 $V_C$  为 1.05 V 时所消耗的功耗也仅为  $14.7 \mu W$ , 相对于非等比复制的结构,功耗降低了 50 倍。



(a) VCO调谐曲线



(b) 仿真脉宽与目标带宽对比

图 5 脉冲产生模块仿真结果

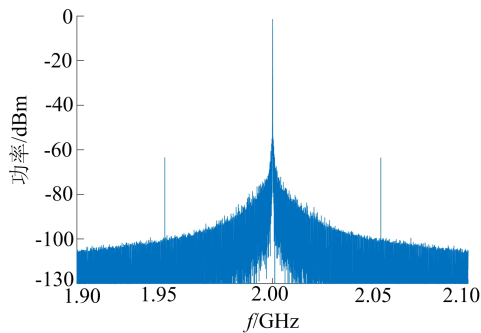
DSM 使用 MASH1-1-1 结构的 3 阶 DSM 调制器。使用基于脉冲吞咽计数器的多模分频器,输入频率为 55.25 MHz 时,通过分频比的调整,可输出范围为 0.6 ~ 2.7 GHz 的信号。环路中内嵌的 LDO 结构的非对称性有利于实现 LDO 的低功耗。当  $V_C = 1.05$  时, LDO 的电源噪声抑制能力约为 60 dB。电荷泵的电流大小为  $8 \mu A$ , 充电电流设置失配电流单元,失配电流单元选取 0.08、0.08、0.16、0.32  $\mu A$ , 分别代表 1%、1%、2%、4% 的失配,模拟电荷泵范围为 1% ~ 8% 的电荷泵失配的情形。

最终的 PLL 设计参数见表 1 所列。需要指出的是,相对于常规设计,本文充分考虑了线性化技术在 CP 中引起的额外导通时间,并通过增加 CP 电流的方式达到预期的带内噪声。

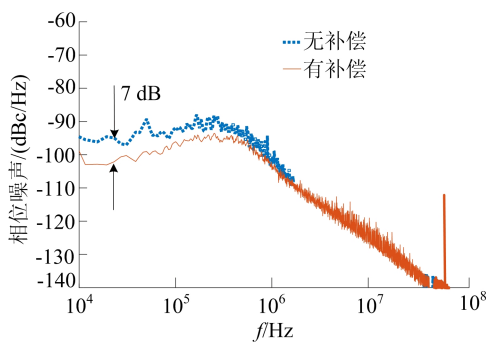
输出频率为 2.0 GHz 且 CP 中存在 8% 失配情形下,锁相环的各项仿真性能如图 6 所示。

表 1 PLL 设计参数

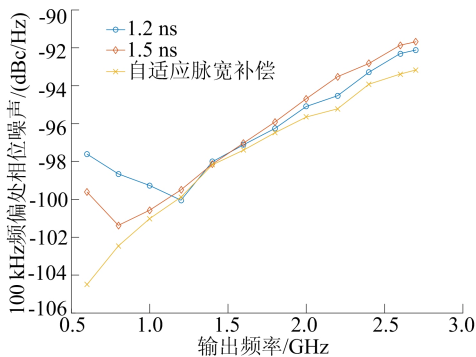
参数	$f_{REF}/\text{MHz}$	$I_{CP}/\mu\text{A}$	$K_{VC}/(\text{GHz}/\text{V})$	$R_1/\Omega$	$R_2/\Omega$	$C_1/\text{nF}$	$C_2/\text{nF}$	$C_3/\text{nF}$
数值	55.25	8	3	3 606	75 271	0.532	0.013	0.002



(a) 输出信号频谱



(b) 有无补偿电路下的输出相位噪声



(c) 自适应脉宽补偿与固定脉宽补偿对带内噪声的影响

图 6 自适应脉宽补偿性能仿真结果

由图 6a 可知,在 Cadence Spectre 下,对电路进行瞬态仿真后得到输出频谱,此时参考杂散约为  $-63 \text{ dBc}$ 。由图 6b 可知,通过 Cadence Spectre 仿真提取电路各模块的参数和性能指标后,带入系统仿真软件 CppSim 得到相位噪声曲线,通过脉冲偏移电流线性化环路后,带内噪声性能优化了  $7 \text{ dB}$ ,噪声折叠现象得以避免。由图 6c 可知,通过使用固定脉宽(1.2、1.5 ns)与使用自适应脉宽 2 种线性化方案下带内(@100 kHz)相位噪声的对比,所提出的自适应脉宽的线性化方案在全部的输出频段内均可以避免噪声折叠现象,且通过维持最优的脉冲宽度,在输出高频时达到了相

对优化的带内噪声性能。文献对比结果见表 2 所列。

表 2 文献对比结果

方法	文献[5]	文献[6]	文献[9]	本文方法
CMOS 工艺参数/nm	180	180	180	130
输出频率/GHz	3.6	2.4	2.4	2.0
带宽/MHz	1.00	0.40	0.27	1.00
100 kHz 频偏处 相位噪声/(dBc/Hz)	-98.0	-81.0	-92.6	-96.0
参考杂散/dBc	45	39	52	63

### 4 结 论

本文设计了一个具有自适应抗噪声折叠能力的宽输出范围小数分频 PLL。通过等比复制技术所设计的脉宽产生电路能够在工艺、电压、温度变化的情况下,始终适应 PLL 的工作频率,以最优的电流脉宽实现对环路的线性化,避免噪声折叠现象,且维持良好的参考杂散性能。所提出的自适应脉宽产生方案对于其他结构的设计同样适用。

### [参 考 文 献]

[1] TANG Z W, WAN X X, WANG M G, et al. A 50-to-930 MHz quadrature-output fractional-N frequency synthesizer with 770-to-1 860 MHz single-inductor LC-VCO and without noise folding effect for multistandard DTV tuners[C]//2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers. [S. l.]: IEEE, 2013: 358-359.

[2] WANG K J, SWAMINATHAN A, GALTON I. Spurious tone suppression techniques applied to a wide-bandwidth 2.4 GHz fractional-N PLL[J]. IEEE Journal of Solid-State Circuits, 2008, 43(12): 2787-2797.

[3] RAZAVI B. An alternative analysis of noise folding in fractional-N synthesizers[C]//2018 IEEE International Symposium on Circuits and Systems (ISCAS). [S. l.]: IEEE, 2018: 1-4.

[4] MUER B D, STEYAERT M S J. A CMOS monolithic  $\Delta\Sigma$ -controlled fractional-N frequency synthesizer for DCS-1 800[J]. IEEE Journal of Solid State Circuits, 2002, 37(7): 835-844.

[5] MENINGER S E, PERROTT M H. A 1-MHz bandwidth 3.6-GHz 0.18- $\mu\text{m}$  CMOS fractional N synthesizer utilizing a hybrid PFD/DAC structure for reduced broad band phase noise[J]. IEEE Journal of Solid State Circuits, 2006, 41(4): 966-981.

(下转第 1693 页)

- 塑性变形研究[J]. 岩土力学, 2021, 42(4): 1045-1055.
- [6] 李亚峰, 聂如松, 李元军, 等. 间歇性循环荷载下路基细粒土填料永久变形特性及预测模型[J]. 岩土力学, 2021, 42(4): 1065-1077.
- [7] 唐益群, 张曦, 叶为民, 等. 地铁列车振动荷载作用下土体的动力特性和动强度研究[J]. 工程地质学报, 2004, 12(增刊 1): 98-101.
- [8] 唐益群, 李珺, 刘莎, 等. 地铁行车荷载作用下淤泥质黏土累积特性的试验研究[J]. 工程地质学报, 2011, 19(4): 460-466.
- [9] 黄茂松, 钟辉虹, 李永盛. 天然状态结构性软黏土的界面弹塑性模型[J]. 水利学报, 2003(12): 47-52.
- [10] 刘强, 施成华, 彭立敏, 等. 高速列车振动荷载下立体交叉隧道结构动力响应分析[J]. 合肥工业大学学报(自然科学版), 2013, 36(9): 1082-1087.
- [11] 黄茂松, 刘莹. 基于非线性运动硬化模型的饱和黏土桩基础竖向循环弱化数值分析[J]. 岩土工程学报, 2014, 36(12): 2170-2178.
- [12] 魏星, 黄茂松. 天然结构性黏土的各向异性界面模型[J]. 岩土工程学报, 2007, 29(8): 1224-1229.
- [13] 钟辉虹, 黄茂松, 吴世明, 等. 循环荷载作用下软黏土变形特性研究[J]. 岩土工程学报, 2002, 24(5): 629-632.
- [14] 黄茂松, 姚兆明. 循环荷载下饱和软黏土的累积变形显式模型[J]. 岩土工程学报, 2011, 33(3): 325-331.
- [15] YANG Y B, HUNG H H. A parametric study of wave barriers for reduction of train-induced vibrations[J]. International Journal for Numerical Methods in Engineering, 1997, 40(20): 3729-3747.
- [16] CHAI J C, MIURA N. Traffic-load-induced permanent deformation of road on soft subsoil[J]. Journal of Geotechnical and Geoenvironmental Engineering, 2002, 128(11): 907-916.
- [17] 周神根. 铁路路基设计动荷载研究[J]. 路基工程, 1996(5): 6-11.
- [18] 刘涛. 列车荷载作用下黄土地区隧道振动响应分析与运营沉降研究[D]. 西安: 西安建筑科技大学, 2017.
- [19] 马龙祥, 赵瑞桐, 甘雨航, 等. 车型及编组对地铁运营诱发环境振动的影响研究[J]. 振动与冲击, 2019, 38(11): 24-30.
- [20] 尹松, 孔令伟, 杨爱武, 等. 循环振动作用下残积土动力变形特性试验研究[J]. 振动与冲击, 2017, 36(11): 224-231.
- [21] LI D Q, SELIG E T. Resilient modulus for fine-grained subgrade soils[J]. Journal of Geotechnical and Geoenvironmental Engineering, 1994, 120(6): 939-957.
- [22] 朱瑶宏, 刘干斌, 谢琦峰, 等. 考虑温度效应软黏土累积塑性应变模型及验证[J]. 地震工程学报, 2019, 41(4): 901-907.
- [23] MONISMITH C L, OGAWA N, FREEME C R. Permanent deformation characteristics of subsoil due to repeated loading[J]. Transportation Research Record, 1975(537): 1-17.
- [24] 路德春, 郝文磊, 吴春玉, 等. 下穿隧道对地铁车站结构地震反应的影响研究[J]. 防灾减灾工程学报, 2022, 42(3): 445-453.
- [25] 陈国兴, 战吉艳, 刘建达, 等. 远场大地震作用下深软场地设计地震动参数研究[J]. 岩土工程学报, 2013, 35(9): 1591-1599.
- [26] 刘晶波, 王振宇, 杜修力, 等. 波动问题中的三维时域粘弹性人工边界[J]. 工程力学, 2005, 22(6): 46-51.
- [27] 丁德云. 地铁列车振动环境响应低频特征的分析与研究[D]. 北京: 北京交通大学, 2010.

(责任编辑 张淑艳)

## (上接第 1670 页)

- [6] TI C L, LIU Y H, LIN T H. A 2.4-GHz fractional-N PLL with a PFD/CP linearization and an improved CP circuit [C]//International Symposium on Circuits and Systems (ISCAS). [S. l.]: IEEE, 2008: 1728-1731.
- [7] 吴炎辉, 张孝勇, 王兰, 等. 一种应用于锁相环的线性化电荷泵电路[J]. 微电子学, 2021, 51(4): 505-510.
- [8] HSIEH P Y, SHU S Y, YANG C Y. A spursuppression technique for frequency synthesizer with pulse-width to current conversion[C]//Proceed IEEE ISCAS. [S. l.]: IEEE, 2019: 1-2.
- [9] LIN T H, TI C L, LIU Y H. Dynamic current-matching C-charge pump and gated-offset linearization technique for delta-sigma fractional-N PLLs[J]. IEEE Transactions on Circuits & Systems, 2009, 56(5): 877-885.
- [10] 李海波. 高电源抑制能力的锁相环设计[D]. 合肥: 合肥工业大学, 2021.
- [11] 王丽. CMOS 快速锁定锁相环的研究与设计[D]. 合肥: 合肥工业大学, 2015.
- [12] BAKER R J. CMOS circuit design, layout, and simulation[M]. New Jersey: IEEE Press, 2019: 347-356.

(责任编辑 张 镛)