

DOI:10.3969/j.issn.1003-5060.2023.10.011

# 量子元胞自动机三输入标准函数的优化设计

张 辉, 解光军, 张永强

(合肥工业大学 微电子学院, 安徽 合肥 230601)

**摘 要:**量子元胞自动机(quantum cellular automata, QCA)以其小尺寸、低功耗、高速度等特点被认为是一种有望取代互补金属氧化物半导体(complementary metal-oxide-semiconductor, CMOS)的新兴技术,但是其电路设计中导线交叉一直是个难点问题,该问题不仅带来相当高的设计成本,还会增加电路的复杂性和噪声敏感性。文章通过使用一些全新的逻辑门,重新设计了 13 种三输入标准函数,新设计实现了无导线交叉的目标,并且与之前最好的设计相比,在总的元胞数量、电路面积和延迟等方面分别优化了 18.4%、15.4%、21.2%。

**关键词:**量子元胞自动机(QCA); QCA 逻辑门; 标准函数; 导线交叉

**中图分类号:** TN402 **文献标志码:** A **文章编号:** 1003-5060(2023)10-1369-05

## Optimization design of three-input standard functions in quantum cellular automata

ZHANG Hui, XIE Guangjun, ZHANG Yongqiang

(School of Microelectronics, Hefei University of Technology, Hefei 230601, China)

**Abstract:** Quantum cellular automata(QCA) is considered as a new technology that is expected to replace complementary metal-oxide-semiconductor(CMOS) because of its small size, low power consumption and high speed. However, wire crossing has always been a difficult problem in its circuit design, which not only brings considerable design cost, but also increases the complexity and noise sensitivity of the circuit. In this paper, 13 kinds of three-input standard functions are redesigned by using some new logic gates. These new designs achieve the goal of no wire crossing, and the total cell count, circuit area, and latency are optimized by 18.4%, 15.4%, and 21.2%, respectively, compared with those of the best previous designs.

**Key words:** quantum cellular automata(QCA); QCA logic gate; standard function; wire crossing

## 0 引 言

尽管互补金属氧化物半导体(complementary metal-oxide-semiconductor, CMOS)的特征尺寸一直在缩小,但芯片集成密度的增加遇到了新的挑战,其中重要的影响因素是漏电功耗和隧道效应<sup>[1-3]</sup>。针对这一问题,研究人员一直在寻找可以替代 CMOS 的新器件。量子元胞自动机(quantum cellular automata, QCA)由于其特征尺寸

小、超低功耗和高工作频率,成为有力的候选者。QCA 电路由规则排列的 QCA 元胞组成,每个 QCA 元胞由 4 个量子点和 2 个额外的自由电子组成。4 个量子点位于一个假想的正方形的四角,电子可以在正方形中相邻的量子点之间隧穿。由于库仑力的排斥,电子很容易占据 2 个对角量子点,以这种方式可形成 2 个稳态,分别代表二进制逻辑 0 和 1。同时,随着 QCA 电路设计系统的发展,导线交叉成为不可低估的问题,它不仅会消

收稿日期:2022-09-09;修回日期:2022-11-24

基金项目:国家自然科学基金区域创新发展联合基金资助项目(U19A2053)

作者简介:张 辉(1996—),男,安徽亳州人,合肥工业大学硕士生;

解光军(1970—),男,安徽合肥人,博士,合肥工业大学教授,博士生导师,通信作者, E-mail: gjxie8005@hfut.edu.cn.

耗额外的资源还会增加 QCA 电路的复杂性<sup>[4]</sup>。

近年来,很多研究者已经不满足于只使用择多门和反相器来设计 QCA 电路,越来越多结构简单、功能多样的逻辑门相继被提出,包括两输入 XOR、XNOR、三输入异或门(XOR<sub>3</sub>)、多路复用器(Multiplexer, MUX)等,利用这些门设计的电路可能带来一些显著的优势,如使用 XOR<sub>3</sub> 和择多门实现全加器<sup>[5]</sup>、使用 MUX 构建的 RAM 单元<sup>[6]</sup>、使用 XOR 设计奇偶发生器<sup>[7]</sup>。这些新提出的电路结构不仅比只使用择多门和反相器设计的电路更简单,而且电路结构的逻辑更加直观易懂。本文尝试使用上述多种逻辑门来重新设计三输入标准函数,以达到优化电路的目的。

### 1 QCA 基本概念

#### 1.1 QCA 时钟

QCA 时钟包括切换、保持、释放和松弛 4 个阶段,以控制元胞之间的数据流动、驱动单元和提供功率增益<sup>[8]</sup>。4 个连续的时钟 (clk0、clk1、clk2、clk3) 为一个周期,相邻时钟之间的相位差为 90°,元胞间的数据在 4 个时钟间循环传输<sup>[9]</sup>。

QCA 电路共有 3 种交叉方式,分为共面交叉和异面交叉,其中共面交叉分为基于旋转元胞和基于 QCA 时钟 2 种交叉方式。QCA 电路中的数据只能在同一时钟或相邻时钟内传输信息,不能在不相邻时钟之间传输信息。因此,当 clk0 和 clk2 的传输线或 clk1 和 clk3 的传输线交叉时,信息是独立的,不会相互干扰,基于 QCA 时钟的导线交叉如图 1 所示。

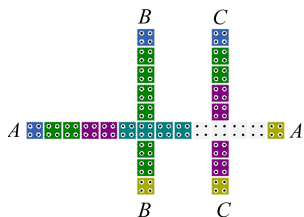


图 1 基于 QCA 时钟的导线交叉

#### 1.2 择多门和反相器

择多门是 QCA 电路中的一种基础逻辑门,包括 3 个输入(A、B、C)信号和 1 个输出信号 F。择多门的 QCA 电路如图 2 所示,逻辑表达式为:

$$F = AB + AC + BC \quad (1)$$

当择多门的 1 个输入被置为“0”或“1”时,可以得到 1 个对应的与门和或门。

反向器本质上是一个非门,在 QCA 电路中

通过与门、或门和非门可以完成大部分电路的设计。

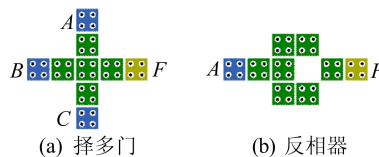


图 2 QCA 电路的基本逻辑门

#### 1.3 XOR、XNOR、XOR<sub>3</sub> 和 2-1 MUX

以往的研究者在设计三输入标准函数时大多只使用三输入择多门和反相器,随着 QCA 电路的发展,已经有研究人员使用 XOR<sub>3</sub> 设计三输入标准函数。本文在此基础上,不仅使用择多门和 XOR<sub>3</sub>,更是加入了两输入 XOR 门、XNOR 门和 2-1 MUX,这使得所提出的电路结构更加简洁和直观。QCA 电路中的 2-1 MUX 和 XOR<sub>3</sub> 如图 3 所示。图 3 中,输入 B 为选择端,2-1 MUX 逻辑表达式为:

$$F = AB + \bar{B}C \quad (2)$$

XOR<sub>3</sub> 的逻辑表达式为:

$$F = A \oplus B \oplus C \quad (3)$$

QCA 电路的两输入 XOR 和 XNOR 如图 4 所示。

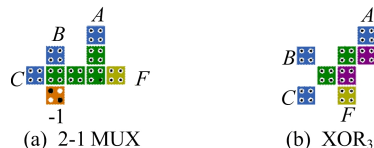


图 3 QCA 电路中的 2-1 MUX 和 XOR<sub>3</sub>

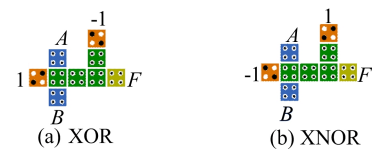


图 4 QCA 电路中的 XOR 和 XNOR

### 2 三输入标准函数

三输入基本函数在算数电路中一直受到广大研究者的关注<sup>[10-12]</sup>,可以使用一个三维的立方体表示三输入基本函数<sup>[13]</sup>;根据立方体上点的数量和位置,可以将所有的三输入基本函数归类于 13 种标准函数。三输入标准函数的最小项可以与立方体上的 8 个顶点相对应,如最小项 ABC、 $\bar{A}BC$ 、 $A\bar{B}C$ 、 $AB\bar{C}$ 、 $\bar{A}\bar{B}C$ 、 $A\bar{B}\bar{C}$ 、 $\bar{A}B\bar{C}$ 、 $AB\bar{C}$  分别对应(1,

1,1)(0,1,1)(1,0,1)(1,1,0)(0,0,1)(0,1,0)(1,0,0)(0,0,0)8 个坐标。根据立方体上点的数量可以分为如下 4 类:1 个点、2 个点、3 个点、4 个点。其他的点数所代表的函数可以通过这 4 类函数的非逻辑获得。以下是 13 种标准函数的具体分类。

1) 1 个点。  $F_1 = ABC$ 。

2) 2 个点。① 2 个点相邻(一条线),  $F_2 = AB$ ;② 2 个点不相邻但共面,  $F_3 = ABC + \overline{ABC}$ ;③ 2 个点不共面,  $F_4 = ABC + \overline{ABC}$ 。

3) 3 个点。① 3 个点共面,  $F_5 = AB + BC$ ;② 2 个点相邻,但 3 个点不共面,  $F_6 = AB + \overline{ABC}$ ;③ 3 个点均不相邻,  $F_7 = ABC + \overline{ABC} + \overline{ABC}$ 。

4) 4 个点。① 4 个点共面,  $F_8 = A$ ;② 3 个面内均有 3 个点共面,  $F_9 = AB + BC + AC$ ;③ 2 个面内有 3 个点共面,  $F_{10} = AB + \overline{BC}$ ;④ 只有 1 个面内有 3 个点共面,  $F_{11} = AB + BC + \overline{ABC}$ ;⑤ 4 个点两两相邻,但不共面,  $F_{12} = AB + \overline{AB}$ ;⑥ 4 个点均不相邻,  $F_{13} = ABC + \overline{ABC} + \overline{ABC} + \overline{ABC}$ 。

以上是所有三输入基本函数归类后的 13 种标准函数。举例说明,用立方体上的点代表的标准函数 11 如图 5a 所示,即立方体上共有 4 个点,

但只有 1 个面内有 3 个点。对应的坐标和最小项分别为(1,1,1)(1,1,0)(0,1,1)(0,0,0)和  $ABC$ 、 $\overline{ABC}$ 、 $\overline{ABC}$ 、 $\overline{ABC}$ ,简化后的公式为:

$$F_{11} = ABC + \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + \overline{A} \overline{B} C = AB + \overline{B} \overline{C} + \overline{A} \overline{B} \overline{C} \quad (4)$$

同理,标准函数 13 使用立方体上的点的数量和位置如图 5b 所示,即立方体上的 4 个点均不相邻。对应的坐标和最小项分别为(1,1,1)(0,0,1)(0,1,0)(1,0,0)和  $ABC$ 、 $\overline{ABC}$ 、 $\overline{ABC}$ 、 $\overline{ABC}$ ,简化后的公式为:

$$F_{13} = ABC + \overline{A} \overline{B} C + \overline{A} B \overline{C} + \overline{A} B C = A \oplus B \oplus C \quad (5)$$

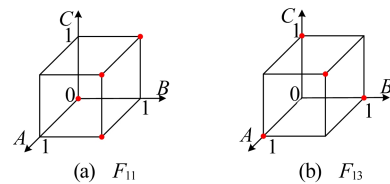


图 5 立方体表示的三输入标准函数

### 3 13 种标准函数的优化

简化后的 13 种标准函数的 QCA 电路如图 6 所示,具体的优化过程如下。

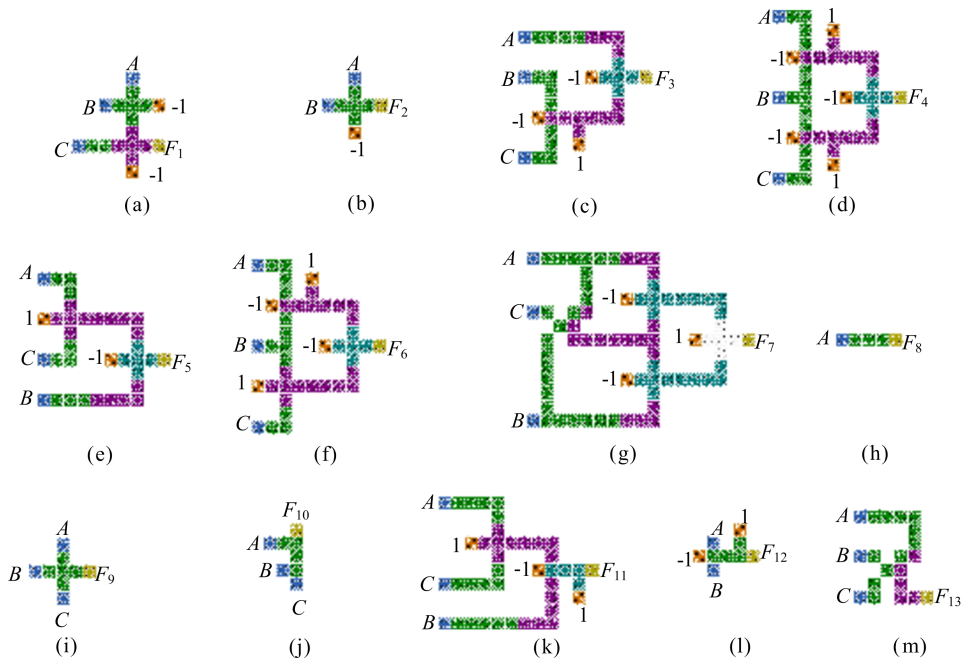


图 6 13 种标准函数的 QCA 电路

标准函数 8:该函数不需要逻辑门,只需直接将输入输出相连即可。

标准函数 1、2、5、9:这 4 个函数在本文中采

用以往的设计,使用则多门来实现的方法,并没有优化的空间。

标准函数 3、10、12、13:这 4 个函数通过使用

新的逻辑门,使得电路结构相对以往只使用则多门和反相器所设计的电路,带结构上更加简单。

标准函数 3 的化简结果为式(6),通过使用 XOR,简化了电路结构。

$$F_3 = ABC + \overline{ABC} = A(B \odot C) \quad (6)$$

从标准函数 10 的表达式可以看出,只需要一个 2-1MUX 即可实现函数功能。同理,标准函数 12 也只需要一个 XNOR,标准函数 13 使用一个 XOR<sub>3</sub> 即可完成函数功能。

标准函数 4、6、7、11:这 4 个标准函数无法直观得到简化后的方程,本文的主要工作也是对这 4 个函数进行优化。

标准函数 4 优化后的表达式为:

$$\begin{aligned} F_4 &= ABC + \overline{A} \overline{B} \overline{C} = \\ &(AB + \overline{A} \overline{B})(BC + \overline{B} \overline{C}) = \\ &(AB + \overline{A} \overline{B})(BC + \overline{B} \overline{C}) = \\ &(A \odot B)(B \odot C) \end{aligned} \quad (7)$$

标准函数 6 优化后的表达式为:

$$\begin{aligned} F_6 &= AB + \overline{A} \overline{B} C = \\ &AB + \overline{A} \overline{B} C + ABC = \\ &(AB + \overline{A} \overline{B})B + (AB + \overline{A} \overline{B})C = \\ &(AB + \overline{A} \overline{B})(B + C) = \\ &(A \odot B)(B + C) \end{aligned} \quad (8)$$

标准函数 7 优化后的表示式为:

$$\begin{aligned} F_7 &= ABC + \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} = \\ &A(ABC + \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C}) + \\ &B(ABC + \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C}) = \\ &(A + B)(A \oplus B \oplus C) \end{aligned} \quad (9)$$

标准函数 11 优化后的表达式为:

$$\begin{aligned} F_{11} &= AB + BC + \overline{A} \overline{B} \overline{C} = \\ &B(A + C) + \overline{B}(\overline{A} + \overline{C}) = \\ &(A + C) \odot B \end{aligned} \quad (10)$$

### 4 仿真与分析

标准函数 4、6、7、11 的仿真结果如图 7 所示,通过仿真波形可以看出所设计 QCA 电路的正确性。其余的标准函数由于逻辑相对简单,仿真结果不再展示。

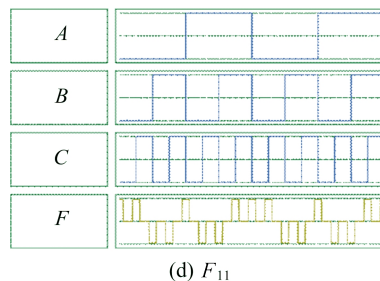
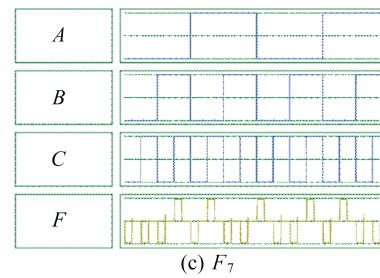
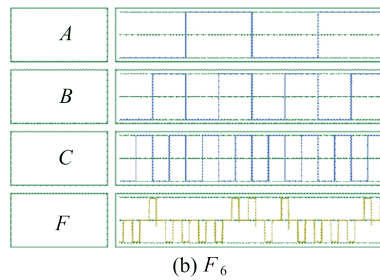
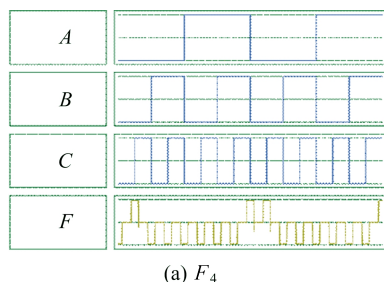


图 7 部分标准函数的仿真结果

本文所设计的 13 种标准函数的相关参数见表 1 所列。

表 1 13 种标准函数的参数

函数序号	优化的函数表达式	元胞数量	面积/ $\mu\text{m}^2$	延迟周期
1	$F_1 = ABC$	19	25 762	0.50
2	$F_2 = AB$	9	9 931	0.25
3	$F_3 = A(B \odot C)$	38	38 860	0.75
4	$F_4 = (A \odot B)(B \odot C)$	42	44 778	0.25
5	$F_5 = B(A + C)$	38	43 711	0.75
6	$F_6 = (A \odot B)(B + C)$	43	52 017	0.75
7	$F_7 = (A + B)(A \oplus B \oplus C)$	73	82 044	1.00
8	$F_8 = A$	6	2 954	0.25
9	$F_9 = AB + BC + AC$	9	9 648	0.25
10	$F_{10} = AB + \overline{B} C$	8	5 720	0.25
11	$F_{11} = (A + C) \odot B$	4	42 364	0.75
12	$F_{12} = A \odot B$	9	7 993	0.25
13	$F_{13} = A \oplus B \oplus C$	17	11 564	0.50

表 1 包含了每个标准函数简化后的表达式,需要的元胞数量、占用的电路面积和延迟周期。本文设计的 13 种标准函数与之前设计的参数对比见表 2 所列。

表 2 标准函数的参数比较

标准函数	元胞总数量	总面积/ $\mu\text{m}^2$	总延迟周期	交叉线总数量
文献[12]	872	863 974	8.25	12
文献[10]方法 1	666	598 802	10.25	4
文献[10]方法 2	430	446 245	8.25	1
本文	351	377 346	6.50	0

通过比较,本文的设计与以往最好的设计相比,在元胞的总数量上优化了 18.4%,在总的面积上优化了 15.4%,在总的延迟方面优化了 21.2%。并且本文设计的 13 种标准函数实现了导线的零交叉,这是以往的设计所没有实现的。

## 5 结 论

本文在前期研究的基础上,将多种新颖的逻辑门应用到 13 种标准函数的设计中。结果表明,新设计的标准函数 QCA 电路不仅各方面参数都有所提升,还实现了无导线交叉。下一步计划将这 13 种标准函数应用到更多、更复杂的电路设计当中。

## [参 考 文 献]

- [1] CHIANG M H, KIM K, CHUANG C T, et al. High-density reduced-stack logic circuit techniques using independent-gate controlled double-gate devices[J]. IEEE Transactions on Electron Devices, 2006, 53(9): 2370-2377.
- [2] HEYDARI M, XIAOHU Z, LAI K K, et al. A cost-aware efficient RAM structure based on quantum-dot cellular automata nanotechnology[J]. International Journal of Theoretical Physics, 2019, 58(12): 3961-3972.
- [3] KHOURI K S, JHA N K. Leakage power analysis and reduction during behavioral synthesis[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2002, 10(6): 876-885.
- [4] TAHERIFARD M, FATHY M. Improving logic function synthesis, through wire crossing reduction in quantum-dot

cellular automata layout[J]. IET Circuits, Devices & Systems, 2015, 9(4): 265-274.

- [5] GASSOUMI I, TOUIL L, MTIBAA A. An efficient design of QCA full-adder-subtractor with low power dissipation [J]. Journal of Electrical and Computer Engineering, 2021, 2021: 8856399.
- [6] MAJEED A H, ALKALDY E, ZAINAL M S, et al. Optimal design of RAM cell using novel 2:1 multiplexer in QCA technology[J]. Circuit World, 2020, 46(2): 147-158.
- [7] CHEN H, LV H, ZHANG Z, et al. Design and analysis of a novel low-power exclusive-OR gate based on quantum-dot cellular automata [J]. Journal of Circuits, Systems, and Computers, 2019, 28(8): 1950141.
- [8] ROY K, BANDYOPADHYAY S, ATULASIMHA J. Hybrid spintronics and straintronics: a magnetic technology for ultra low energy computing and signal processing[J]. Applied Physics Letters, 2011, 99(6): 063108.
- [9] 汪滔滔, 解光军, 邓飞飞, 等. 基于网表的量子元胞自动机时钟布局方案[J]. 合肥工业大学学报(自然科学版), 2019, 42(8): 1083-1088, 1148.
- [10] LIU P, NI J, CHU Z. Wire-crossings optimization based on majority-of-five and XOR-of-three primitives in QCA[J]. International Journal of Theoretical Physics, 2022, 61(3): 61-86.
- [11] MOMENZADEH M, HUANG J, TAHOORI M B, et al. Characterization, test, and logic synthesis of and-or-inverter (AOI) gate design for QCA implementation[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2005, 24(12): 1881-1893.
- [12] TAHMASEBI M, FAGHIH MIRZAEI R, PISHGAR KOMLEH S H. On the design methodology of boolean functions with quantum-dot cellular automata for reducing delay and number of wire crossings[J]. Journal of Computational Electronics, 2018, 17(4): 1756-1770.
- [13] ZHANG R, WALUS K, WANG W, et al. A method of majority logic reduction for quantum cellular automata[J]. IEEE Transactions on Nanotechnology, 2004, 3(4): 443-450.

(责任编辑 张 镅)